

无锡泰连芯科技有限公司

TLX1582S 型

双通道 16 位 125MSps 模数转换器

2024 年 06 月

双通道 16 位 125MSps 模数转换器

1 主要性能

- **1.8V 电源供电**
- **1.8V CMOS/LVDS 输出供电**
- **低功耗: 750mW (125MSps)**
- **信噪比(SNR): 77.3dBFS (70MHz, 125MSps)**
- **无杂散动态范围 (SFDR): 88dBc (70MHz, 125MSps)**
- **小信号输入噪声: -153.5dBm/Hz (200Ω 输入阻抗, 70MHz 125MSps)**
- **可选片内扰动**
- **可编程 ADC 内部基准电压源**
- **集成 ADC 采样保持输入**
- **灵活的模拟输入范围: 1Vpp 至 2Vpp**
- **差分模拟输入 650MHz 带宽**
- **ADC 时钟占空比稳定器**
- **串行端口控制**
- **灵活的节能掉电模式**

2 应用场合

- 通信
- 分集无线电系统
- 多模式数字接收器
- GSM、EDGE、W-CDMA、LTE、CDMA2000、WiMAX、TD-SCDMA**
- I/Q 解调系统
- 智能天线系统
- 通用软件无线电
- 宽带数据应用
- 超声设备

3 产品特点

片内数字扰动选项，可有效提升无杂散动态范围 (SFDR) 动态特性。TLX1582S 采用专有差分输入电路设计，在 300MHz 的输入频率下仍保持出色的信噪比 (SNR) 性能。

TLX1582S 采用 1.8V 单电源供电，数字输出采用独立电源供电，以支持 1.8V CMOS 或 LVDS 输出。

TLX1582S 配置标准串行接口 (SPI)，支持各种标准操作特性和功能控制。

TLX1582S 可根据应用需求，提供 60M/80M/105M/125M 的不同速度档位产品，实现灵活的功耗控制。

TLX1582S 采用 64 脚 QFN 封装。

质量等级：军温级&N1 级

器件信息⁽¹⁾

型号	封装	封装尺寸 (标称值)
TLX1582S	QFN9X9-64	9.00mm×9.00mm

(1) 详细的订单型号说明，请参考数据表后的封装选项部分。

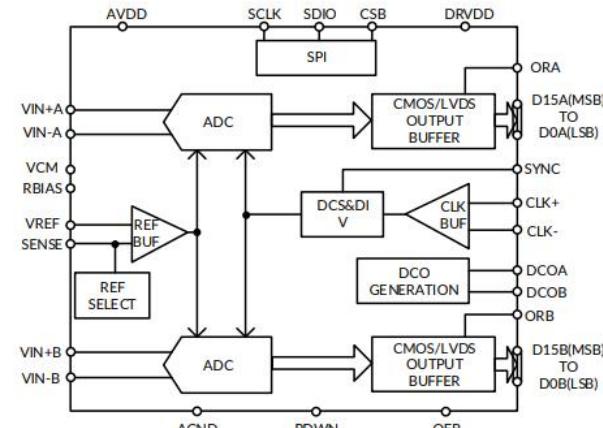


图 1. TLX1582S 系统框图

目 录

1 主要性能	2
2 应用场合	2
3 产品特点	2
4 修订历史	4
5 封装和订单说明 ⁽¹⁾	5
6 概述	6
7 引脚定义与功能	7
8 规格参数	11
8.1 绝对最大额定参数	11
8.2 ESD 保护	11
8.3 热特性	11
8.4 ADC 直流特性	12
8.5 ADC 交流特性	13
8.6 数字规格	15
8.7 开关规格	17
8.8 时序规格	18
8.9 时序图	18
9 工作特性	20
10 应用电路	22
10.1 模拟输入网络	22
10.2 时钟输入考虑	23
10.3 基准配置方式	24
10.4 数字输出	24
11 串行端口接口（SPI）	26
11.1 使用 SPI 的配置	26
11.2 不使用 SPI 的配置	27
12 寄存器地址及默认值：	28
13 同步控制	30
14 应用与设计	31
14.1 设计指南	31
14.2 电源和接地建议	31
14.3 LVDS 操作	31
14.4 裸露焊盘散热块建议	31
14.5 VCM	31
14.6 RBIAS	31
14.7 基准电压源去耦	32
14.8 SPI 端口	32
15 封装规格尺寸	33

4 修订历史

注：以前版本的页码可能与当前版本的页码不同。

版本	更新日期	变更项目
A.0	2025/07/09	初始版本

5 封装和订单说明⁽¹⁾

订购型号	温度等级	封装类型	丝印 ⁽²⁾	MSL	质量等级
JTLX1582SYQAB64	-55 °C ~+125 °C	QFN9X9-64	TLX1582S	MSL1/3	N1/军温级
TLX1582SYQAB64	-40 °C ~+125 °C	QFN9X9-64	TLX1582S	MSL1/3	工业级

注意:

- (1) 该信息是当前版本的最新数据。这些数据如有更新，将及时更新到我司官网，恕不另行通知。
- (2) 丝印可能会有其他附加的代码，用于产品的内控追溯（包括数据代码和供应商代码）或者标志产地。
- (3) MSL，即根据 JEDEC 行业标准分类的湿度敏感等级。

6 概述

TLX1582S 是一款双通道、**16** 位、最高 **125 MSps** 的模数转换器 (**ADC**)，旨在支持需要高性能、低成本、小尺寸且具多功能性的通信应用。这款双通道 **ADC** 内核采用多级、差分流水线架构，并集成了输出纠错逻辑。每个 **ADC** 均具有宽带宽、差分采样保持模拟输入放大器，支持用户采用可外部配置的信号输入电压范围，集成基准电压源可简化设计。占空比稳定器可用来补偿 **ADC** 时钟占空比的波动，使转换器保持出色的性能。**ADC** 输出数据可以直接送至两个外部 **16** 位输出端口，这些输出可以设置为 **1.8 V CMOS** 或 **LVDS**。需要时，灵活的掉电选项可以明显降低功耗。**ADC** 的设置与控制都可以采用 **SPI** 兼容型串行接口来完成。

TLX1582S 可根据应用需求，提供 **60M/80M/105M/125M** 的不同速度档位产品系列，实现灵活的功耗控制，并可以通过速度等级寄存器进行档位识别。**TLX1582S** 采用 **64** 引脚 **LFCSP** 封装，额定工作温度支持 **-55°C** 至 **+125°C** 的工业级温度范围。

7 引脚定义与功能

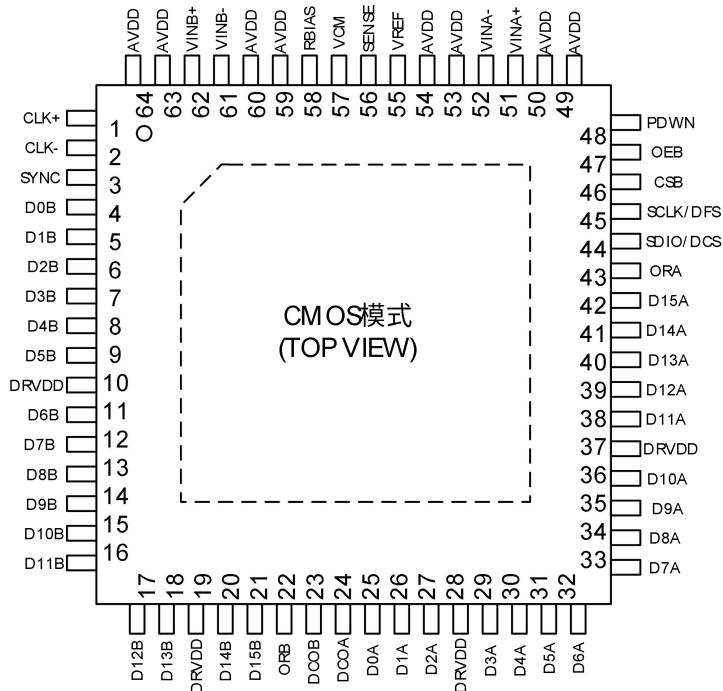


图 2. 并行 CMOS 模式引脚配置 (顶视图)

引脚功能 (并行 CMOS 模式)

引脚	引脚名称	功能说明	引脚	引脚名称	功能说明
1	CLK+	时钟输入正端	33	D7A	通道 A 数据输出
2	CLK-	时钟输入负端	34	D8A	通道 A 数据输出
3	SYNC	数据同步引脚, 用于从机模式	35	D9A	通道 A 数据输出
4	D0B	通道 B 数据输出	36	D10A	通道 A 数据输出
5	D1B	通道 B 数据输出	37	DRVDD	数字模块供电 (标称值 1.8V)
6	D2B	通道 B 数据输出	38	D11A	通道 A 数据输出
7	D3B	通道 B 数据输出	39	D12A	通道 A 数据输出
8	D4B	通道 B 数据输出	40	D13A	通道 A 数据输出
9	D5B	通道 B 数据输出	41	D14A	通道 A 数据输出
10	DRVDD	数字模块供电 (标称值 1.8V)	42	D15A	通道 A 数据输出
11	D6B	通道 B 数据输出	43	ORA	通道 A 数据输出, 溢出指示
12	D7B	通道 B 数据输出	44	SDIO/DCS	spi 数据位, 低速数字
13	D8B	通道 B 数据输出	45	SCLK/DFS	spi 时钟位, 低速数字
14	D9B	通道 B 数据输出	46	CSB	spi 片选, 低有效
15	D10B	通道 B 数据输出	47	OEB	输出使能, 低有效
16	D11B	通道 B 数据输出	48	PDWN	关断控制; 可通过 SPI 配置成待机控制。

17	D12B	通道 B 数据输出	49	AVDD	模拟模块供电 (标称值 1.8V)
18	D13B	通道 B 数据输出	50	AVDD	模拟模块供电 (标称值 1.8V)
19	DRVDD	数字模块供电 (标称值 1.8V)	51	VINA+	A 通道输入正端
20	D14B	通道 B 数据输出	52	VINA-	A 通道输入负端
21	D15B	通道 B 数据输出	53	AVDD	模拟模块供电 (标称值 1.8V)
22	ORB	通道 B 数据输出, 溢出指示	54	AVDD	模拟模块供电 (标称值 1.8V)
23	DCOB	数据输出同步时钟	55	VREF	基准电压输入/输出
24	DCOA	数据输出同步时钟	56	SENSE	基准电压模式选择
25	D0A	通道 A 数据输出	57	VCM	输入共模偏置
26	D1A	通道 A 数据输出	58	RBIAS	外部基准电阻
27	D2A	通道 A 数据输出	59	AVDD	模拟模块供电 (标称值 1.8V)
28	DRVDD	数字模块供电 (标称值 1.8V)	60	AVDD	模拟模块供电 (标称值 1.8V)
29	D3A	通道 A 数据输出	61	VINB-	B 通道输入负端
30	D4A	通道 A 数据输出	62	VINB+	B 通道输入正端
31	D5A	通道 A 数据输出	63	AVDD	模拟模块供电 (标称值 1.8V)
32	D6A	通道 A 数据输出	64	AVDD	模拟模块供电 (标称值 1.8V)
			0	AGND	封装底部裸露焊盘, 必须接地

引脚定义与功能

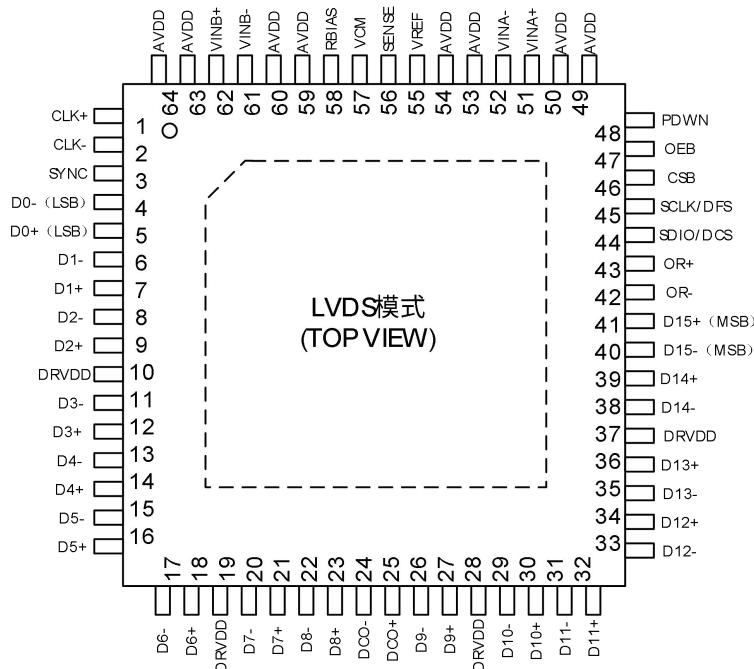


图 3. 交错并行 LVDS 模式引脚配置（顶视图）

引脚描述（交错并行 LVDS 模式）

引脚	引脚名称	功能说明	引脚	引脚名称	功能说明
1	CLK+	时钟输入正端	33	D12-	通道 A/B 输出数据 12-
2	CLK-	时钟输入负端	34	D12+	通道 A/B 输出数据 12+
3	SYNC	数据同步引脚，用于从机模式	35	D13-	通道 A/B 输出数据 13-
4	D0-	通道 A/B 输出数据 0-	36	D13+	通道 A/B 输出数据 13+
5	D0+	通道 A/B 输出数据 0+	37	DRVDD	数字模块供电（标称值 1.8V）
6	D1-	通道 A/B 输出数据 1-	38	D14-	通道 A/B 输出数据 14-
7	D1+	通道 A/B 输出数据 1+	39	D14+	通道 A/B 输出数据 14+
8	D2-	通道 A/B 输出数据 2-	40	D15-	通道 A/B 输出数据 15-
9	D2+	通道 A/B 输出数据 2+	41	D15+	通道 A/B 输出数据 15+
10	DRVDD	数字模块供电（标称值 1.8V）	42	OR-	通道 A/B 超量程输出-
11	D3-	通道 A/B 输出数据 3-	43	OR+	通道 A/B 超量程输出+
12	D3+	通道 A/B 输出数据 3+	44	SDIO/DCS	spi 数据位，低速数字
13	D4-	通道 A/B 输出数据 4-	45	SCLK/DFS	spi 时钟位，低速数字
14	D4+	通道 A/B 输出数据 4+	46	CSB	spi 片选，低有效
15	D5-	通道 A/B 输出数据 5-	47	OEB	输出使能，低有效
16	D5+	通道 A/B 输出数据 5+	48	PDWN	关断控制； 可通过 SPI 配置成待机控制。

17	D6-	通道 A/B 输出数据 6-	49	AVDD	模拟模块供电 (标称值 1.8V)
18	D6+	通道 A/B 输出数据 6+	50	AVDD	模拟模块供电 (标称值 1.8V)
19	DRVDD	数字模块供电 (标称值 1.8V)	51	VINA+	A 通道输入正端
20	D7-	通道 A/B 输出数据 7-	52	VINA-	A 通道输入负端
21	D7+	通道 A/B 输出数据 7+	53	AVDD	模拟模块供电 (标称值 1.8V)
22	D8-	通道 A/B 输出数据 8-	54	AVDD	模拟模块供电 (标称值 1.8V)
23	D8+	通道 A/B 输出数据 8+	55	VREF	基准电压输入/输出
24	DCO-	通道 A/B 输出时钟-	56	SENSE	基准电压模式选择
25	DCO+	通道 A/B 输出时钟+	57	VCM	输入共模偏置
26	D9-	通道 A/B 输出数据 9-	58	RBIAS	外部基准电阻
27	D9+	通道 A/B 输出数据 9+	59	AVDD	模拟模块供电 (标称值 1.8V)
28	DRVDD	数字模块供电 (标称值 1.8V)	60	AVDD	模拟模块供电 (标称值 1.8V)
29	D10-	通道 A/B 输出数据 10-	61	VINB-	B 通道输入负端
30	D10+	通道 A/B 输出数据 10+	62	VINB+	B 通道输入正端
31	D11-	通道 A/B 输出数据 11-	63	AVDD	模拟模块供电 (标称值 1.8V)
32	D11+	通道 A/B 输出数据 11+	64	AVDD	模拟模块供电 (标称值 1.8V)
			0	AGND	封装底部裸露焊盘, 必须接地

8 规格参数

8.1 绝对最大额定参数

		最小值	最大值	单位
电源电压	(AVDD,DRVDD) 至 AGND	-0.3	2	V
输入电压	(VIN+/-, CLK+/-, RESET, VREF, SENSE, VCM, RBIAS, CSB, SCLK, SDIO, PDWN)	-0.3	2	
输出电压	(DCOA/B, D0A/B- D15A/B)	-0.3	2	
温度	最大结温 $T_{J\text{ MAX}}$		150	°C
	工作温度范围	-55	125	
	存储温度范围	-65	150	

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

8.2 ESD 保护



带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品能够通过 **HBM 2.5kV** 测试，但在遇到高能量 **ESD** 时，器件可能会损坏。因此，应当采取适当的 **ESD** 防范措施，以避免器件性能下降或功能丧失。

8.3 热特性

LFCSP 封装的裸露焊盘必须焊接到接地层。将裸露焊盘焊接到 **PCB** 上可提高焊接可靠性，从而最大限度发挥封装的热性能。 θ_{JA} 典型值的测试条件为带实接地层的四层 **PCB**，典型值为 **19.2°C/W**。气流可改善散热，从而降低 θ_{JA} 。另外，直接与封装引脚接触的金属，包括金属走线、通孔、接地层、电源层，可降低 θ_{JA} 。

8.4 ADC 直流特性

除另有说明, **AVDD=1.8 V**、**DRVDD=1.8 V**、最大采样速率、**VIN=-1.0 dBFS** 差分输入、**1.0 V** 内部基准电压。

参数	温度	最小值	典型值	最大值	单位
分辨率			16		位
无失码	全		保证		
失调误差	全		±0.4	±0.65	%FSR
增益误差	全		±0.4		%FSR
微分非线性 (DNL) ¹	全		TBD		LSB
	25°C		TBD		LSB
积分非线性 (INL) ¹	全		TBD		LSB
	25°C		TBD		LSB
匹配特性					
失调误差	全		±0.2	±0.45	%FSR
增益误差	全		±0.3	±1.3	%FSR
内部基准电压					
输出电压误差 (1V 模式)	全		±5	±12	mV
负载调整率 (1mA)	全		5		mV
输入端参考噪声, VREF=1V	25°C		2.36		LSBrms
模拟输入					
输入范围, VREF=1V	全		2		Vp-p
输入电容 ²	全		8		pF
输入共模电压	全		0.9		%FSR
基准电压输入阻抗	全		6		kΩ
电源/电压电流					
AVDD	全	1.7	1.8	1.9	V
DRVDD	全	1.7	1.8	1.9	V
IAVDD ¹	全		390	400	mA
IDRVDD (CMOS) ¹	全		55		mA
IDRVDD (LVDS) ¹	全		94		mA
功耗					
直流输入	全		750	780	mW
正弦波输入 (CMOS 输出) ¹	全		800		mW
正弦波输入 (LVDS 输出) ¹	全		870		mW
待机 ³	全		24		mW
掉电	全		0.5	2.5	mW

1 测量条件为: 低输入频率、满量程正弦波、每个输出位的负载约为 5pF。

2 输入电容指一个差分输入引脚与 **AGND** 之间的有效电容。

3 待机功耗的测量条件为: 直流输入、**CLK** 引脚无动作 (设为 **AVDD** 或 **AGND**)。

8.5 ADC 交流特性

除另有说明, AVDD=1.8 V、DRVDD=1.8 V、最大采样速率、VIN=-1.0 dBFS 差分输入、1.0 V 内部基准电压。

参数	温度	最小值	典型值	最大值	单位
信噪比 (SNR)					
$f_{in}=2.4\text{MHz}$	25°C		78		dBFS
$f_{in}=70\text{MHz}$	25°C	76	77.3		dBFS
	全	75			dBFS
$f_{in}=140\text{MHz}$	25°C		75.7		dBFS
$f_{in}=200\text{MHz}$	25°C		74.5		dBFS
信纳比 (SNDR)					
$f_{in}=2.4\text{MHz}$	25°C		78		dBFS
$f_{in}=70\text{MHz}$	25°C	76.3	77		dBFS
	全	76			dBFS
$f_{in}=140\text{MHz}$	25°C		75.4		dBFS
$f_{in}=200\text{MHz}$	25°C		71.8		dBFS
有效位数 (ENOB)					
$f_{in}=2.4\text{MHz}$	25°C		12.5		位
$f_{in}=70\text{MHz}$	25°C		12.4		位
$f_{in}=140\text{MHz}$	25°C		12.2		位
$f_{in}=200\text{MHz}$	25°C		11.7		位
无杂散动态范围 (三次谐波)					
$f_{in}=2.4\text{MHz}$	25°C		89		dBc
$f_{in}=70\text{MHz}$	25°C		88		dBc
	全	82			dBc
$f_{in}=140\text{MHz}$	25°C		79		dBc
$f_{in}=200\text{MHz}$	25°C		75		dBc
最差的二次谐波					
$f_{in}=2.4\text{MHz}$	25°C		90		dBc
$f_{in}=70\text{MHz}$	25°C		92		dBc
	全	86			dBc
$f_{in}=140\text{MHz}$	25°C		86		dBc
$f_{in}=200\text{MHz}$	25°C		81		dBc
无杂散动态范围 (SFDR)					
无扰动 (AIN=-23dBFS)					
$f_{in}=2.4\text{MHz}$	25°C		90		dBc
$f_{in}=70\text{MHz}$	25°C		88		dBc
$f_{in}=140\text{MHz}$	25°C		89		dBc
$f_{in}=200\text{MHz}$	25°C		88		dBc
有扰动 (AIN=-23dBFS)					
$f_{in}=2.4\text{MHz}$	25°C		102		dBFS
$f_{in}=70\text{MHz}$	25°C		101		dBFS

$f_{in}=140\text{MHz}$	25°C		102		dBFS
$f_{in}=200\text{MHz}$	25°C		100		dBFS
双音 SFDR, 无扰动					
$f_{in}=25/28\text{MHz}(-7\text{dBFS})$	25°C		82		dBc
串扰 4	全		-92		dB
模拟输入带宽	25°C		650		MHz

4 串扰的测量条件:一个通道输入参数为 -1dBFS、100MHz 信号且另一个通道上无输入信号。

8.6 数字规格

除另有说明, **AVDD=1.8 V**、**DRVDD=1.8 V**、典型采样速率、**VIN=-1.0 dBFS** 差分输入、**1.0 V** 内部基准电压。

参数	温度	最小值	典型值	最大值	单位
差分时钟输入 (CLK+/-)					
逻辑兼容			CMOS/LVDS/LVPECL		
内部共模偏置	全		0.9		V
差分输入电压	全	0.3		3.6	V_{p-p}
输入电压范围	全	AGND		AVDD	V
输入共模范围	全	0.9		1.4	V
高电平输入电流	全	-100		+100	μA
低电平输入电流	全	-100		+100	μA
输入电容	全		4		pF
输入电阻	全	8	10	12	kΩ
同步输入					
逻辑兼容			CMOS		
内部偏置	全		0.9		V
输入电压范围	全	AGND		AVDD	V_{p-p}
高电平输入电压	全	1.2		AVDD	V
低电平输入电压	全	AGND		0.6	V
高电平输入电流	全	-100		+100	μA
低电平输入电流	全	-100		+100	μA
输入电容	全		2		pF
输入电阻	全		16		kΩ
逻辑输入 (CSB) ⁵					
高电平输入电压		1.2		DRVDD	V
低电平输入电压	全	AGND		0.6	V
高电平输入电流	全	-100		+100	μA
低电平输入电流	全	-100		+100	μA
输入电阻	全		20		kΩ
输入电容	全		3		pF
逻辑输入 (SCLK/DFS) ⁶					
高电平输入电压		1.2		DRVDD	V
低电平输入电压	全	AGND		0.6	V
高电平输入电流	全	-100		+100	μA
低电平输入电流	全	-100		+100	μA
输入电阻	全		20		kΩ
输入电容	全		3		pF

逻辑输入/出 (SDIO/DCS) ⁶					
高电平输入电压		1.2		DRVDD	V
低电平输入电压	全	AGND		0.6	V
高电平输入电流	全	-100		+100	μA
低电平输入电流	全	-100		+100	μA
输入电阻	全		20		kΩ
输入电容	全		3		pF
逻辑输入 (OEB/PDWN) ⁶					
高电平输入电压		1.2		DRVDD	V
低电平输入电压	全	AGND		0.6	V
高电平输入电流	全	-100		+100	μA
低电平输入电流	全	-100		+100	μA
输入电阻	全		20		kΩ
输入电容	全		3		pF
数字输出					
CMOS 模式, DRVDD=1.8V					
高电平输出电压					
I _{OH} =50 μA	全	1.79			V
I _{OH} =0.5mA	全	1.75			V
低电平输出电压					
I _{OL} =50 μA	全			0.05	V
I _{OL} =1.6mA	全			0.2	V
LVDS 模式, DRVDD=1.8V					
差分输出电压(V _{OD}), ANSI 模式	全	290	350	400	mV
输出偏移电压(V _{os}), ANSI 模式	全	1.15	1.25	1.35	V
差分输出电压(V _{OD}), 小摆幅模式	全	160	200	230	mV
输出偏移电压(V _{os}), 小摆幅模式	全	1.15	1.25	1.35	V

⁵ 内部上拉⁶ 内部下拉

8.7 开关规格

除另有说明, **AVDD=1.8 V**、**DRVDD=1.8 V**、典型采样速率、**VIN=-1.0 dBFS** 差分输入、**1.0 V** 内部基准电压。

参数	温度	最小值	典型值	最大值	单位
时钟输入参数					
输入时钟速率	全			625	MHz
转换速率					
DCS 使能	全	20		125	MSps
DCS 禁用	全	10		125	MSps
时钟周期, 一分频模式 (t_{CLK})	全	8			ns
时钟脉宽高电平 (t_{OH})					
一分频模式, DCS 使能	全	2.4	4	5.6	ns
一分频模式, DCS 禁用	全	3.8	4	4.2	ns
二分频至八分频模式	全	0.8			ns
孔径延时 (t_A)	全		1.0		ns
孔径抖动 (t_j)	全		0.07		ps rms
数据输出参数					
CMOS 模式					
数据传输延迟 (t_{PD})	全	4	4.5	4.9	ns
DCO 传输延迟 (t_{DCO})	全		5		ns
DCO 至数据偏斜 (t_{SKew})	全	-0.9	-0.5	0	ns
LVDS 模式					
数据传输延迟 (t_{PD})	全	4.6	5.4	6	ns
DCO 传输延迟 (t_{DCO})	全		5.5		ns
DCO 至数据偏斜 (t_{SKew})	全	-0.1	0.1	0.4	ns
CMOS 模式流水线延迟	全		12		周期
LVDS 模式延迟, 通道 A/B	全		12.5/12		周期
唤醒时间	全		500		μ s
超范围恢复时间	全		2		周期

8.8 时序规格

参数	条件	最小值	典型值	最大值	单位
同步时序要求					
t_{SSYNC}	SYNC 至 CLK+ 建立时间的上升沿		0.3		ns
t_{HSYNC}	SYNC 至 CLK+ 保持时间的上升沿		0.4		ns
SPI 时序要求					
t_{DS}	数据与 SCLK 上升沿之间的建立时间	2			ns
t_{DH}	数据与 SCLK 上升沿之间的保持时间	2			ns
t_{CLK}	SCLK 周期	40			ns
t_s	CSB 与 SCLK 之间的建立时间	2			ns
t_H	CSB 与 SCLK 之间的保持时间	2			ns
t_{HIGH}	SCLK 高电平脉冲宽度	10			ns
t_{LOW}	SCLK 低电平脉冲宽度	10			ns
t_{EN_SDIO}	相对于 SCLK 下降沿, SDIO 引脚从输入状态切换到输出状态所需时间	10			ns
t_{DIS_SDIO}	相对于 SCLK 上升沿, SDIO 引脚从输出状态切换到输入状态所需时间	10			ns

8.9 时序图

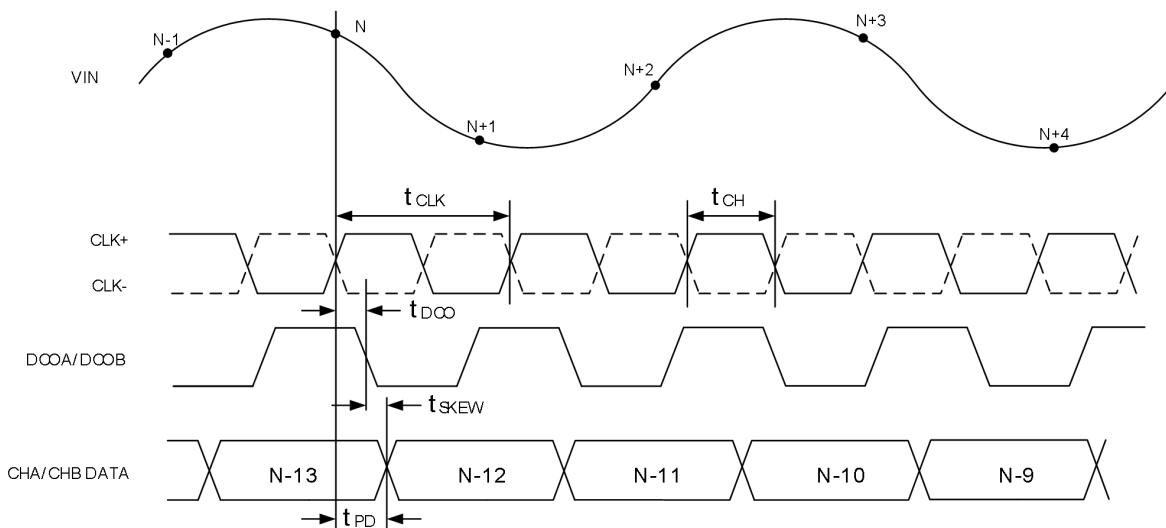


图 4. CMOS 默认输出模式数据输出时序

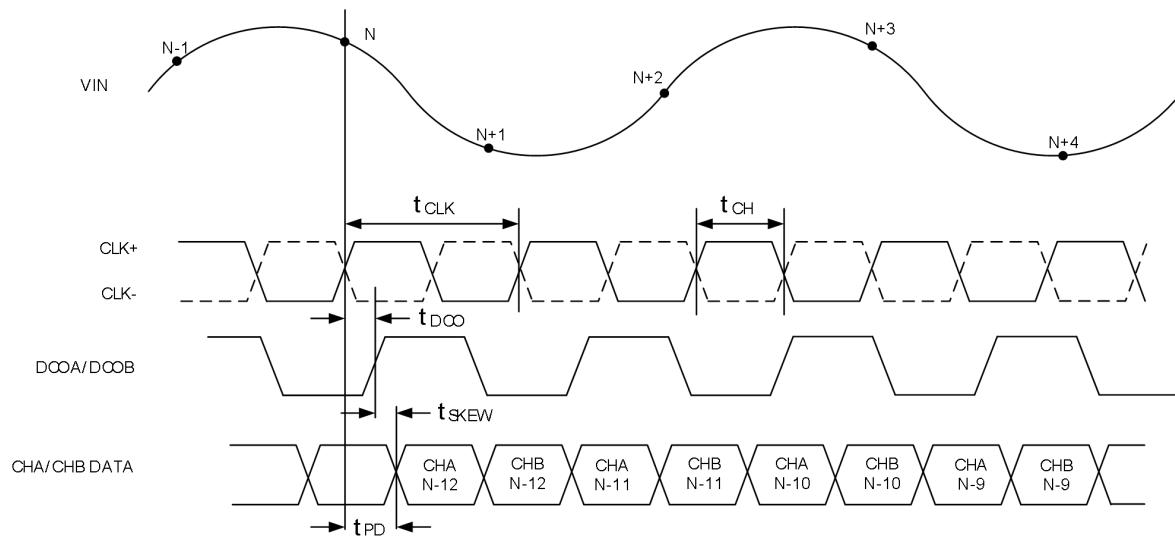


图 5. CMOS 交错输出模式数据输出时序

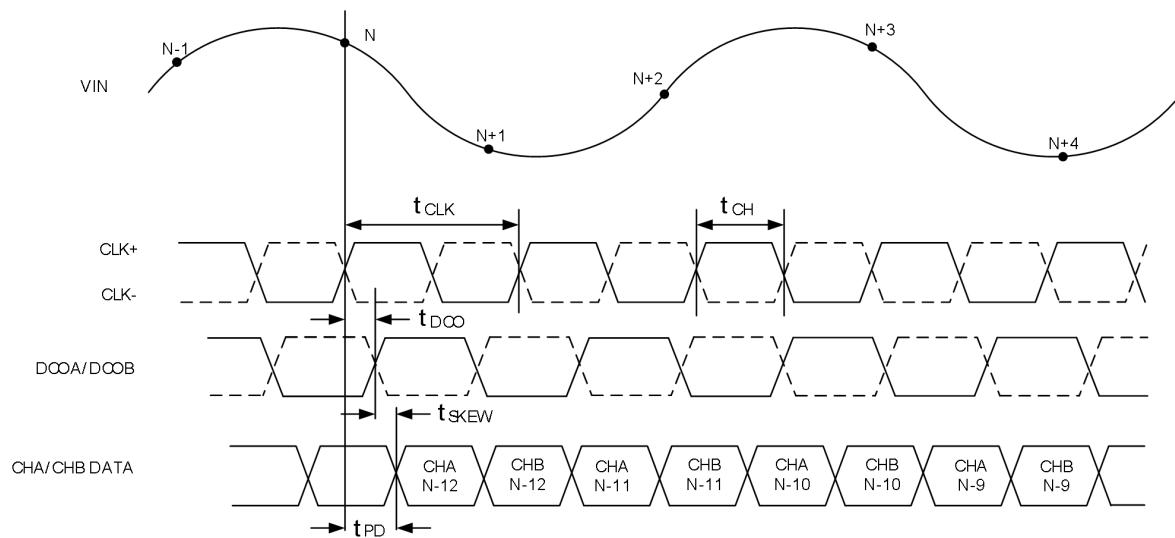


图 6. LVDS 模式数据输出时序

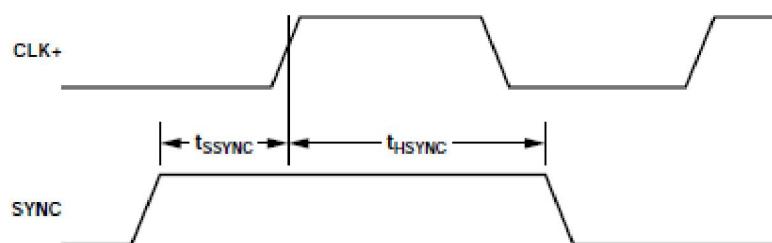


图 7. SYNC 输入时序要求

9 工作特性

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

除非另有说明，**AVDD = 1.8 V**、**DRVDD = 1.8 V**、额定采样速率、**1.0 V** 内部基准电压、**2 V** 峰峰值差分输入、**VIN = -1.0 dBFS**、**16k** 采样、**T_A = 25°C**。

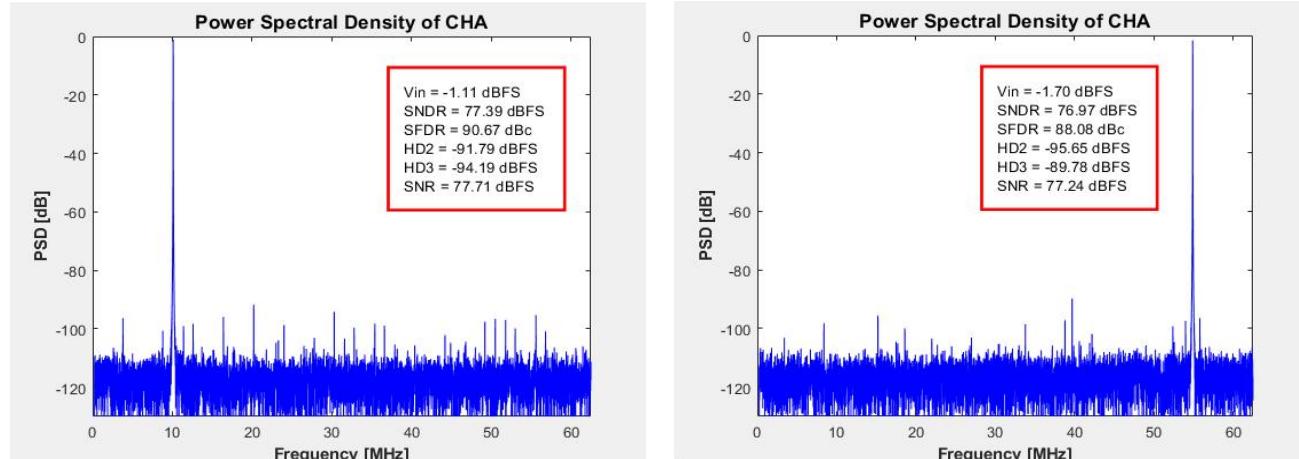


图 8. 输入信号 10MHz 单音 FFT

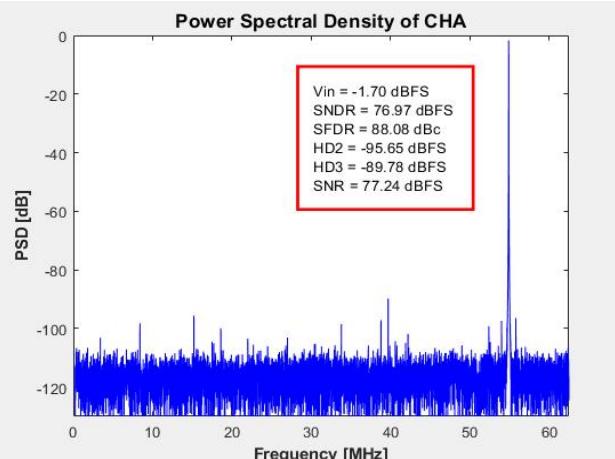


图 9. 输入信号 70MHz 单音 FFT

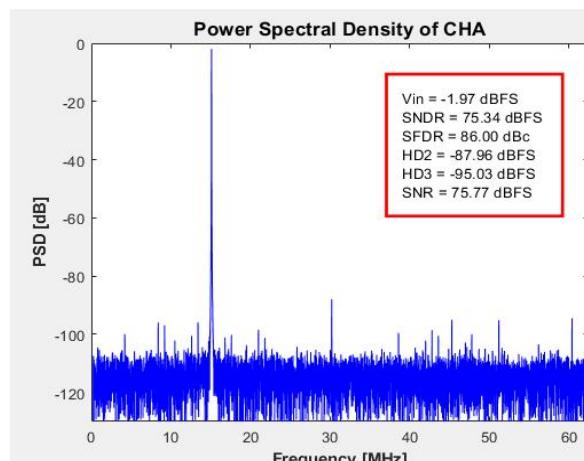


图 10. 输入信号 140MHz 单音 FFT

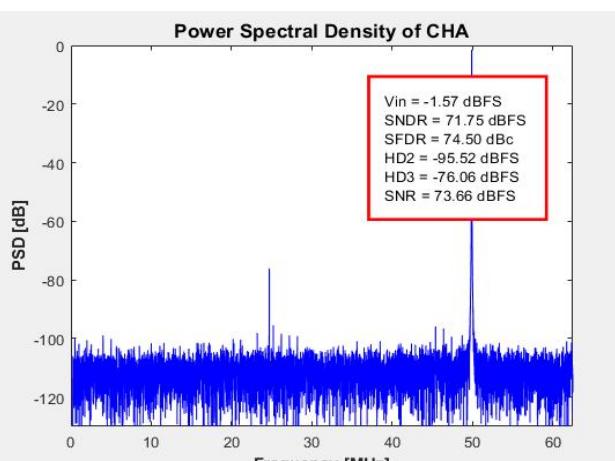


图 11. 输入信号 200MHz 单音 FFT

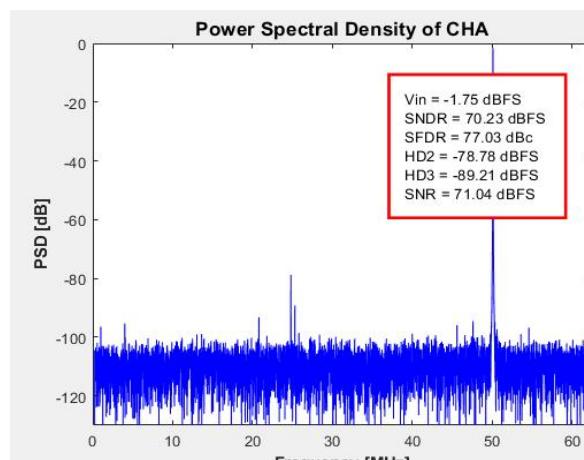


图 12. 输入信号 300MHz 单音 FFT

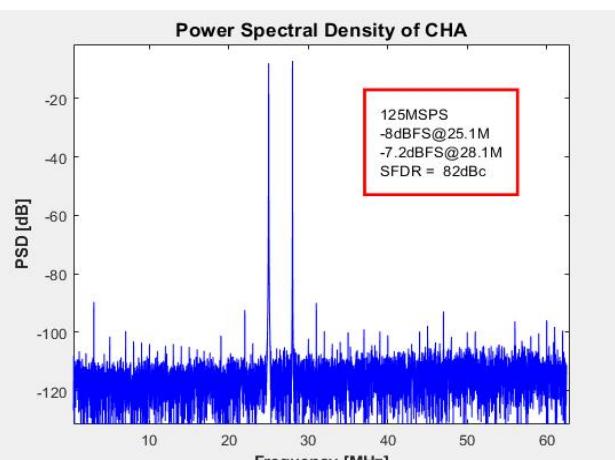


图 13. 双音(125Msps) 频谱图

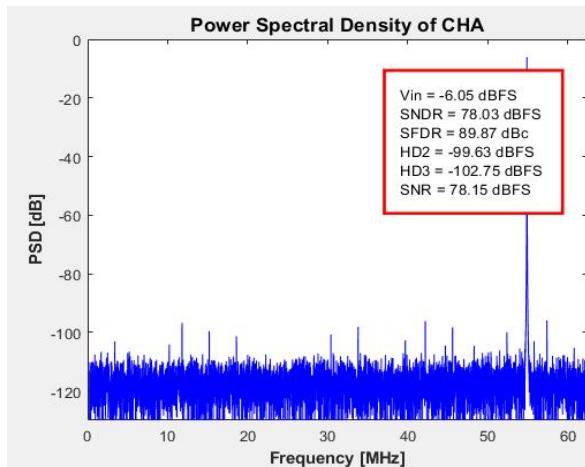


图 14. 输入 70MHz (-6dBFS), 扰动使能

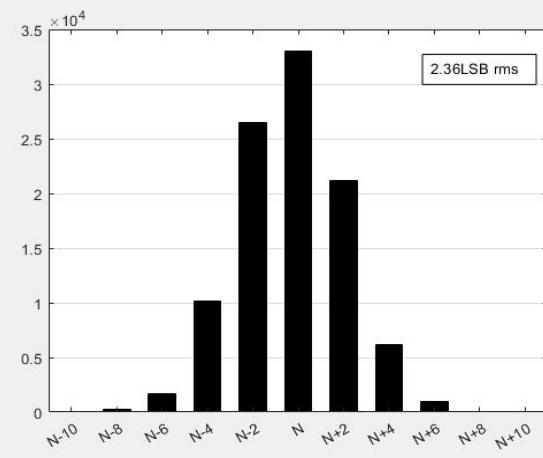


图 15. 接地输入直方图

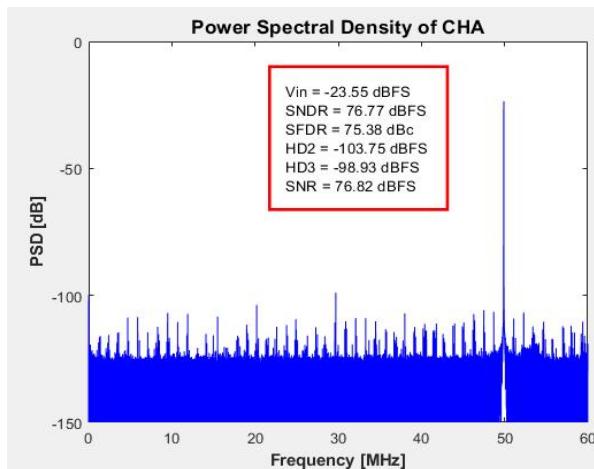


图 16. 输入 70MHz (-23dBFS), 扰动禁用 (1M 点)

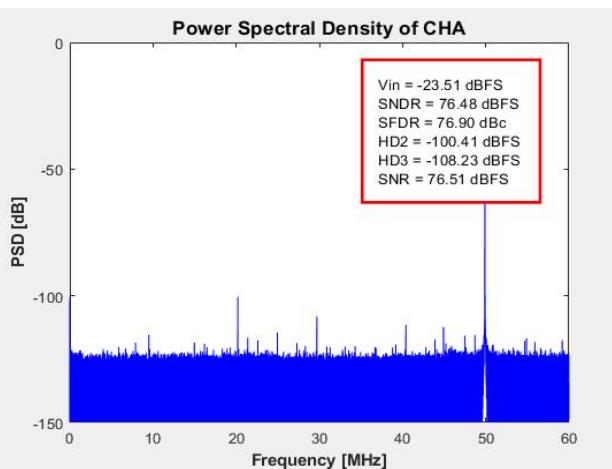


图 17. 输入 70MHz (-23dBFS), 扰动使能 (1M 点)

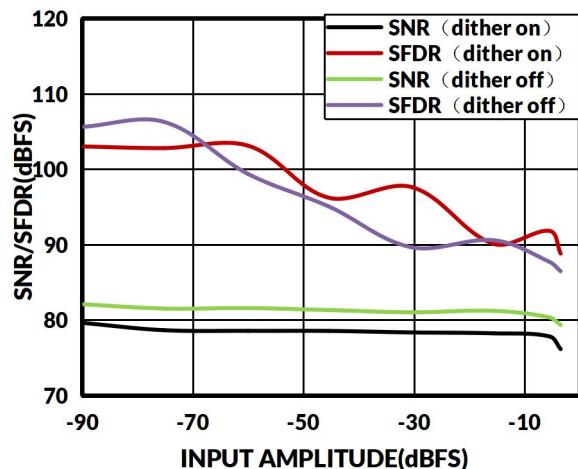


图 18. SNR/SFDR与输入幅度关系

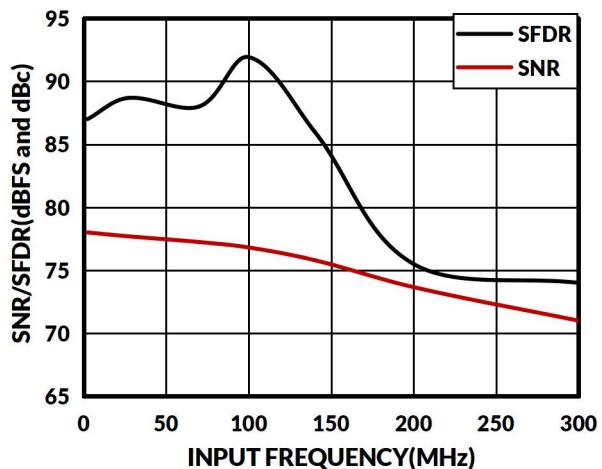


图 19. SNR/SFDR 与输入频率关系

10 应用电路

TLX1582S 输入信号、输入时钟、外部直流引脚等外围器件的典型应用电路如下。

10.1 模拟输入网络

在 **SNR** 为关键参数的基带应用中，建议使用的输入配置是差分变压器耦合，如图 20 的示例。为实现模拟输入偏置，须将 **VCM** 电压连接到至变压器次级绕组的中心抽头处。

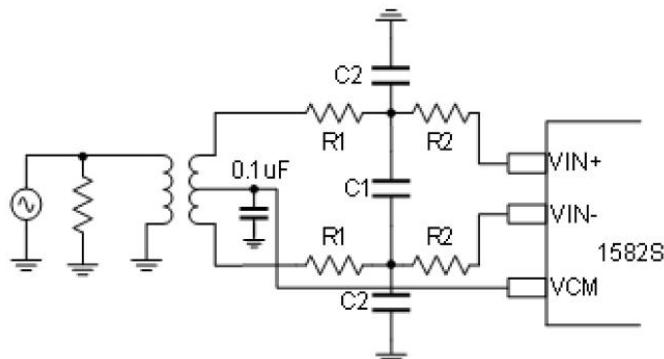


图 20. 差分变压器耦合配置

在选择变压器时，必需考虑其信号特性。大多数射频变压器在工作频率低于几兆赫兹时，产生饱和现象。信号功率过大也可导致内核饱和，从而导致失真。

当输入频率处于第二或更高奈奎斯特区域时，大多数放大器的噪声性能无法满足要求以达到 **ADC** 真正的 **SNR** 性能。在 **SNR** 为关键参数的应用中，建议使用的输入配置是差分双巴伦耦合（见图 21）。在这种配置中，输入交流耦合，**CML** 通过一个 33Ω 电阻提供给各输入。这些电阻补偿输入巴伦的损耗，向驱动器提供 50Ω 阻抗。

在双巴伦和变压器配置中，输入电容和电阻的值取决于输入频率和源阻抗，并且可能需要降低或去掉。表 1 列出了设置 **RC** 网络的建议值。当输入频率较高时，将铁氧体磁珠与电阻串联并去掉电容可以实现良好的性能。不过，这些值取决于输入信号，且只能用作初始参考。

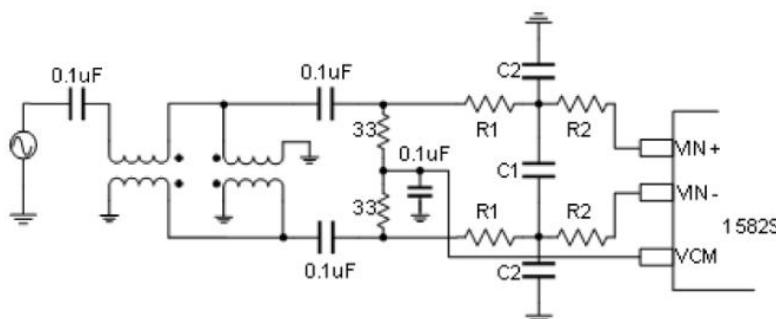


图 21. 差分双巴伦输入配置

表 1. RC 网络示例

频率范围/MHz	串联电阻 R1/Ω	串联电阻 R2/Ω	差分电容 C1/pF	并联电容 C2/pF
0-100	33	15	5	15

100-200	10	10	5	10
200-300	10^7	66	无	无

7 这种配置中，R1为铁氧体磁珠，其值为 10Ω (100 MHz)。

10.2 时钟输入考虑

为了充分发挥芯片的性能，应利用一个差分信号作为 **TLX1582S** 采样时钟输入端 (**CLK+** 和 **CLK-**) 的时钟信号。通常，应使用一个变压器或两个电容器将该信号交流耦合到 **CLK+** 引脚和 **CLK-** 引脚内。**CLK+** 和 **CLK-** 引脚有内部偏置（见图 22），无需外部偏置。如果这些输入悬空，应将 **CLK-** 引脚拉低以防止杂散时钟。

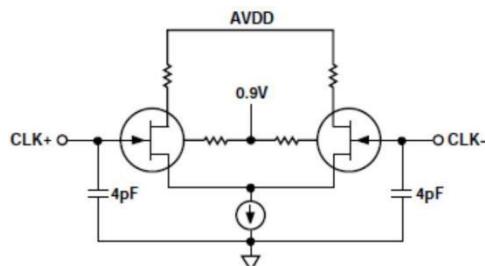


图 22. 等效时钟输入电路

TLX1582S 的时钟输入结构非常灵活。**CMOS**、**LVDS**、**LVPECL** 或正弦波信号均可作为其时钟输入信号。无论采用哪种信号，都必须考虑到时钟源抖动。

图 23 和图 24 显示两种为 **TLX1582S** 提供时钟信号的首选方法（时钟速率可达 625 MHz）。利用射频巴伦或射频变压器，可将低抖动时钟源的单端信号转换成差分信号。对于 125 MHz 至 625 MHz 的时钟频率，建议采样射频巴伦配置；对于 10 MHz 至 200 MHz 的时钟频率，建议采样射频变压器配置。跨接在变压器/巴伦次级上的背对背肖特基二极管可以将输入到 **ADC** 中的时钟信号限制为约差分 0.8V 峰峰值。这样，既可以防止时钟的大电压摆幅馈通至 **ADC** 的其它部分，还可以保留信号的快速上升和下降时间，这一点对低抖动性能来说非常重要。

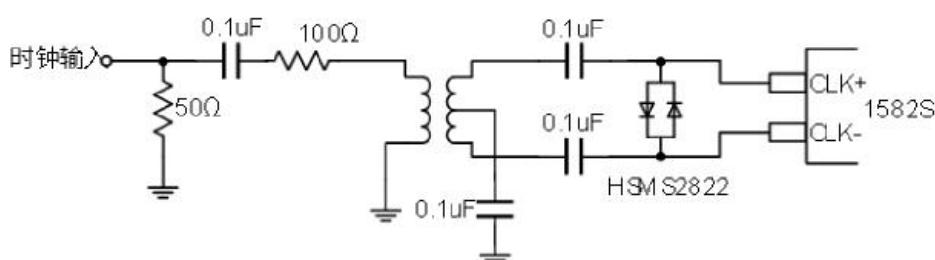


图 23. 变压器耦合差分时钟（频率可达 200MHz）

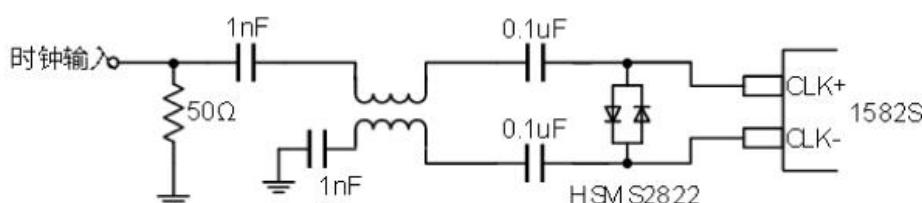


图 24. 巴伦耦合差分时钟（频率可达 625MHz）

10.3 基准配置方式

TLX1582S 的内置比较器可检测出 **SENSE** 引脚的电压，从而将基准电压配置成四种不同的模式见表 2。如果 **SENSE** 引脚接地，则基准放大器开关在内部将 **VREF** 设为 **1.0 V** (对应 **2.0 V** 峰峰值满量程输入)。在这种模式下，**SENSE** 接地，也可以通过 **SPI** 端口调整满量程，详见相应的 **SPI** 寄存器。将 **SENSE** 引脚与 **VREF** 引脚相连，则提供 **0.5 V** 基准输出电压 (对应 **1 V** 峰峰值满量程输入)。如果芯片与一个外部电阻分压器相连 (如图 25)，则使基准放大器进入可编程基准电压模式，**VREF** 输出端电压的计算公式如下：

$$V_{REF} = 0.5 \times \left(1 + \frac{R_2}{R_1}\right)$$

无论芯片使用内部基准电压还是外部基准电压，**ADC** 的电压输入范围始终是基准电压引脚 (**VREF**) 电压的两倍。

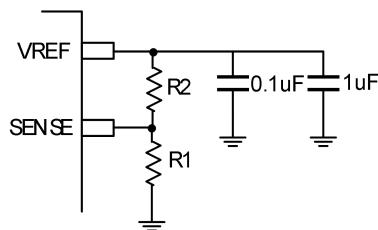


图 25. 可编程基准电压模式

表 2. 基准电压配置汇总

所选模式	SENSE 电压	相应的 VREF (V)	相应的查分范围 (Vpp)
外部基准电压	AVDD	N/A	2 × 外部基准电压
内部固定基准电压	VREF	0.5	1.0
可编程基准电压	0.2V 至 VREF	$0.5 \times \left(1 + \frac{R_2}{R_1}\right)$	2 × VREF
内部固定基准电压	AGND 至 0.2V	1.0	2.0

10.4 数字输出

TLX1582S 输出驱动器可以配置为与 **1.8 V CMOS** 逻辑系列接口。此外，使用一个 **1.8 V DRVDD** 电源，也可将 **TLX1582S** 配置为 **LVDS** 输出 (标准 **ANSI** 或小输出摆幅模式)。在 **CMOS** 输出模式下，输出驱动器应能够提供足够的输出电流，以便驱动各种逻辑电路。然而，大驱动电流可能导致在电源信号中产生毛刺脉冲，影响转换器的性能。

因此，在那些需要 **ADC** 来驱动大容性负载或较大扇出的应用中，可能需要用到外部缓冲器或锁存器。默认输出模式为 **CMOS**，各通道在单独的总线上输出，如图 4 所示。也可以通过 **SPI** 端口将输出配置为交错 **CMOS** 模式。在这种交错 **CMOS** 模式下，两个通道的数据均通过通道 **A** 输出位输出，通道 **B** 输出则置于高阻态模式。交错 **CMOS** 输出模式的时序图见图 5。

在外部引脚模式下，设置 **SCLK/DFS** 引脚可以控制数据以偏移二进制格式或二进制补码格式输出 (见表 3) 在 **SPI** 控制模式下，数据的输出格式可选择偏移二进制、二进制补码或格雷码。

表 3. SCLK、SDIO 外部引脚模式选择

引脚电压	SCLK/DFS	SDIO/DCS
AGND	偏移二进制（默认）	DCS 禁用（默认）
AVDD	二进制补码	DCS 使能

表 4. 数据输出格式

输入 (V)	条件	偏移二进制模式	二进制补码模式	超量程
VIN+ - VIN-	< -VREF - 0.5LSB	0000 0000 0000 0000	1000 0000 0000 0000	1
VIN+ - VIN-	= -VREF	0000 0000 0000 0000	1000 0000 0000 0000	0
VIN+ - VIN-	=0	1000 0000 0000 0000	0000 0000 0000 0000	0
VIN+ - VIN-	=+VREF - 1LSB	1111 1111 1111 1111	0111 1111 1111 1111	0
VIN+ - VIN-	> +VREF - 0.5LSB	1111 1111 1111 1111	0111 1111 1111 1111	1

11 串行端口接口 (SPI)

TLX1582S 串行端口接口 (**SPI**) 允许用户利用 **ADC** 内部的一个结构化寄存器来配置转换器，以满足特定功能和操作的需要。**SPI** 具有灵活性，可根据具体的应用进行定制。通过串行端口，可访问地址寄存器、对地址寄存器进行读写。存储寄存器以字节为单位进行存储，并且可以进一步细分成多个区域，如存储器映射部分所述。

11.1 使用 SPI 的配置

该 **ADC** 的 **SPI** 由三部分组成：**SCLK/DFS** 引脚、**SDIO/DCS** 引脚和 **CSB** 引脚(见表 5)。**SCLK/DFS**(串行时钟)引脚用于同步 **ADC** 的读出和写入数据。**SDIO/DCS**(串行数据输入/输出)双功能引脚允许将数据发送至内部 **ADC** 存储器映射寄存器或从寄存器中读出数据。**CSB**(片选信号)引脚是低电平有效控制引脚，它能够使能或者禁用读写周期。

表 5. **SCLK**、**SDIO** 外部引脚模式选择

引脚	功能
SCLK	串行时钟。串行移位时钟输入，用来同步串行接口
SDIO	串行数据输入/出。通常用作输入或输出，取决于发送的指令和时序帧中的相对位置。
CSB	片选信号。低电平有效控制信号，用来选通读写周期。

CSB 的下降沿与 **SCLK** 的上升沿共同决定帧的开始。图 26 为串行时序图范例。

CSB 可以在多种模式下工作。当 **CSB** 始终维持在低电平状态时，器件一直处于使能状态；这称作流。**CSB** 可以在字节之间停留在高电平，这样可以允许其他外部时序。**CSB** 引脚拉高时，**SPI** 功能处于高阻态模式。在该模式下，可以开启 **SPI** 引脚的第二功能。

在一个指令周期内，传输一条 16 位指令。在指令传输后将进行数据传输，数据长度由 **W0** 位和 **W1** 位共同决定。

除了字长，指令周期还决定串行帧是读操作指令还是写操作指令，从而通过串行端口对芯片编程或读取片上存储器内的数据。多字节串行数据传输帧的第一个字节的第一位表示发出的是读命令还是写命令。如果指令是回读操作，则执行回读操作会使串行数据输入/输出 (**SDIO**) 引脚的数据传输方向，在串行帧的一定位置由输入改为输出。所有数据均由 8 位字组成。数据可通过 **MSB** 优先模式或 **LSB** 优先模式进行发送。芯片上电后，默认采用 **MSB** 优先的方式，可以通过 **SPI** 端口配置寄存器来更改数据发送方式。

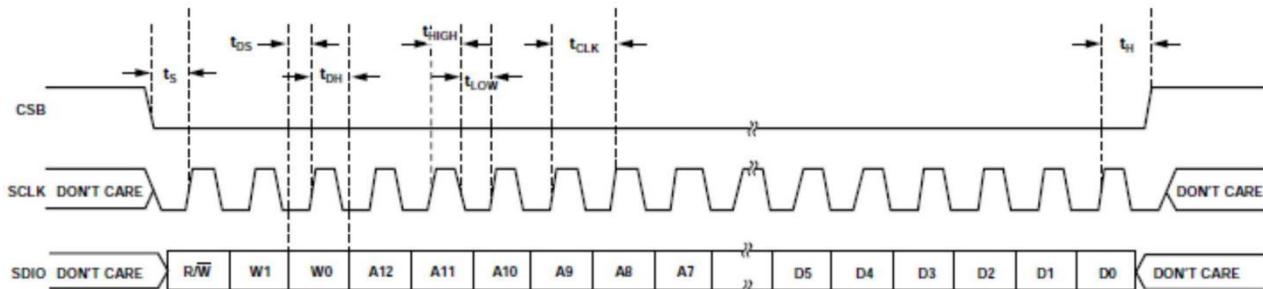


图 26. SPI 串行端口接口时序

11.2 不使用 SPI 的配置

在不使用 SPI 控制寄存器接口的应用中，**SDIO/DCS** 引脚、**SCLK/DFS** 引脚、**OEB** 引脚和 **PDWN** 引脚用作独立的 **CMOS** 兼容控制引脚。当器件上电后，假设用户希望将这些引脚用作静态控制线，分别控制占空比稳定器、输出数据格式、输出使能和掉电特性控制。在此模式下，**CSB** 片选引脚应与 **AVDD** 相连，用于禁用串行端口接口。

当器件处于 **SPI** 模式时，**PDWN** 和 **OEB** 引脚仍然有效。为通过 **SPI** 控制输出使能和掉电，应将 **OEB** 和 **PDWN** 引脚设为默认状态。

表 6. SCLK、SDIO外部引脚模式选择

引脚	外部电压	配置
SDIO/DCS	AVDD	占空比稳定器使能
	AGND (默认)	占空比稳定器禁用
SCLK/DFS	AVDD	二进制补码使能
	AGND (默认)	偏移二进制使能
OEB	AVDD	输出处于高阻抗状态
	AGND (默认)	输出使能
PDWN	AVDD	芯片处于掉电或待机状态
	AGND (默认)	正常工作

12 寄存器地址及默认值：

地址 **0x08** 至地址 **0x18** 和地址 **0x30** 被屏蔽，除非通过向地址 **0xFF** 写入 **0x01**，设置传输位，以发出传输命令，否则，向这些地址进行写操作不会影响器件的运行。这样，设置传输位时，就可以在内部同时更新这些寄存器。设置传输位时，进行内部更新，且传输位自动清零。

复位后，将向关键寄存器内载入默认值。表 7(存储器映像寄存器表)内列出了各寄存器的默认值。

器件目前不支持表 7 中未包括的所有地址和位。

表 7. 寄存器列表

地址 A7-A0 HEX	寄存器 名称	默 认 值	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	注释
芯片配置寄存器											
0x00	SPI 端口配置	00	0	LSB 优先	软复位	0	0	软复位	LSB 优先	0	半字节间镜像
0x01	芯片 ID	32	8 位芯片 ID (TLX1582S0x32)								只读；
0x02	芯片等级	01				速度等级 ID 01=125M 10=105M 11=80M 00=60M					
通道索引和传送寄存器											
0x05	通道索引	03	0	0	0	0	0	0	通道 B	通道 A	通道选择
0xFF	传送	00	0	0	0	0	0	0	0	传送	传送控制
ADC 功能											
0x08	功耗模式	80	1	0	外部掉电引脚功能 0=掉电 1=待机	0	0	0	00=正常工作 01=完全掉电 10=待机 11=正常工作	决定芯片的一般工作模式	
0x09	全局时钟	00	0	0	0	0	0	0	0	占空比稳定器	
0x0B	时钟分频器	00	0	0	0	0	0	000=1, 001=2, 010=3, 011=4, 100=5, 101=6, 110=7, 111=8			时钟分频
0x0E	BIST 使能	00	0	0	0	0	0	0	0	BIST 使能	
0x0F	ADC 输入	00	0	0	0	0	0	0	0	共模伺服使能	

0x10	失调调整	00	失调调整以 LSB 为单位, 从 +127 到-128 (二进制补码格式)								
0x14	输出模式	00	0=ANSI LVDS, 1=小摆幅 LVDS	0=CMOS , 1=LVDS	CMOS 输出交错使能	输出使能	CMOS 驱动力控制: 0=x1, 1=x2	输出反转	00=偏移二进制 01=二进制补码 10=格雷码 11=RAND 编码	配置输出和数据格式	
16	时钟相位控制	00	DCO 反相	0	0	0	0	000=无延迟, 001=1 输入时钟周期 002=2 输入时钟周期 003=3 输入时钟周期 004=4 输入时钟周期 005=5 输入时钟周期 006=6 输入时钟周期 007=7 输入时钟周期 008=8 输入时钟周期		允许选择输入时钟分频器的时钟延迟时间	
17	DCO 输出延迟	00	0	0	0			典型条件每位延时约 80ps 。 总延时= 2500ps *寄存器值 /31 00000=0ps 00001=81ps 11111=2500ps			
18	ref_sel	c0	11=2Vpp (默认) 10=1.75Vpp 01=1.5Vpp 00=1.25Vpp		0	0	0	0	0	读取显示在<1:0>	
30	扰动使能	00	0	0	0	扰动使能	0	0	0		
100	同步控制	00	0	0	0	0	时钟分频仅与下一同步脉冲同步	时钟分频器同步使能	主机同步使能		

13 同步控制

位 **2**—时钟分频器仅与下一同步：脉冲同步如果主机同步使能位（地址 **0x100** 的位 **0**）和时钟分频器同步使能位（地址 **0x100** 的位 **1**）均为高电平，则位 **2** 允许时钟分频器与它接收到的下一个同步脉冲同步，并忽略其它同步脉冲。同步后，时钟分频器同步使能位（地址 **0x100** 的位 **1**）复位。

位 **1**—时钟分频器同步使能：位 **1** 选通时钟分频器的同步脉冲。当位 **1** 为高电平且位 **0** 为高电平时，同步信号使能。这是连续同步模式。

位 **0**—主机同步使能要使能：任何同步功能，位 **0** 必须为高电平。如果不使用同步功能，此位应保持低电平以省电。

14 应用与设计

14.1 设计指南

在进行 **TLX1582S** 的系统设计和布局之前，建议设计者先熟悉下述设计指南，其中讨论了某些引脚所需的特殊电路连接和布局布线要求。

14.2 电源和接地建议

建议使用两个独立的 **1.8 V** 电源为 **TLX1582S** 供电：一个用于模拟端 (**AVDD**)，一个用于数字输出端 (**DRVDD**)。对于 **AVDD** 和 **DRVDD**，应使用多个不同的去耦电容以支持高频和低频。去耦电容应放置在接近 **PCB** 入口点和接近器件引脚的位置，并尽可能缩短走线长度。

TLX1582S 仅需要一个 **PCB** 接地层。对 **PCB** 模拟、数字和时钟模块进行合理的去耦和巧妙的分隔，可以轻松获得最佳的性能。

14.3 LVDS 操作

上电时，**TLX1582S** 默认采用 **CMOS** 输出模式。如果需要 **LVDS** 工作模式，必须在上电后利用 **SPI** 配置寄存器设置此模式。当 **TLX1582S** 上电后处于 **CMOS** 模式，并且输出端有 **LVDS** 端接电阻 (**100 Ω**) 时，**DRVDD** 电流可能高于典型值，除非将器件置于 **LVDS** 模式。这一额外的 **DRVDD** 电流不会损坏 **TLX1582S**，但在考虑器件的最大 **DRVDD** 电流时，必须对此加以考虑。

为消除这一额外 **DRVDD** 电流，可以在上电时拉高 **OEB** 引脚，从而禁用 **TLX1582S** 输出。通过 **SPI** 端口将器件置于 **LVDS** 模式之后，可以拉低 **OEB** 引脚以使能输出。

14.4 裸露焊盘散热块建议

为获得最佳的电气性能和热性能，必须将 **ADC** 底部的裸露焊盘连接至模拟地 (**AGND**)。**PCB** 上裸露 (无阻焊膜) 的连续铜平面应与 **TLX1582S** 的裸露焊盘 (引脚 **0**) 匹配。

铜平面上应有多个通孔，以便获得尽可能低的热阻路径以通过 **PCB** 底部进行散热。应当填充或堵塞这些通孔，防止通孔渗锡而影响连接性能。

为了最大化地实现 **ADC** 与 **PCB** 之间的覆盖与连接，应在 **PCB** 上覆盖一个丝印层，以便将 **PCB** 上的连续平面划分为多个均等的部分。这样，在回流焊过程中，可在 **ADC** 与 **PCB** 之间提供多个连接点。而一个连续的、无分割的平面则仅可保证在 **ADC** 与 **PCB** 之间有一个连接点。

14.5 VCM

VCM 引脚应通过一个 **0.1 μF** 电容去耦至地。

14.6 RBIAS

TLX1582S 要求用户将一 **10 kΩ** 电阻置于 **RBIAS** 引脚与地之间。该电阻用来设置 **ADC** 内核的主基准电流，该电阻容差至少为 **1%**。

14.7 基准电压源去耦

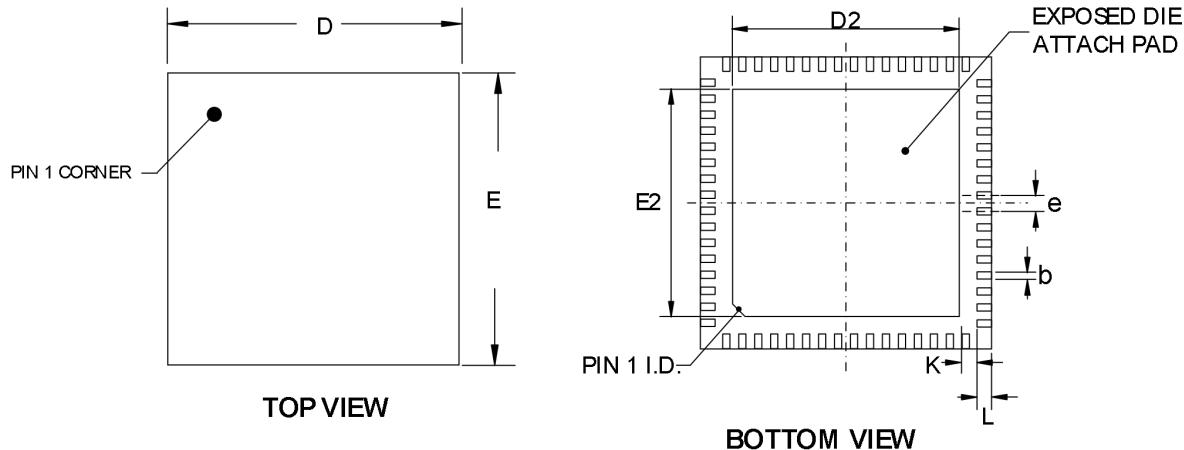
VREF 引脚应通过外部一个低 **ESR 0.1 μ F** 陶瓷电容和一个低 **ESR 1.0 μ F** 电容的并联去耦至地。

14.8 SPI 端口

当需要转换器充分发挥其全动态性能时，应禁用 **SPI** 端口。通常 **SCLK** 信号、**CSB** 信号和 **SDIO** 信号与 **ADC** 时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上 **SPI** 总线，则可能需要在该总线与 **TLX1582S** 之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入端发生变化。

15 封装规格尺寸

QFN9X9-64⁽⁴⁾



SIDE VIEW

Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A ⁽¹⁾	0.800	0.900	0.032	0.035
A1	0.000	0.050	0.000	0.002
A2	0.650		0.026	
A3	0.203 REF ⁽²⁾		0.008 REF ⁽²⁾	
b	0.200	0.300	0.008	0.012
D ⁽¹⁾	9.000 BSC ⁽³⁾		0.354 BSC ⁽³⁾	
E ⁽¹⁾	9.000 BSC ⁽³⁾		0.354 BSC ⁽³⁾	
e	0.500 BSC ⁽³⁾		0.020 BSC ⁽³⁾	
D2	7.100	7.300	0.280	0.287
E2	7.100	7.300	0.280	0.287
L	0.300	0.500	0.012	0.020
K	0.500 REF ⁽²⁾		0.020 REF ⁽²⁾	

注意：

1. 不包括每边最大 0.075 毫米的塑料或金属突起。
2. REF 是 Reference 的缩写。
3. BSC(中心之间的基本间距)，“基本”间距是标称的。
4. 此图纸如有更改，恕不另行通知。