

无锡泰连芯科技有限公司

TLX2400-18 型

18 位全差分 2MSPS SARADC

2024 年 06 月

18位全差分2MSPS SARADC

特点

- **18** 位差分,无失码
- 吞吐量:高达 **2 MSPS**
- 积分非线性(**INL**):± **2.5 LSB**
- 微分非线性 (**DNL**):± **0.5LSB**
- **SINAD:1 kHz** 时为 **99 dB** 总谐波失真 :**1 kHz** 时为 **-112 dB**
- 差分模拟输入范围:± **VREF**
- 无流水线延迟
- 单模拟电源 **VDD=1.8V**
- **1.8 V/2.5 V/3 V/5 V** 逻辑接口
- 封装:**MSOP-10/DFN-10**

应用

- 精密数据采集
- 自动化测试
- 精密仪器
- 医疗器械

一般描述

TLX2400-18 是一款低噪声、低功耗、**18** 位差分 **SAR ADC**,吞吐量高达 **2MSPS**。该器件采用小尺寸封装,易于使用。它可以降低系统的功耗和复杂性,从而实现高密度设计。

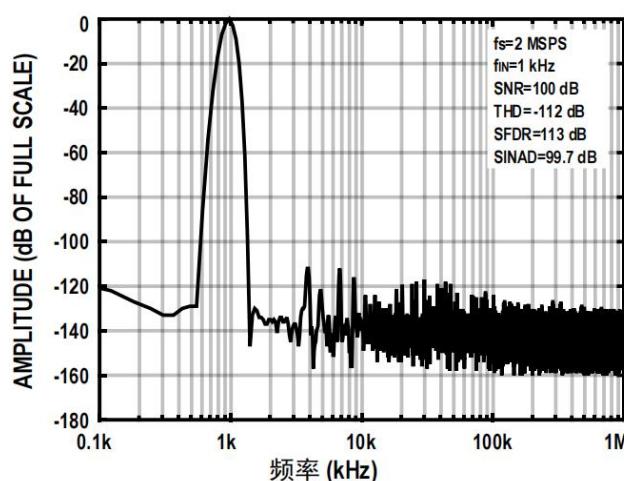
TLX2400-18 通常需要 **1.8 V** 的电源。**TLX2400-18** 的参考电压应外部提供采样 **IN+** 和 **IN-** 之间的模拟输入电压,范围从-**VREF** 至+**VREF** (**VREF:4V** 至 **5.1V**)。**TLX2400-18** 具有独立的 **V10** 引脚,可兼容 **1.8 V**、**2.5 V**、**3.3V** 和 **5V** 逻辑接口。该器件提供一个兼容 **SPI** 的串行端口,并支持菊花链操作,用于多个器件的串行级联。

TLX2400-18 采用 **10** 引线 **MSOP** 和 **DFN** 封装。

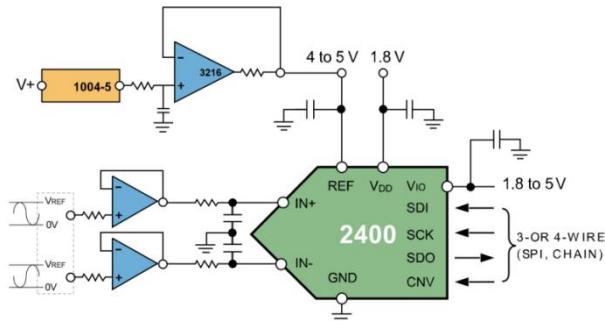
工作温度为**-55°C** 至**+125°C**。**TLX2400** 系列与工业标准部件引脚兼容。

质量等级: 军温级**&N1**级

典型特征



典型应用



18/16 位高速 SARADCTLX2400 系列如下:

模型	1.0 MSPS	2.0 MSPS	封装
18 位全差分	TLX2401- 18	TLX2401- 18	
18 位单极伪差分			MSOP-10
16 位全差分			DFN-10
16 位单极伪差			

目录

特点	2
应用	2
一般描述	2
典型特征	2
典型应用	2
引脚配置和功能说明	5
热阻 6	6
规格	7
时序规范	10
典型性能特征	11
操作理论	12
传递函数	13
典型连接图	14
单路转差分驱动器	15
参考电压输入	17
外形尺寸	25
订购指南	26

引脚配置和功能说明

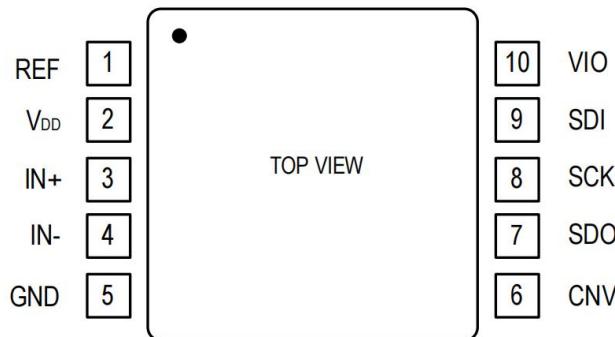


图3. 10引脚MSOP引脚配置

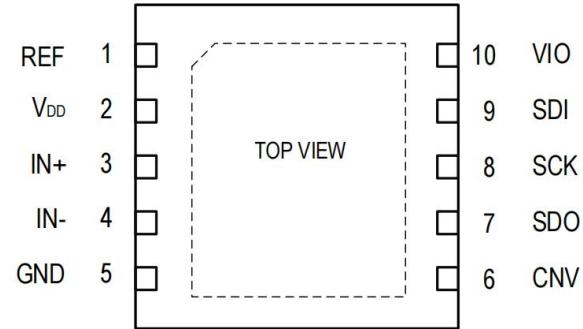


图4. 10引脚DFN引脚配置

注意：裸露焊盘没有内部连接。请将焊盘连接至 GND。

助记符	Pin No.	引脚号	描述
REF	1	电源	电压参考输入。V _{REF} 范围为 4V 至 5.1V,建议将此引脚尽可能靠近 GND,并使用 22 μ F X7R 陶瓷电容进行去耦。
V _{DD}	2	电源	电源引脚。V _{DD} 范围为 1.71V 至 1.89 V.建议 V _{DD} 通过至少 0.1 μ F 和 10 μ F 的陶瓷电容器旁路至 GND。
IN ₊	3	模拟输入	模拟输入正极引脚。IN ₊ 至 GND 的电压范围为 0V 至 V _{REF} 。IN ₊ 和 IN ₋ 构成差分输入,输入范围为 0V 至 \pm V _{REF} 。
IN ₋	4	模拟输入	模拟输入负极引脚。IN ₋ 至 GND 范围为 0V 至 V _{REF} 。
GND	5	地面	电源地。
CNV	6	数字输入	转换输入。此输入具有多种功能,如“数字接口”部分所述。
SDO	7	数字输出	串行数据输出。转换结果通过此引脚输出。与 SCK 同步。
SCK	8	数字输入	串行数据时钟输入。当选择该设备时,转换结果通过此时钟移出。
SDI	9	数字输入	串行数据输入。此输入提供多种功能,可实现各种不同的串行协议
V _{IO}	10	电源	输入/输出接口数字电源。此引脚的标称电压与控制器接口电源相同(1.8V,2.5 V,3.3V 或 5 V)。建议将 V _{IO} 通过至少 0.1 μ F 的陶瓷电容旁路至 GND。

绝对最大额定值 **1**

范围	等级
V _{DD} to GND	-0.3 V~+2.1 V
REF, V _{IO} to GND	-0.3 V~+6 V
V _{DD} to V _{IO}	-6 V~+2.4 V
模拟输入范围 (IN+、IN-至 GND)	-0.3 V~REF +0.3 V or ± 130 mA (10 ms)
数字输入至 GND	-0.3 V~V _{IO} +0.3 V
数字输出至 GND	-0.3 V~V _{IO} +0.3 V
储存温度范围	-65° C to +150°C
结温范围	125°C
引线温度(焊接,10 秒)	300°C
最高回流温度 ²	260°C
静电放电(ESD) ³	
人体模型(HBM) ⁴	2 kV
充电器件模型(CDM) ⁵	1 kV

热阻

封装类型	0JA	0JC	单元
MSOP- 10	150	50	°C/W
DFN- 10	43	5.5	°C/W

1. 除非另有说明,这些额定值适用于 **25°C**。超过这些额定值的压力可能会造成永久性损坏。长时间暴露在绝对最大条件下可能降低器件可靠性。这些仅为应力额定值,并不保证器件在这些条件下或任何超出规定条件的条件下能够正常工作。
2. 符合 **IPC/JEDECJ-STD-020** 标准。
3. 带电设备和电路板可能会放电而不被检测到。尽管本产品具有专利或专有的保护电路,但受到高能 **ESD** 作用的设备仍可能受到损坏。因此,应采取适当的 **ESD** 预防措施,以避免性能下降或功能丧失。
4. 符合 **ANSI/ESDA/JEDECJS-001** 标准。
5. 符合 **ANSI/ESDA/JEDEC JS-002** 标准。
6. **0JA** 表示将器件焊接到电路板上的条件实现表面贴装封装。

规格

● 表示额定性能的完整温度范围。除非另有说明, $V_{DD}=1.71\text{ V}\sim1.89\text{ V}$, $V_{IO}=1.71\text{ V}\sim5.5\text{ V}$, $V_{REF}=5\text{ V}$, $T_A=25^\circ\text{ C}$.

范围	代码	条件	最小 ⁽²⁾	典型 ⁽³⁾	最大 ⁽²⁾	单位
解决						
			18			bits
输入特性						
电压范围		IN+ to IN-	●	$-V_{REF}$		$+V_{REF}$
绝对输入电压		IN+, IN -	●	-0.1		$V_{REF}+0.1$
共模输入范围		IN+, IN-	●	$V_{REF}/2-0.1$	$V_{REF}/2$	$V_{REF}/2+0.1$
共模抑制比	CMRR	$f_{IN}=250\text{ kHz}$				dB
模拟输入电流		Acquisition Phase, $T=25^\circ\text{ C}$				nA
输入阻抗						
吞吐量						
转化率			●		2	MSPS
瞬态响应		Full-scale step	●		300	ns
直流精度						
无遗漏代码			●	18		bits
积分非线性误差	INL		●		± 2.5	LSB
微分非线性误差	DNL		●		± 0.5	LSB
过渡噪声		$V_{REF}=5\text{ V}$, $V_{DD}=1.8\text{ V}$	●		0.85	LSB
增益误差	GE		●			LSB
增益误差温度漂移			●			ppm/ $^\circ\text{C}$
零误差	ZE		●			LSB
零点温度漂移						ppm/ $^\circ\text{C}$
电源灵敏度 1/f 噪声		$V_{DD}=1.8\text{ V}\pm 5\%$				LSB
		Bandwidth=0.1 Hz to 10 Hz				$\mu\text{VP-P}$
交流准确度						
动态范围	DR	$V_{REF}=5\text{ V}$	●		100	dB
过采样动态范围		Oversampling ratio (OSR)=2			TBD	dB
		Oversampling ratio (OSR)=256			TBD	dB
		Oversampling ratio (OSR)=1024			TBD	dB
总均方根噪声					TBD	μVrms

f _{IN} =1 kHz, V _{REF} =5 V	SNR		●	TBD	99.5		dB
	SFDR				113		dB
	THD				-112		dB
	SINAD		●	TBD	99		dB
f _{IN} =1 kHz, V _{REF} =2.5 V	SNR		●	TBD	TBD		dB
	SFDR				TBD		dB
	THD				TBD		dB
	SINAD		●	TBD			dB
f _{IN} =100 kHz, V _{REF} =5V	SNR		●	TBD	TBD		dB
	SFDR				TBD		dB
	THD				TBD		dB
	SINAD		●	TBD			dB
参考							
电压范围			●	4		5.1	V
负载电流		正弦波输入			TBD		μA
采样动态							
-3 dB 输入带宽		VDD= 5V			10		MHz
孔径延迟		VDD= 5V			3		ns
数字输入							
逻辑电平	VIL	VIo>2.7 V	●	-0.3		0.3xVIO	V
		VIo≤2.7 V	●	-0.3		0.2xVIO	V
	VIH	VIo>2.7 V	●	0.7xVIO		VIO+0.3	V
		VIo≤2.7 V	●	0.8xVIO		VIO+0.3	V
	IIL		●	-1		+1	μA
	IIH		●	-1		+1	μA
数字输出							
数据格式				串行 18 位, 2 的补码			
流水线延迟				转换完成后, 代码即可读取			
	VOL	IOUT = +200 μA	●			0.4	V
	VOH	IOUT = -200 μA	●	VIO-0.3			V
电源							
模拟电源	VDD		●	1.71	1.8	1.89	V
数字接口电源	VIO		●	1.71		5.5	V

待机电流		VDD=1.8 V, VIO=5V, T=25°C			TBD		µA
功耗		VDD=1.8 V, VIO=5V, T=25°C					
VDDOnly		10 kSPS	●		TBD	TBD	mW
		1 MSPS	●		TBD	TBD	mW
		2MSPS	●		TBD	TBD	mW
REF Only		10 kSPS	●		TBD	TBD	mW
		1 MSPS	●		TBD	TBD	mW
		2MSPS	●		TBD	TBD	mW
VIOOnly		10 kSPS	●		TBD	TBD	mW
		1 MSPS	●		TBD	TBD	mW
		2MSPS	●		TBD	TBD	mW
温度范围							
指定性能		TMIN to TMAX		-55		+125	°C

1.请参阅模拟输入部分。

2. **LSB** 表 示最低有效位。对于 **±5V** 输入范围, **1 LSB=38.15 µV**。

1.除非另有说明, 所有以分贝 (**dB**) 表 示的规格均参考满量程输入 **FSR**, 并使用 **0.5 dB** 输入信号进行测试
低于满量程。

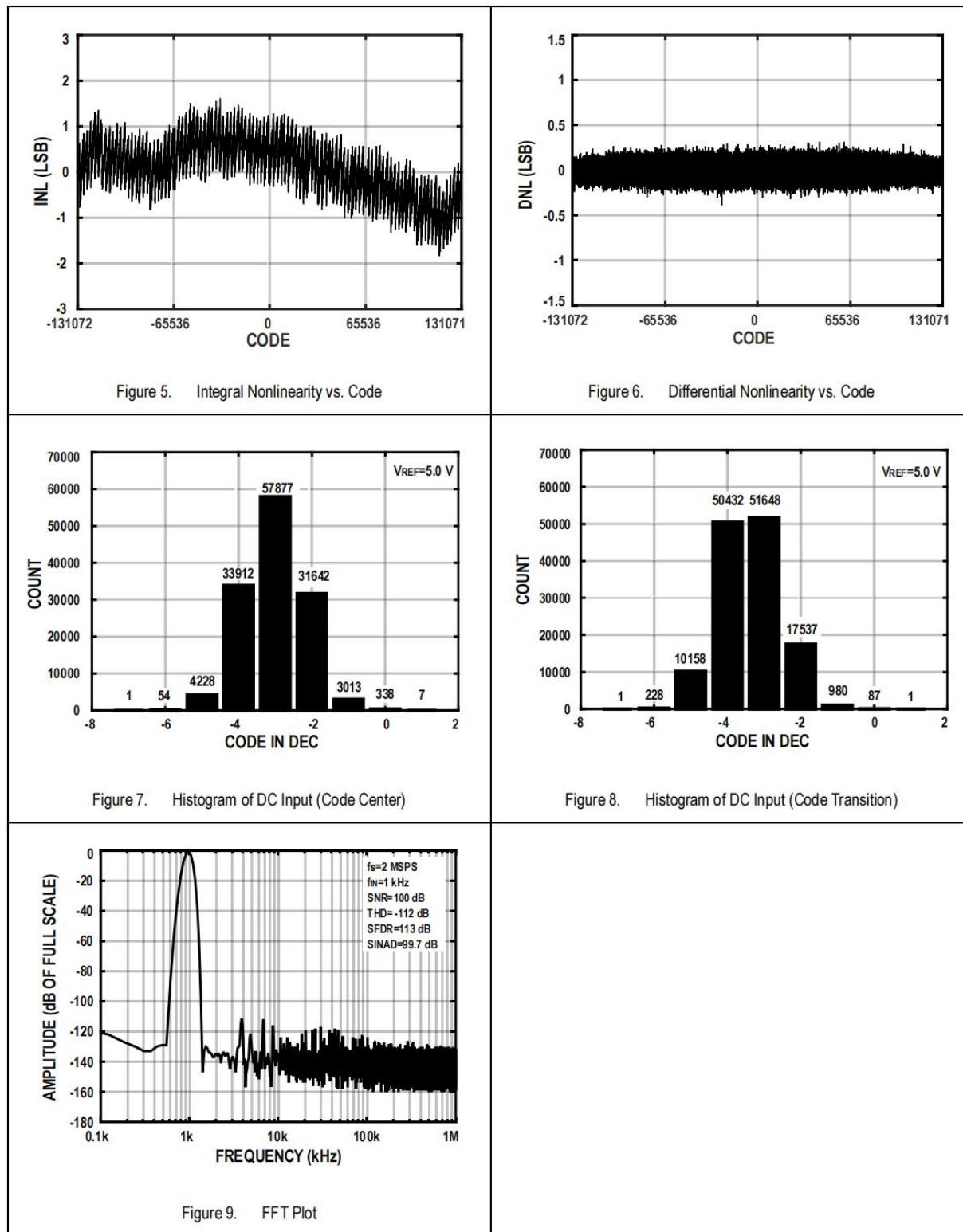
时序规范

表示额定性能的全温度范围。除非另有说明, **VDD=1.71 V~1.89V**, **VIO=1.71V~5.5V**, **VREF=5V**, **TA=25°C**。

范围	代码	最小	典型	最大	单位
转换时间: CNV 上升沿至数据可用	t_{CONV}	●	290		ns
采集时间	t_{ACQ}	●	290		ns
转换间隔时间	t_{CYC}	●	500		ns
CNV 脉 冲宽度 (CS 模 式)	t_{CNVH}	●	10		ns
SCK 周期 (CS 模式)	t_{SCK}	●			
V_{IO}>2.7 V		●	10		ns
V_{IO}>1.7 V		●	20		ns
SCK 周期(Daisy-Chain Mode)	t_{SCK}	●			
V_{IO}>2.7 V		●	20		ns
V_{IO}>1.7 V		●	40		ns
SCK 低电平时间	t_{SCKL}	●	4		ns
SCK 高电平时间	t_{SCKH}	●	4		ns
SCK 下降沿至数据保持有效	t_{HSDO}	●	4		ns
SCK 下降沿至数据有效延迟	t_{DSDO}	●			
V_{IO}>2.7 V		●			ns
V_{IO}>1.7 V		●			ns
CNV 或 SDI 低至 SDO D17 MSB 有效(CS Mode)	t_{EN}	●			
V_{IO}>2.7 V		●			ns
V_{IO}>1.7 V		●			ns
CNV 上升沿至第一个 SCK 上升沿延迟	t_{QUIET1}	●	TBD		ns
最后一个 SCK 下降沿至 CNV 上升沿延迟	t_{QUIET2}	●	TBD		ns
CNV 或 SDI 高电平或最后一个 SCK 下降沿至 SDO 高阻态(CS 模式) t_{DIS}	t_{DIS}	●			ns
从 CNV 上升沿开始的 SDI 有效建立时间(CS 模式)	$t_{SSD1CNV}$	●			ns
从 CNV 上升沿开始的 SDI 有效保持时间(CS 模式)	$t_{HSD1CNV}$	●			ns
从 CNV 上升沿开始的 SCK 有效保持时间(链模式)	$t_{HSCKCNV}$	●			ns
从 SCK 下降沿开始的 SDI 有效建立时间(链模式)	$t_{SSDISCK}$	●			ns
从 SCK 下降沿开始的 SDI 有效保持时间(链模式)	$t_{HSDISCK}$	●			ns

典型性能特征

除非另有说明, $V_{DD}=5.0V$, $R_{EF}=5.0V$, $V_{IO}=3.3V$, $T_A=25^{\circ}C$ 。



操作理论

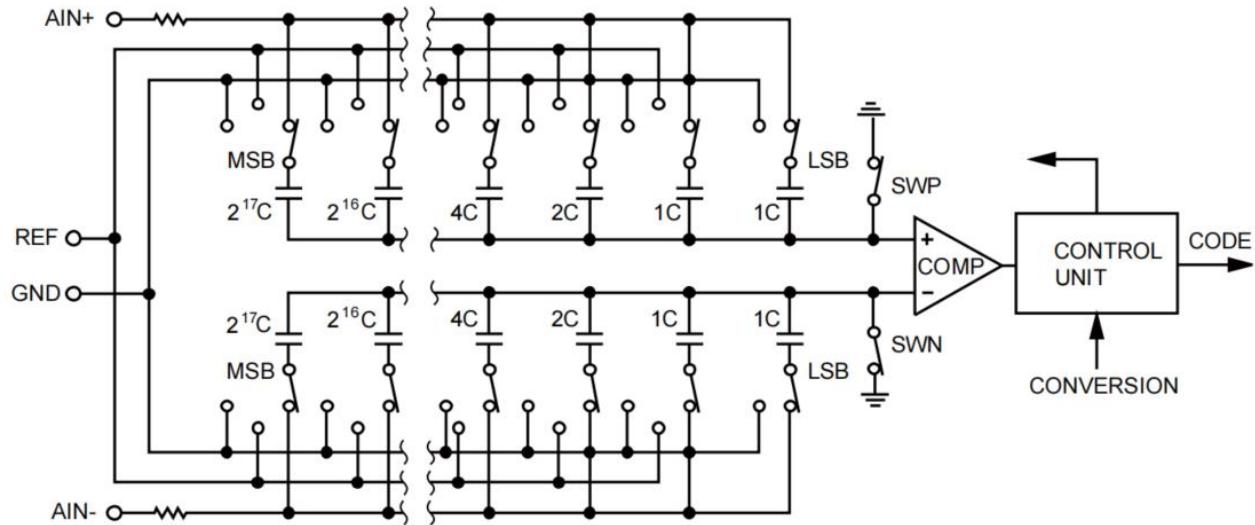


图10. ADC简化电路图

电路结构

TLX2400-18 是一款快速、高精度、低功耗、真正的 18 位全差分输入逐次逼近型模数转换器。

数字转换器 (SAR ADC)。TLX2400-18 能够转换每秒 2M 个样本 (2MSPS)，设备输入转换之间的待机模式。

TLX2400-18 可与任何 1.8V 至 5V 数字逻辑电平接口，并采用 10 引脚 MSOP 封装或 10 引脚 DFN 封装 (LFCSP) 封装，节省空间。它与 16 位 ADCTLX2400-16 完全引脚兼容。

转换器操作

图 10 是 TLX2400-18 的简化电路图。它基于电荷再分配 DAC。

在采集阶段，连接到比较器输入的阵列节点通过 SW+ 和 SW- 短接到 GND。所有单独的开关都连接到模拟输入。因此，电容阵列用作采样电容，采样 IN+ 和 IN- 输入端的模拟信号。当采集阶段完成且 CNV 输入端出现上升沿时，转换阶段开始后，SW+ 和 SW- 首先断开。两个电容阵列然后断开与输入的连接并连接到 GND 输入。通过在 GND 之间切换电容器阵列的元件和 REF，比较器输入将以二进制加权电压阶跃变化 (VREF/21, VREF/22, ... VREF/217)。控制逻辑切换这些从 MSB 开始按顺序切换，每次切换后比较器都会恢复平衡。此过程完成后，设备返回采集阶段，控制逻辑产生 ADC 输出代码和忙信号指示。TLX2400-18 具有片内转换时钟，因此转换过程不需要外部串行时钟 SCK。

传递函数

TLX2400-18 的理想传递函数如图 11 所示。

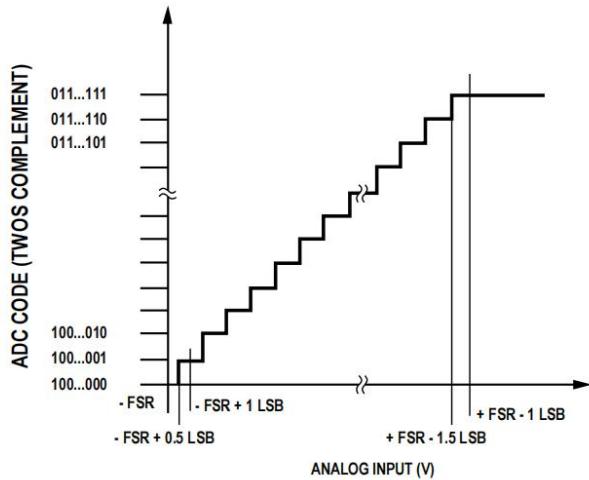


图 11. ADC 理想传递函数

输出代码和理想输入电压：

描述	模拟输入 $V_{REF}=5V$	数字输出(Hex)
FSR-1 LSB	+4.999962 V	0x1FFF ¹
Midscale+1 LSB	+38.15 μ V	0x00001
Midscale	0 V	0x00000
Midscale-1 LSB	-38.15 μ V	0x3FFF
-FSR+1 LSB	-4.999962 V	0x20001
.FSR	-5V	0x20000 ²

1 这也是超范围模拟输入的代码 ($V_{IN+}-V_{IN-}$ 高于 $V_{REF}-V_{GND}$)。

2 这也是低于范围的模拟输入 ($V_{IN+}-V_{IN-}$ 低于 $V_{GND}-V_{REF}$) 的代码。

典型连接图

图 12 是 TLX2400-18 使用多电源时的建议连接图。

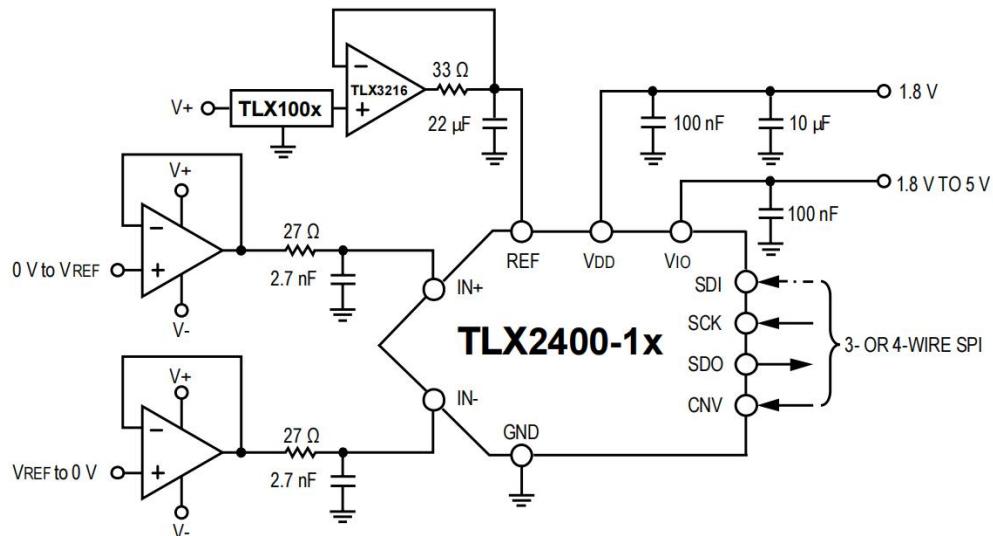


图12. 使用多个电源的应用电路

图 13 为 TLX2400-18 输入结构等效电路。

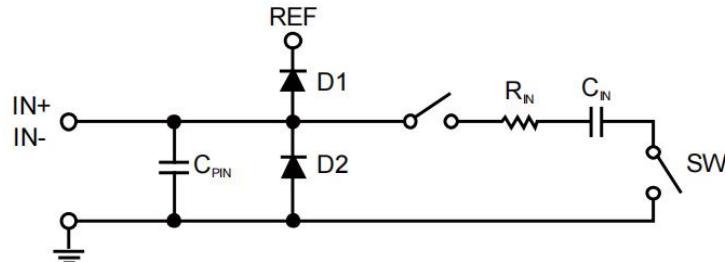


图 13. 两个二极管 D1 和 D2 为模拟输入提供 ESD 保护

请注意，模拟输入信号电压不能比 REF 电压高出 0.3V 以上。如果模拟输入信号电压超过 VREF+0.3V，二极管将正向偏置并开始传导电流。这两个二极管可以处理高达 50mA 的正向偏置电流。如果输入驱动器的电源电压高于 VREF，则模拟输入信号的电压可能比电源电压高出 0.3V 以上。两个二极管 D1 和 D2 为模拟输入 IN+ 和 IN- 提供 ESD 保护。如上图应用电路所示，外部 RC 滤波器通常存在于 ADC 输入端，用于稳定 SAR ADC 反冲电压并限制输入信号的频带。过大的电压会压降到底部电阻上，成为保护电路的一部分。外部电阻的阻值通常在几 10 Ω 到 1k Ω 之间，用于限流保护。

在采集阶段，模拟输入 (IN+) 的阻抗可以看作是 R_{IN} 和 C_{IN} 串联形成的网络与电容 C_{PIN} 的并联组合。 C_{PIN} 主要包括引脚电容。 R_{IN} 典型值为 350 Ω，是一个由串联电阻和开关导通电阻组成的集总元件。 C_{IN} 典型值为 45pF，主要由 ADC 采样电容组成。高源阻抗会显著影响交流特性，尤其是谐波失真。THD 性能下降是源阻抗和模拟输入频率的函数。

单路转差分驱动器

对于使用单端模拟信号（双极或单极）的应用，可以使用单端至差分驱动器或双运算放大器驱动器为 TLX2400 提供差分输入，原理图见图 14。

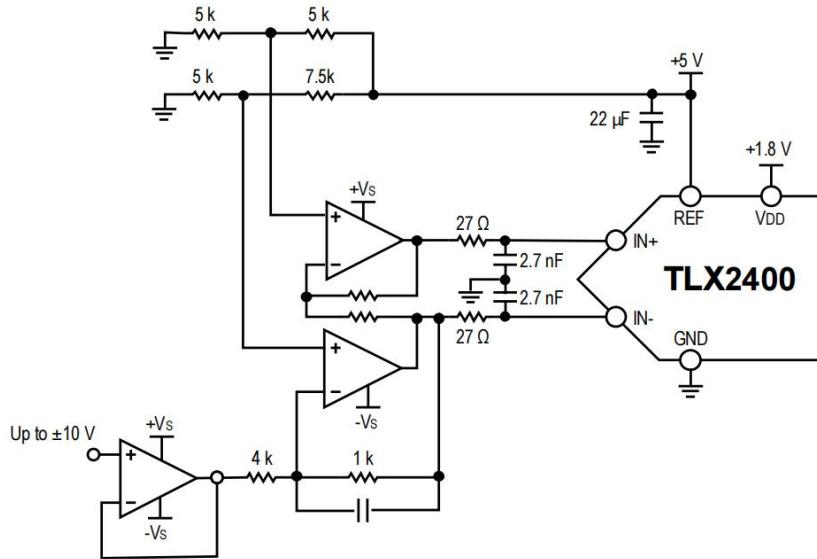


图 14. 通过双运算放大器实现双极单端到全差分转换

单极信号 (VREF/2 直流电压偏移) 可以缓冲并通过运算放大器驱动回来，为 TLX2400。

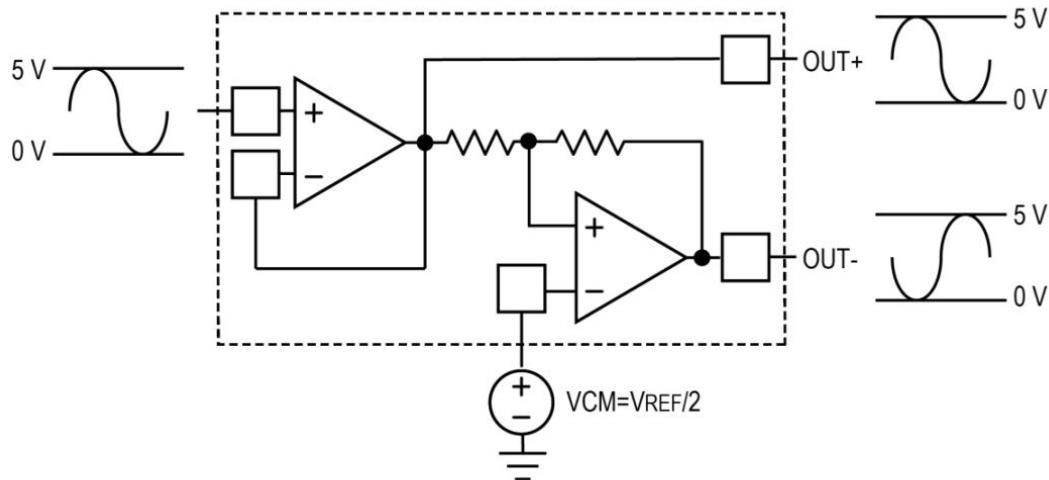


图 15. 高输入阻抗单极单端至全差分

全差分运算放大器可以将单端信号转换为全差分信号，并可以提供差分 TLX2400 的输入。

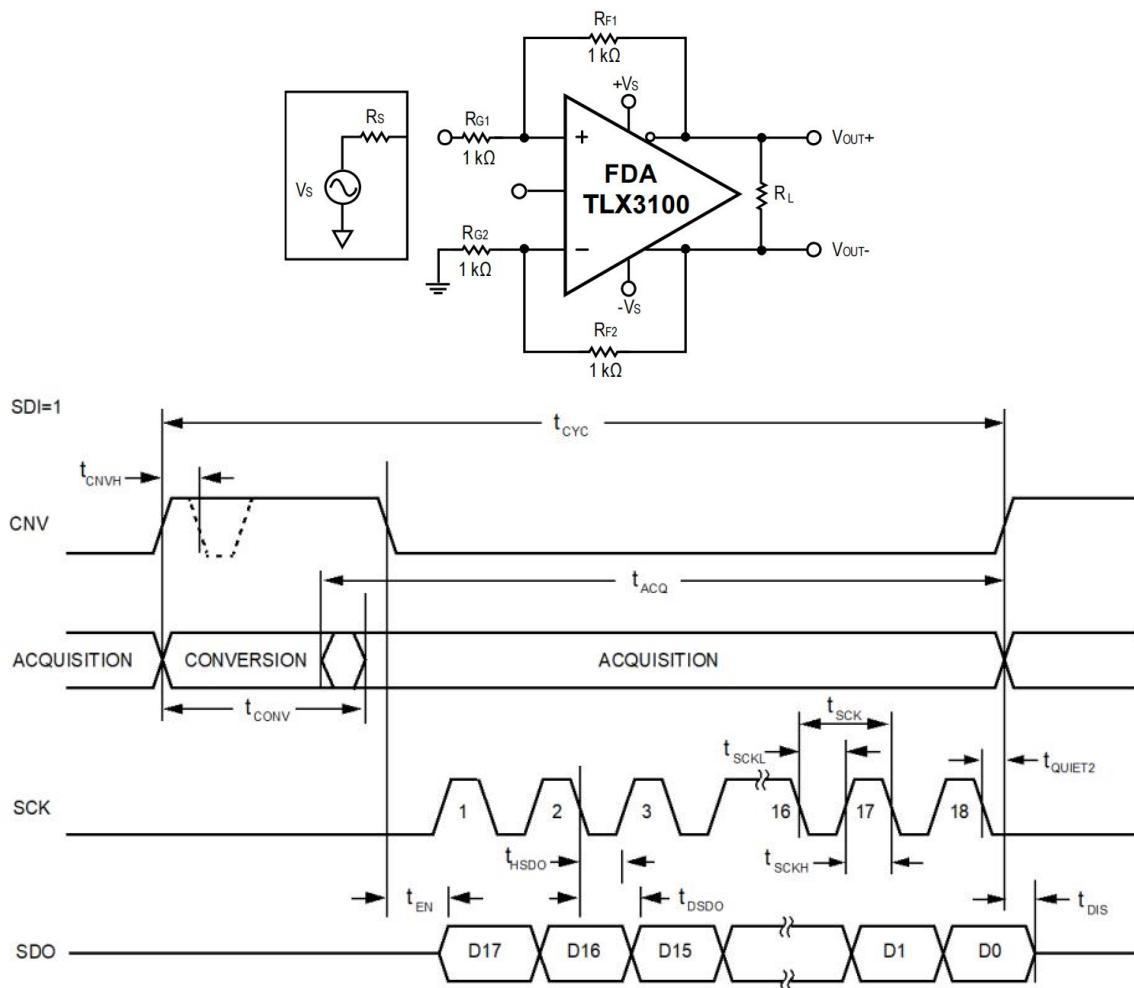


图 16. 通过全差分运算放大器实现双极单端至全差分

如果需要高输入阻抗，可以添加运算放大器缓冲器来驱动全差分运算放大器。原理图参见图 17。

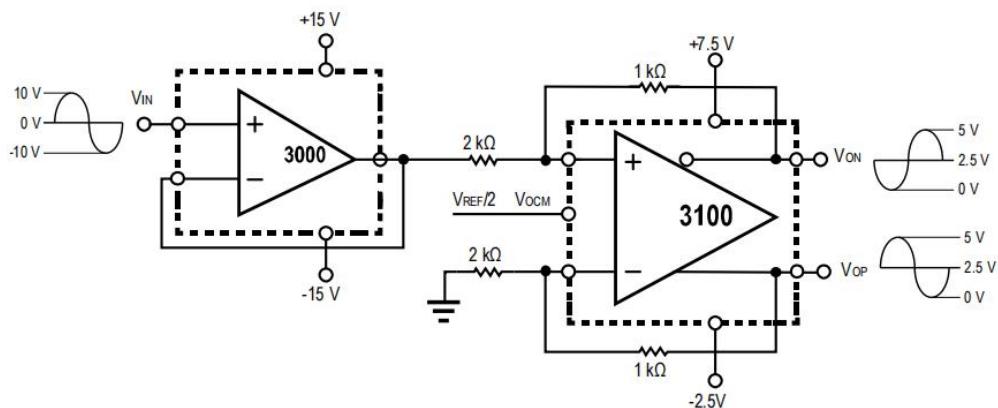


图 17. 高输入阻抗双极单端至全差分

参考电压输入

对于高精度 ADC 应用，精密电压基准是必不可少的器件。通常，对于 18 位 ADC，基准电压源需要具有低初始误差、低噪声和低温漂。TLX2400 参考电压 REF 具有动态输入阻抗，因此应采用低阻抗源驱动。REF 和 GND 引脚应按所述有效去耦。参见 PCB 布局指南部分。图 18 显示了特定电压基准和驱动器设计的示例。TLX100X 系列高精度电压基准正好可以满足这些要求。

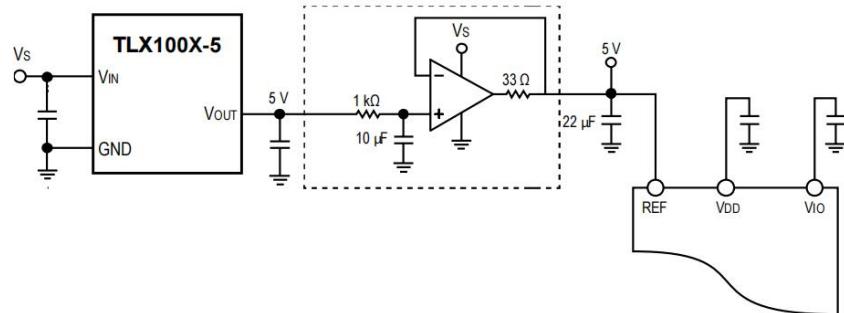


图 18. TLX2400 参考引脚驱动

电源

TLX2400 使用两个电源引脚：核心电源 (VDD) 和数字输入/输出接口电源 VIO。VIO 可以直接与 1.8V 至 5V 之间的任何逻辑接口。TLX2400 在每个转换阶段结束时自动进入待机模式，因此功耗约为与采样率呈线性比例关系。这使得该器件适用于低采样率和低功耗应用。

数字接口

TLX2400 在串行接口模式下具有极大的灵活性。在 CS 模式下，TLX2400 兼容 SPI、MCU 和 DSP。在此模式下，TLX2400 可以使用 3 线或 4 线接口。3 线接口使用 CNV、SCK 和 SDO 信号。4 线接口使用 SDI、CNV、SCK 和 SDO 信号，其中 CNV 用于启动转换，与读回时序 (SDI) 无关。在链模式下，TLX2400 提供菊花链功能，允许级联多个 ADC。如果 SDI 为高电平，则选择 CS 模式；如果 SDI 为低，选择链模式。

CS 模式 3 线 Turbo 模式

当 TLX2400 连接到 SPI 兼容控制器时，可使用此模式以获得最快的采样率。TLX2400 可以启用 Turbo 模式并使用 75MHz 的最低 SCK 速率时，可实现 2MSPS 的吞吐率。连接如下：如图 21 所示，对应时序如图 22 所示。

在此时序模式下，SDI 必须为高，CNV 上的上升沿启动转换，并强制 SDO 进入高阻态。控制器必须在 CNV 上升沿之后等待 tQUIET1 时间，然后才能将 CNV 拉低以读取先前的转换代码。当转换完成后 (tCONV 之后)，TLX2400 进入采集阶段，进入待机模式。

当 CNV 变为低电平时，MSB 通过 SDO 输出。剩余数据位在 SCK 的后续下降沿输出。之后第 18 个 SCK 下降沿，或当 CNV 变为高电平（启动下一次转换）时（以先发生者为准），SDO 返回高阻态状态。

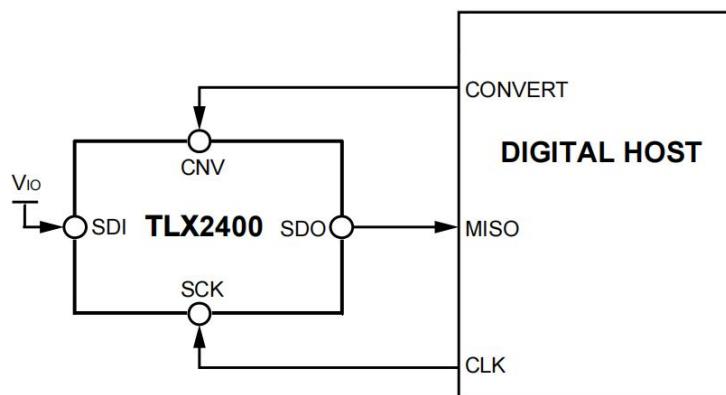


图 19. CS 模式 3-Wire Turbo Mode 连接图

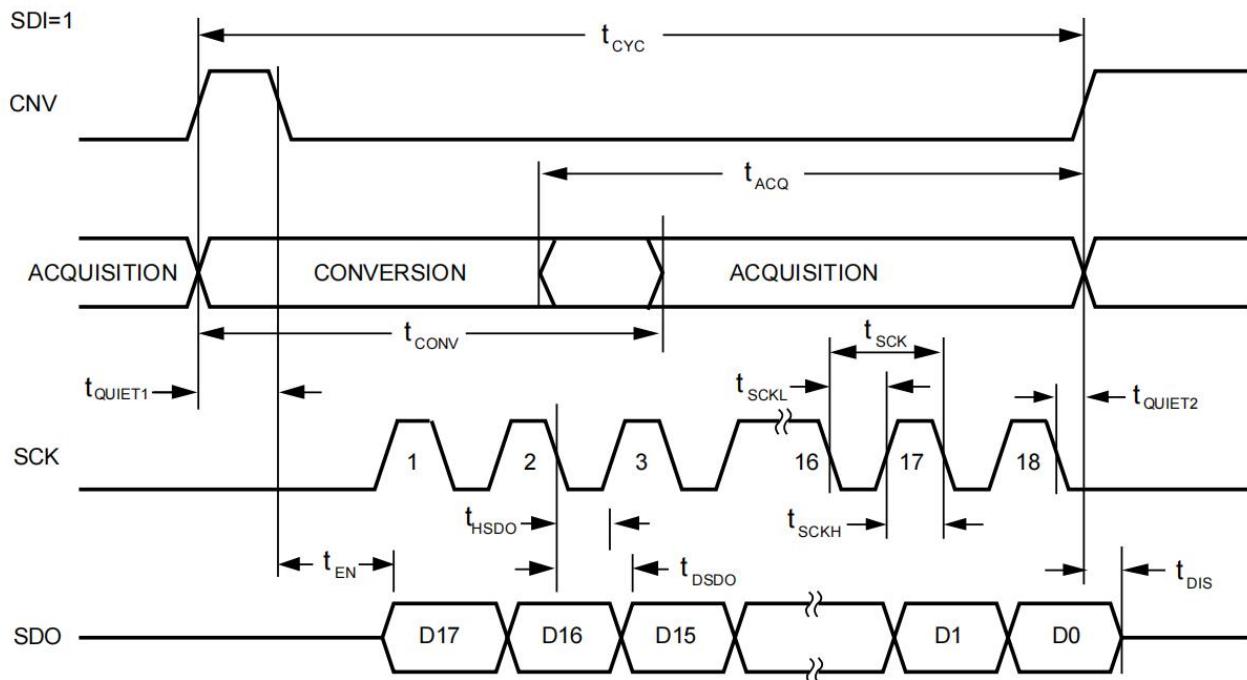


图20. CS Mode 3-Wire Turbo 模式串行接口时序

CS 模式, 3-Wire without Busy Indication

当单片机 TLX2400 连接到 SPI 兼容控制器时, 可以使用此模式。连接方式如下图所示。图 21 所示, 其对应的时序如图 22 所示。当 SDI 为高时, CNV 上的上升沿启动转换, 选择片选模式, 并强制 SDO 进入高阻态。一旦启动转换, 无论 CNV 的状态如何, 转换都会执行完成。CNV 必须在最小转换时间过去后, 保持高电平以延长可能的转换时间, 以避免产生忙信号指示。转换完成后, TLX2400 进入采集阶段, 进入待机模式。

当 CNV 变为低电平时, MSB 通过 SDO 输出。剩余数据位在 SCK 的后续下降沿输出。之后第 18 个 SCK 下降沿, 或 CNV 变为高电平时 (以先发生者为准), SDO 返回高阻态。

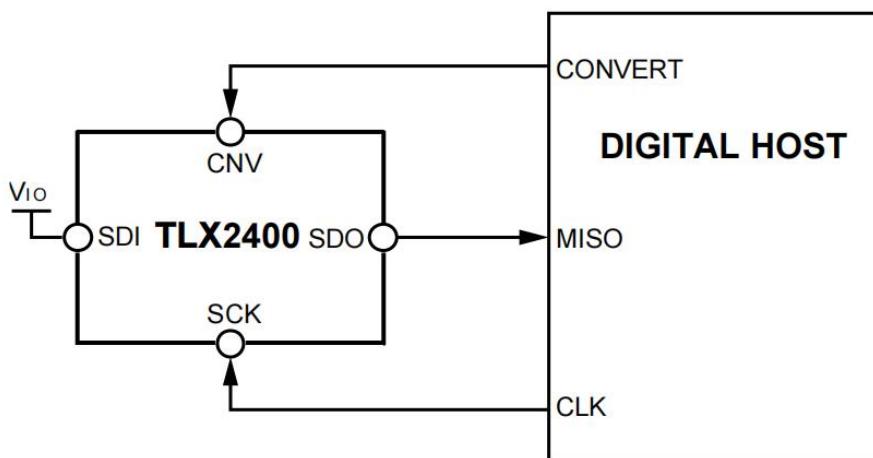
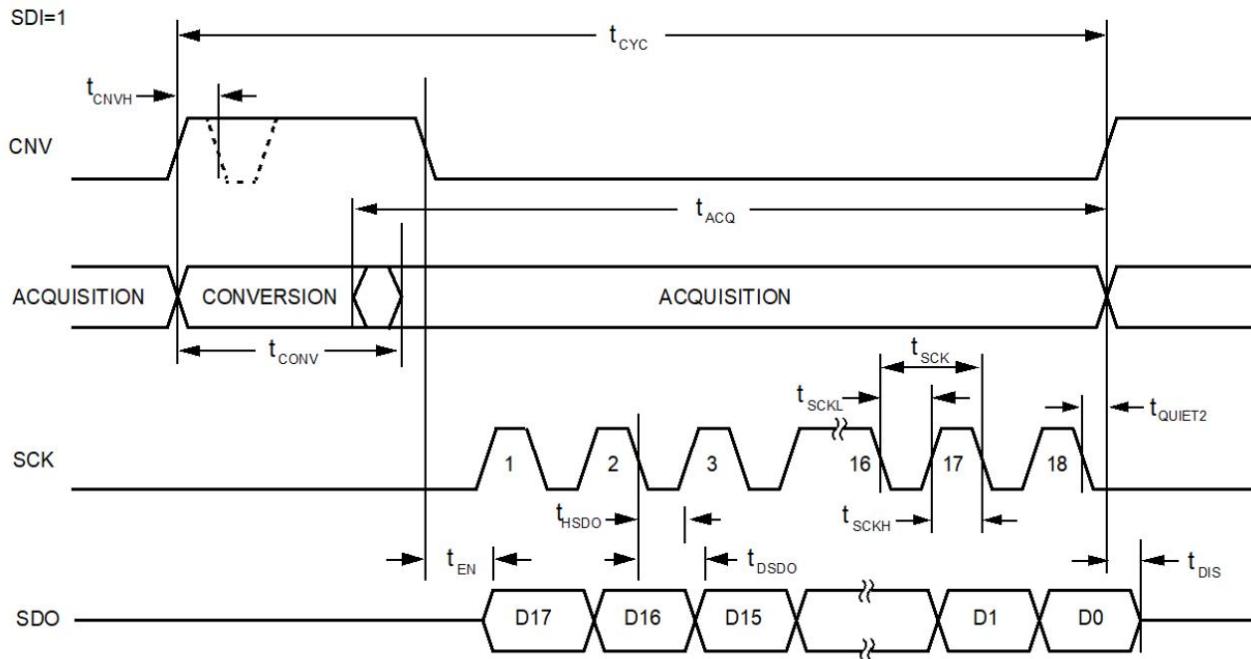


图 21. CS Mode (3-wire without Busy Indication) 连接图

图 22. $\overline{\text{CS}}$ Mode (3-Wire without Busy Indication) 串行接口时序

CS 模式, 3 线, 带忙碌指示

当单个 TLX2400 连接到具有中断输入的 SPI 兼容数字主机时, 可使用此模式。连接如图 23 所示, 相应的时序如图 24 所示。将 SDI 连接到 VIO 时, CNV 上的上升沿启动转换, 选择 CS 模式, 并强制 SDO 进入高阻抗状态。无论 CNV 处于何种状态, SDO 都会保持高阻态, 直至转换完成。CNV 必须在转换完成前恢复为低电平。最小转换时间已经过去, 然后保持低电平以保持最大可能的转换时间, 以保证忙信号指示。转换完成后, SDO 从高阻态变为低阻态。结合 SDO 线上的上拉电阻, 此转换可用作中断信号。接下来 TLX2400 进入采集阶段, 进入待机模式。数据位在后续的 SCK 下降沿输出, MSB 优先。可选的第 19 个 SCK 下降沿之后边沿, 或者当 CNV 变为高电平 (以先发生者为准) 时, SDO 将返回高阻态。

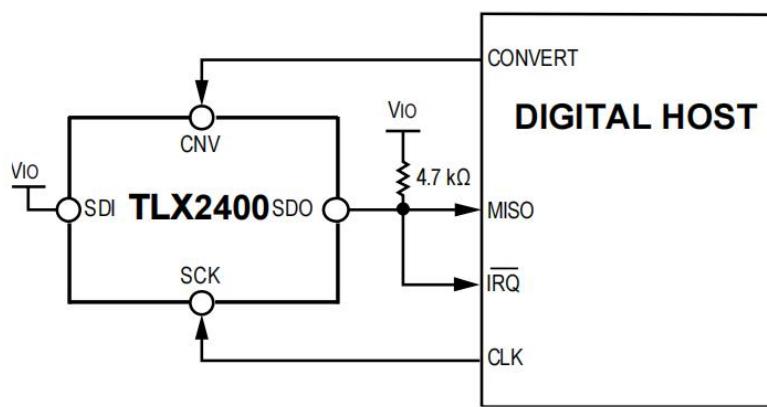
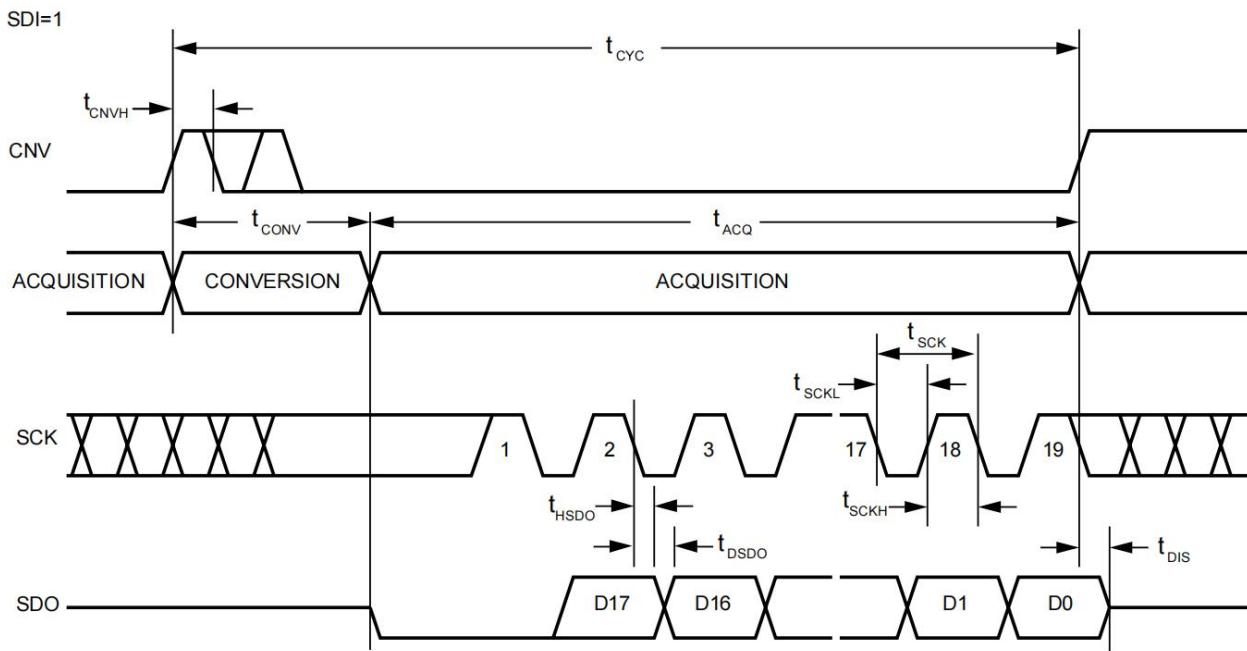


图 23. 片选模式 (带忙指示的3线型) 连接图

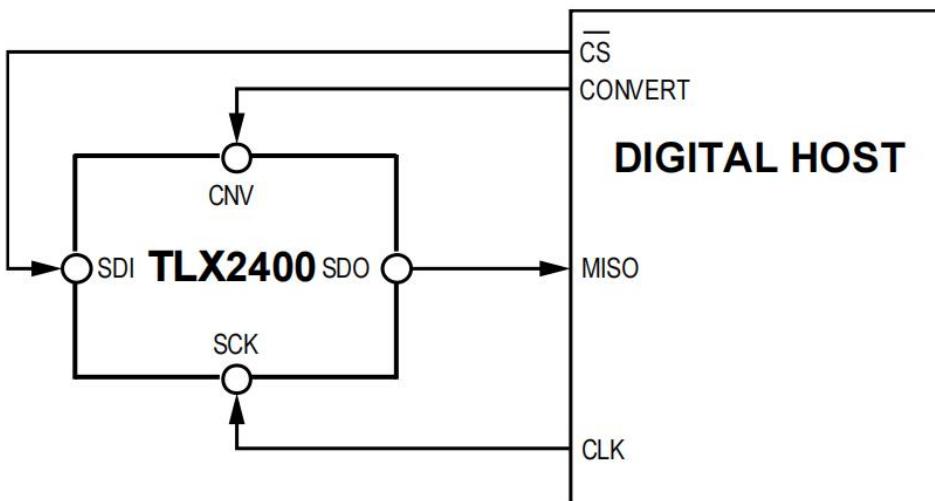
图24. $\overline{\text{CS}}$ 模式 (带忙指示的 3 线) 串行接口时序

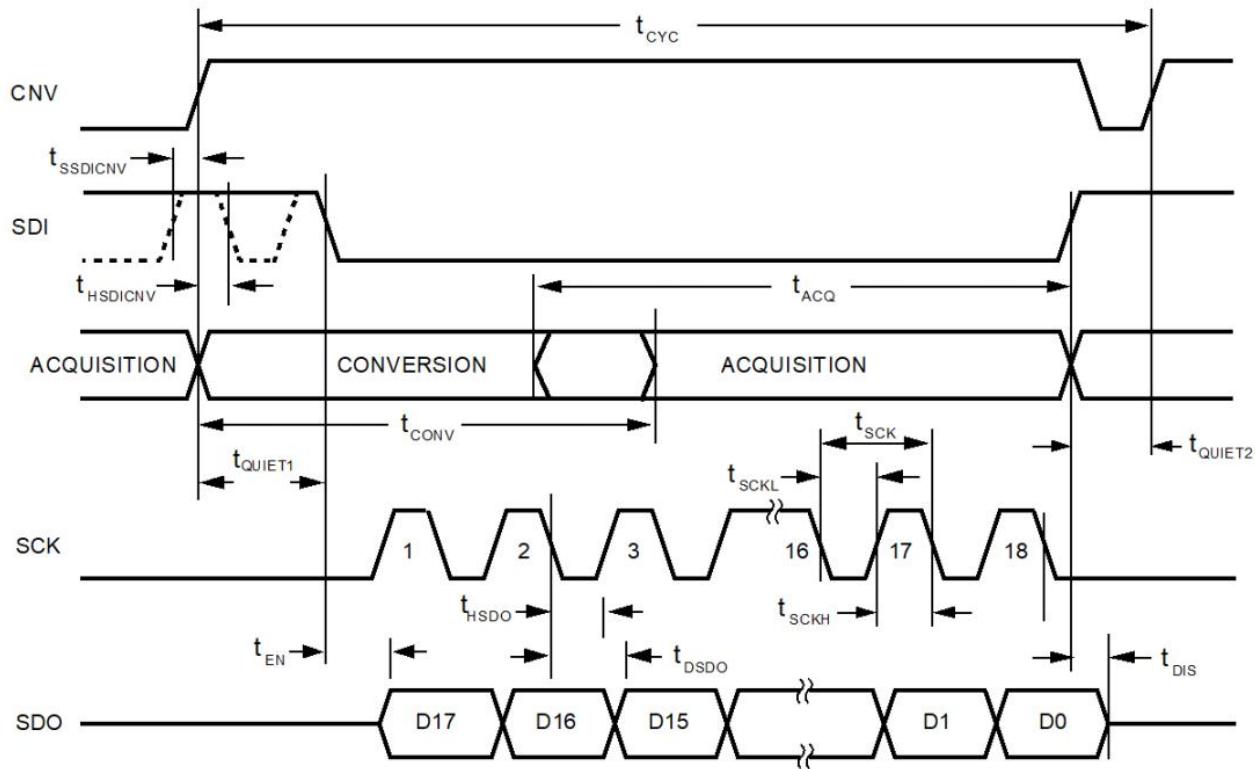
CS 模式, 4 线 Turbo 模式

当 TLX2400 连接到 SPI 兼容控制器时, 可使用此模式以获得最快的采样率。TLX2400 可以启用 Turbo 模式并使用 75MHz 的最低 SCK 速率时, 可实现 2MSPS 的吞吐率。连接方式如下: 如图 21 所示, 对应时序如图 22 所示。

CNV 的上升沿启动转换, 并强制 SDO 进入高阻态。CNV 必须在整个转换过程中保持高电平。转换和代码回读阶段, 并且 SDI 在 CNV 上升沿必须为高。控制器必须等待 t_{QUIET1} 时间在 CNV 上升沿之后, 将 SDI 拉低以读取上一个转换代码。转换完成后 (t_{CONV} 之后), TLX2400 进入采集阶段, 进入待机模式。

SDI 用作片选输入, 将 SDI 拉低后, 转换结果的 MSB 将输出到 SDO。其余数据位在后续的 SCK 下降沿输出。在第 18 个 SCK 下降沿之后, 或当 SDI 变为高电平时 (以先发生者为准), SDO 返回高阻态。

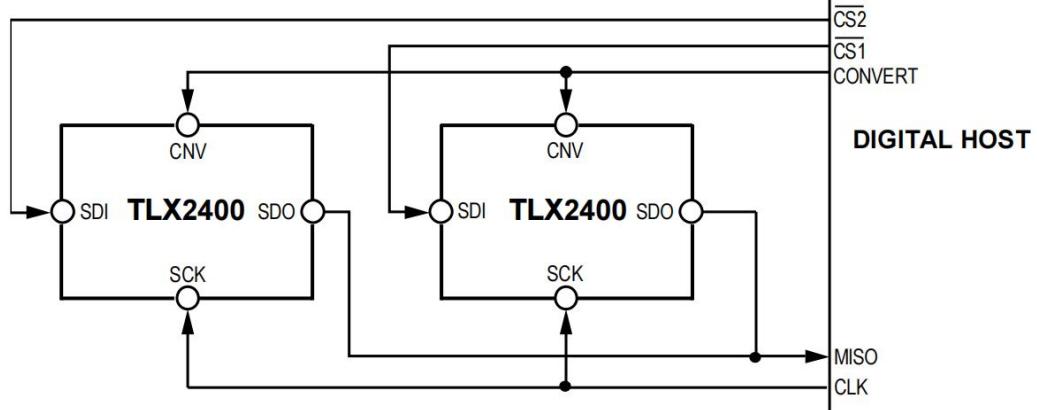
图 25. $\overline{\text{CS}}$ Mode (3线 无忙指示)连接图

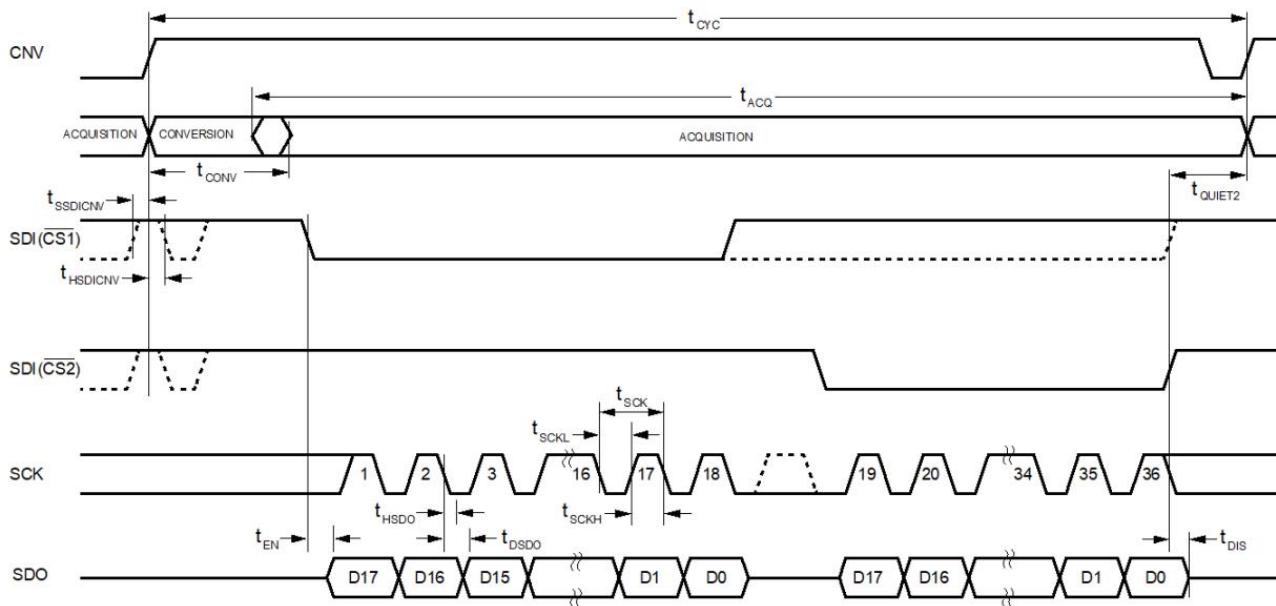
图 26. $\overline{\text{CS}}$ Mode (无忙指示的 3 线) 串行接口时序

CS 模式, 4 线无忙音指示

使用两片 TLX2400 的示例如图 27 所示, 对应的时序如图 28 所示。

当 SDI 为高电平时, CNV 上的上升沿会启动转换, 选择 CS 模式, 并强制 SDO 进入高阻态。在这种情况下模式, CNV 在转换阶段及后续数据读回期间必须保持高电平。如果 SDI 和 CNV 为低电平, 则 SDO 变为低电平。SDI 必须在最小转换时间结束之前保持或返回高位, 然后在最大可能转换时间内保持高位以避免产生忙信号指示。转换完成后, TLX2400 进入采集阶段, 并进入待机模式。可以通过拉低 SDI 输入来读取每个 ADC 转换后的码值, 并将 MSB 输出到 SDO。剩余数据位在后续的 SCK 下降沿输出。在第 18 个 SCK 下降沿之后, 或当 SDI 变为高电平时, 无论哪种情况先发生, SDO 都会返回高阻态, 并且可以读取另一个 TLX2400。

图 27. $\overline{\text{CS}}$ Mode (4 线, 无忙指示) 连接图

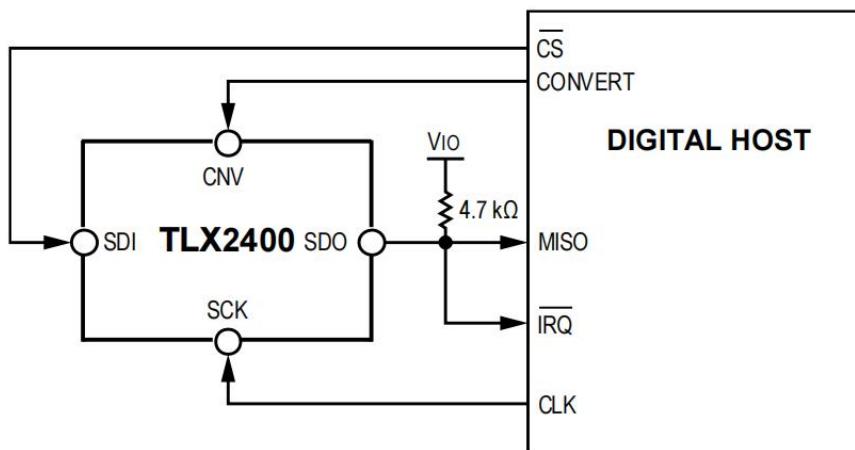
图28. $\overline{\text{CS}}$ Mode (4线无忙指示) 串行接口时序

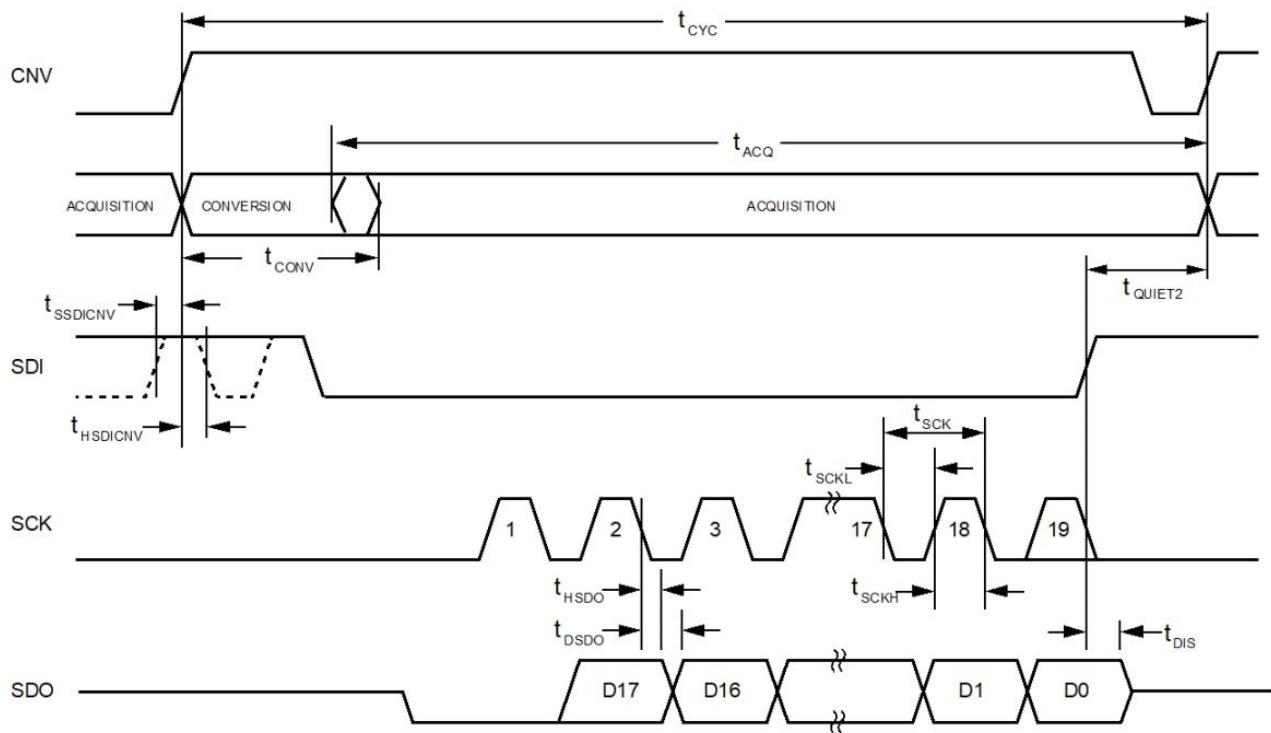
CS 模式, 4 线带忙碌指示

连接如图 29 所示, 对应时序如图 30 所示。

当 SDI 为高电平时, CNV 上的上升沿会启动转换, 选择 CS 模式, 并强制 SDO 进入高阻态。在这种情况下模式, CNV 在转换阶段及后续数据读回期间必须保持高电平。如果 SDI 和 CNV 为低电平, 则 SDO 变为低电平。

SDI 必须在最小转换时间结束之前返回低电平, 然后在最大可能的转换时间内保持低电平, 以保证忙碌信号指示。当转换完成时, SDO 从高阻态变为低阻态状态。结合 SDO 线上的上拉电阻, 此转换可用作启动数据回读的中断信号。接下来, TLX2400 进入采集阶段并处于待机状态。数据位在 SCK 的后续下降沿输出, MSB 在可选的第 19 个 SCK 下降沿之后或 SDI 变为高电平之后 (以先发生者为准), SDO 返回高阻态。

图29. $\overline{\text{CS}}$ Mode (带忙碌指示的 4 线) 连接图

图 30. $\overline{\text{CS}}$ Mode (带忙指示的 4 线) 串行接口时序

链式模式, 无忙指示

此模式可用于通过串行接口以菊花链形式连接多个 TLX2400。图 2 显示了使用两个 TLX2400 的示例 31, 对应时序如图 32 所示。

当 SDI 和 CNV 为低电平时, SDO 变为低电平。当 SCK 为低电平时, CNV 的上升沿启动转换, 选择链模式, 并禁用忙碌指示。在此模式下, CNV 在转换阶段和后续数据读回期间保持高电平。转换完成后, MSB 输出到 SDO, TLX2400 进入采集阶段, 待机。剩余数据存储在内部移位寄存器中的位在后续的 SCK 下降沿输出。对于每个 ADC, SDI 镜入内部移位寄存器, 由 SCK 下降沿输出。链中的每个 ADC 都先输出数据 MSB, 需要 $18 \times N$ 时钟来读回 N 个 ADC。

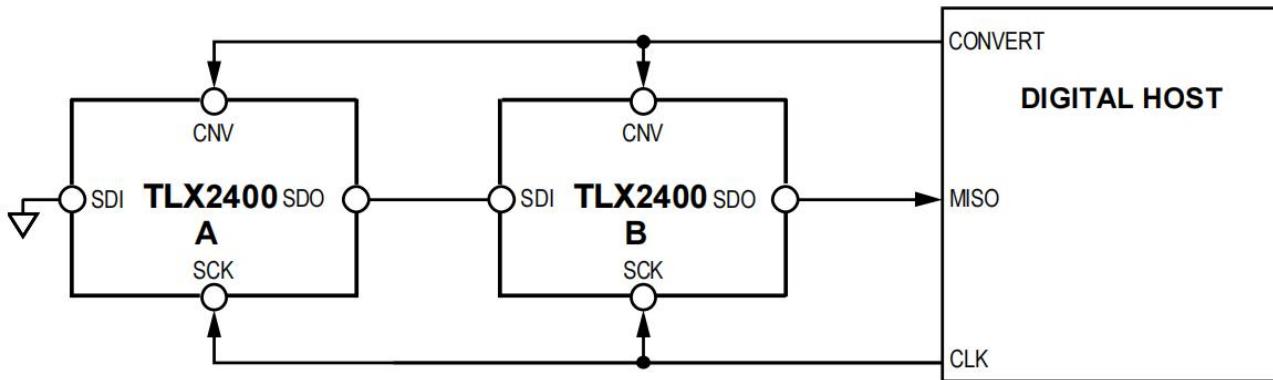


图31. 链模式 (无忙碌指示) 连接图

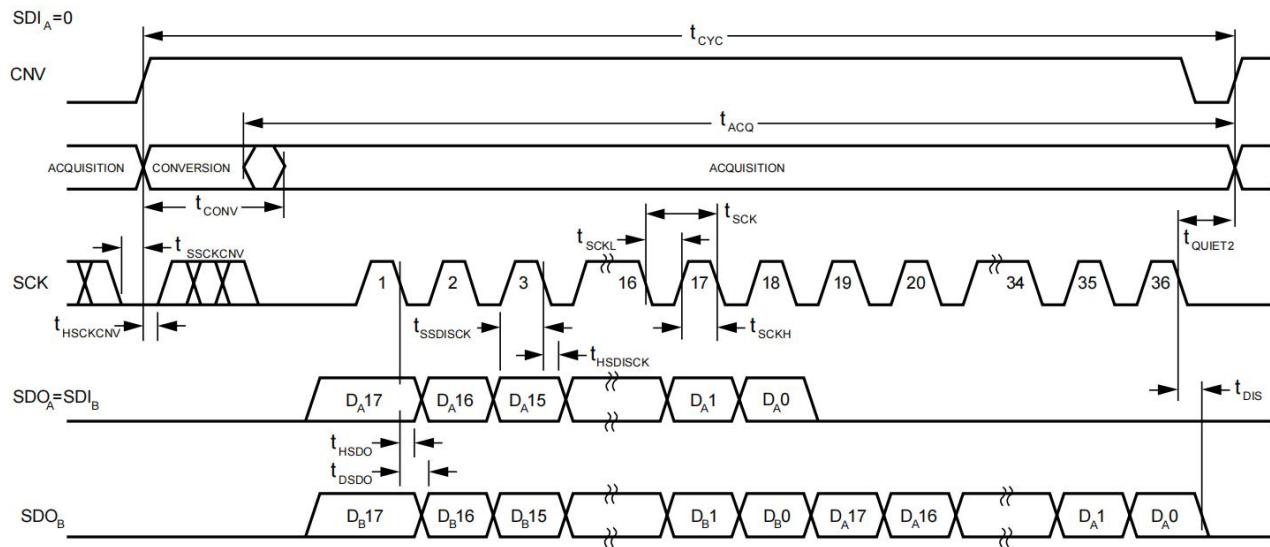


图 32. 链模式 (无忙指示) 串行接口时序

布局指南

为了实现设备的最佳性能,建议采用良好的 PCB 布局实践,包括:

- 建议在 TLX2400 PCB 上采用模拟部分和数字部分分离的设计,并将每个部分限制在电路板的一定区域内。
- 避免在器件下方布设数字线路,因为这可能会将噪声耦合到芯片上,除非 TLX2400 下方有接地层作为屏蔽。快速开关信号(例如 CNV 或时钟)不应靠近模拟信号路径。交叉应避免数字和模拟信号的混合。
- 至少应使用一个接地平面。该平面可以是公共的,也可以是数字部分和模拟部分之间的独立接地。如果是后者,则应将两个接地平面靠近 TLX2400 连接在一起。
- TLX2400 电压基准输入 REF 具有动态输入阻抗,应使用 22 uF 陶瓷电容去耦,以最大程度地降低寄生电感。具体方法是将基准去耦陶瓷电容放置在靠近 REF 和 GND 引脚的位置(最好是正对着 REF 和 GND 引脚),并用宽的低阻抗走线将它们连接起来。
- TLX2400 的电源 VDD 应使用 10 uF 和 100 nF 陶瓷电容进行去耦,并放置在靠近 TLX2400 的位置并使用短而宽的走线连接,以提供低阻抗路径并减少噪声对电源的影响线。
-

图 33 是该指南的一个示例。

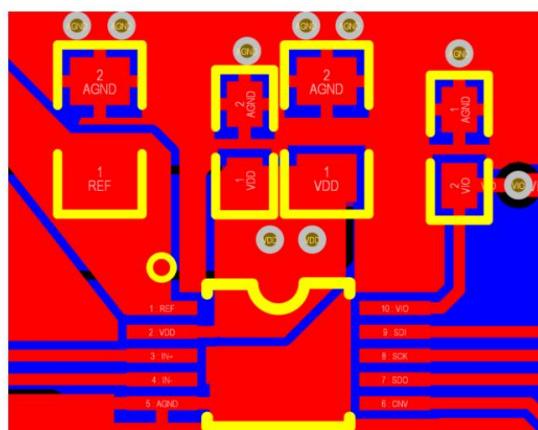


图 33. TLX2400 的布局和布线示例

外形尺寸

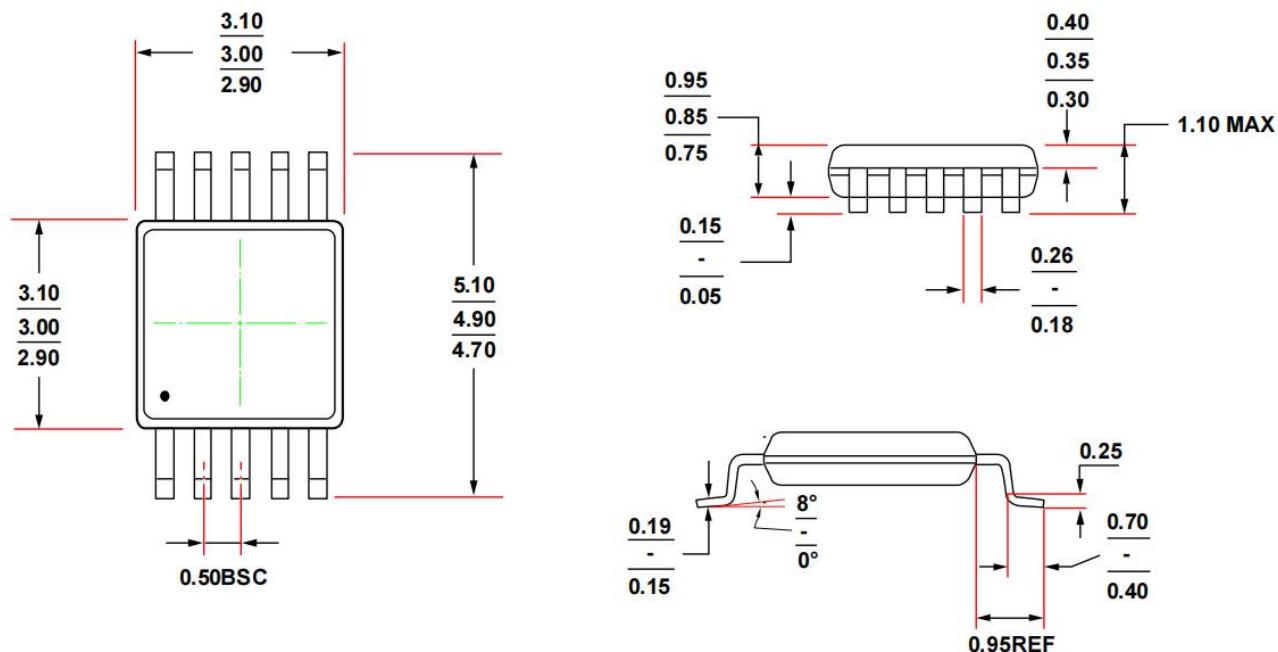


图34. 10引脚M SOP封装尺寸（以毫米为单位）

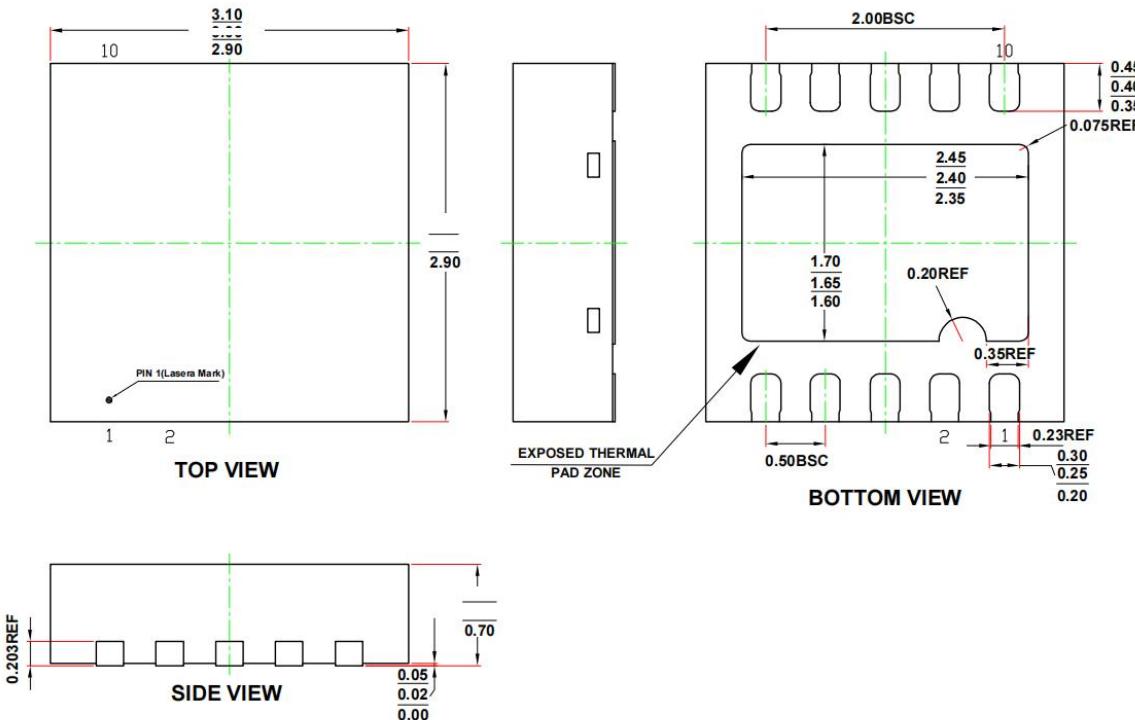


图35. 10引脚D FN封装尺寸（以毫米为单位）

订购指南

订购型号	温度等级	封装类型	丝印 ②	MSL	质量等级
JTLX2400-18AUBBT	-55 °C ~+125 °C	MSOP-10	TLX2400	MSL1/3	N1/军温级
JTLX2400-18AUBBR	-55 °C ~+125 °C	MSOP-10	TLX2400	MSL1/3	N1/军温级
JTLX2400-18ATBBR	-40 °C ~+125 °C	DFN-10	TLX2400	MSL1/3	工业级
TLX2400-18AUBBT	-40 °C ~+125 °C	MSOP-10	TLX2400	MSL1/3	工业级
TLX2400-18AUBBR	-40 °C ~+125 °C	MSOP-10	TLX2400	MSL1/3	工业级
TLX2400-18ATBBR	-40 °C ~+125 °C	DFN-10	TLX2400	MSL1/3	工业级