

无锡泰连芯科技有限公司

TLX32F425xG_F427xG型

基于 Arm® Cortex® -M4 内核的32位微控制器

产品说明书

2023年06月

产品特性

■ 内核

- 带有 FPU 的 32 位 Arm® Cortex®-M4F 内核
- 最高 240MHz 工作频率

■ 存储器及接口

- Flash: 容量最高为 1MB
- SRAM: 系统 (最大448KB) + 备份 (4KB)
- EMMC: 支持 CF 卡、SRAM、PSRAM、SDRAM、NOR 和 NAND 存储器

■ 时钟

- HSECLK: 支持 4~26MHz 外部晶体/陶瓷振荡器
- LSECLK: 支持 32.768kHz 晶体/陶瓷振荡器
- HSICLK: 出厂校准的 16MHz RC 振荡器
- LSICLK: 支持 32kHz RC 振荡器
- PLL1: 锁相环, 由四个参数配置输出频率

■ 电源与电源管理

- V_{DD} 范围: 1.8~3.6V
- V_{DDA} 范围: 1.8~3.6V
- 备份域电源 V_{BAT} 范围: 1.65V~3.6V
- 支持上电/掉电/欠压复位 (POR/PDR/BOR)
- 支持可编程电源电压检测器 (PVD)

■ 低功耗模式

- 支持睡眠、停机、待机三种模式

■ DMA

- 两个 DMA, 每个 DMA 有 8 个数据流, 共 16 个

■ 调试接口

- JTAG
- SWD

■ I/O

- 最多有 114 个 I/O
- 所有 I/O 都可以映射到外部中断向量

- 最多有 114 个容忍 5V 输入的 I/O

■ 通信外设

- 4 个 USART, 2 个 UART, 支持 ISO7816、LIN 和 IrDA 等功能
- 3 个 I2C, 支持 SMBus/PMBus
- 3 个 SPI
- 1 个 QSPI
- 2 个 CAN
- 2 个 USB_OTG 控制器
- 1 个 SDIO 接口
- 1 个 Ethernet

■ 模拟外设

- 3 个 12 位的 ADC
- 2 个 12 位的 DAC

■ 定时器

- 2 个可以提供 7 通道 PWM 输出的 16 位高级定时器 TMR1/8, 支持死区生成和刹车输入等功能
- 4 个 32 位通用定时器 TMR2/3/4/5, 每个定时器有 4 个独立通道可以用来输入捕获、输出比较、PWM 与脉冲计数等功能
- 6 个 16 位通用定时器 TMR9/10/11/12/13/14, 每个定时器支持输入捕获、输出比较、PWM 与脉冲计数等功能
- 2 个 16 位基本定时器 TMR6/7
- 2 个看门狗定时器: 一个独立看门狗 IWDG 和一个窗口看门狗 WWDG
- 1 个 24 位自减型系统定时器 Sys Tick Timer

■ RTC

- 支持日历功能
- 可从停机/待机模式下报警和定期唤醒

■ CRC 计算单元

■ 96 位唯一设备 ID

■ 一个 RNG

■ 质量等级: 军温级&N1级

目录

1	产品特性	2
2	产品信息	5
3	引脚信息	6
3.1	引脚分布	6
3.2	引脚功能描述	10
3.3	GPIO 复用功能配置	25
4	功能描述	34
4.1.1	系统架构	35
4.1.2	地址映射	36
4.1.3	启动配置	38
4.2	内核	38
4.3	中断控制器	39
4.3.1	嵌套的向量式中断控制器（NVIC）	39
4.3.2	外部中断/事件控制器（EINT）	39
4.4	片上存储器	39
4.4.1	可配置的外部存储控制器（EMMC）	39
4.4.2	液晶显示器并行接口（LCD）	39
4.5	时钟	40
4.5.1	时钟树	40
4.5.2	时钟源	41
4.5.3	系统时钟	41
4.5.4	总线时钟	41
4.5.5	锁相环	41
4.6	电源与电源管理	41
4.6.1	电源方案	41
4.6.2	调压器	41
4.6.3	电源电压监控器	42
4.7	低功耗模式	42
4.8	DMA	42
4.9	GPIO	42
4.10	通信外设	43
4.10.1	USART/UART	43
4.10.2	I2C	43
4.10.3	SPI	43
4.10.4	QSPI	43
4.10.5	CAN	43
4.10.6	USB_OTG	43
4.10.7	Ethernet	44
4.10.8	SDIO	44
4.11	模拟外设	44
4.11.1	ADC	44
4.11.2	DAC	44
4.12	定时器	45
4.13	RTC	46
4.13.1	备份域	46
4.14	RNG	46
4.15	CRC	46
5	电气特性	47
5.1	电气特性测试条件	47
5.1.1	最大值和最小值	47
5.1.2	典型值	47

5.1.3	典型曲线	47
5.1.4	电源方案	48
5.1.5	负载电容	49
5.2	通用工作条件下的测试	50
5.3	绝对最大额定值	50
5.3.1	最大温度特性	50
5.3.2	最大额定电压特性	50
5.3.3	最大额定电流特性	51
5.3.4	静电放电 (ESD)	51
5.3.5	闩锁效应 (LU)	52
5.4	片上存储器	52
5.4.1	Flash 特性	52
5.5	EMC	52
5.5.1	电磁兼容性 EMC	52
5.5.2	电磁干扰 EMI	53
5.6	时钟	53
5.6.1	外部时钟源特性	53
5.6.2	内部时钟源特性	54
5.6.3	PLL 特性	54
5.7	电源与电源管理	55
5.7.1	上电/掉电特性	55
5.7.2	内嵌复位和电源控制模块特性测试	55
5.8	功耗	56
5.8.1	功耗测试环境	56
5.8.2	运行模式功耗	57
5.8.3	睡眠模式功耗	60
5.8.4	停机模式功耗	61
5.8.5	待机模式功耗	62
5.8.6	外设功耗	62
5.8.7	备份域功耗	64
5.9	低功耗模式唤醒时间	65
5.10	I/O 端口特性	65
5.11	NRST 引脚特性	67
5.12	通信外设	68
5.12.1	I2C 外设特性	68
5.12.2	SPI 外设特性	69
5.12.3	QSPI 外设特性	72
5.13	模拟外设	72
5.13.1	ADC	72
5.13.2	DAC	75
6	封装信息	76
6.1	LQFP144 封装信息	76
6.2	LQFP100 封装信息	78
6.3	LQFP64 封装信息	80
6.4	LQFP48 封装信息	82
6.5	QFN48 封装信息	85
6.6	BGA100 封装信息	87
7	包装信息	90
7.1	托盘包装	90
8	订货信息	92
9	常用功能模块命名	95

2 产品信息

TLX32F425xG_F427xG 产品功能和外设配置请参阅下表。

表格 1 TLX32F425xG_F427xG 系列芯片功能和外设

产品		TLX32F427						TLX32F425				
型号 ⁽¹⁾		CGUx	CGTx	RGTx	VGTx	VGH7	ZGTx	CGUx	CGTx	RGTx	VGTx	ZGTx
封装		QFN48	LQFP48	LQFP64	LQFP100	BGA100	LQFP144	QFN48	LQFP48	LQFP64	LQFP100	LQFP144
内核及最大工作频率		Arm® Cortex®-M4F 32-bit @240MHz										
工作电压		1.8~3.6V										
Flash(KB)		1024						1024（前 256KB 具备“零等待”特性）				
系统+备份 SRAM(KB)		448+4						192+4				
SMC		0					1	0				1
DMC		0					1	0				1
GPIOs		37		51	82		114	37		51	82	114
通信接口	USART/UART	4/1		4/2				4/1		4/2		
	SPI	3										
	I2C	2		3				2		3		
	OTG_FS	2										
	CAN	2										
	QSPI	1										
	Ethernet	0		1				0		1		
	SDIO	0		1				0		1		
定时 器	16 位高级	2										
	32 位通用	4										
	16 位通用	6										
	16 位基本	2										
	系统滴答定时器	1										
	看门狗	2										
实时时钟		1										
RNG		1										
12 位 ADC	单元	3										
	外部通道	10		16			24	10		16		24
12 位 DAC	单元	2										
	通道	2										
工作温度		环境温度：-40°C 至 85°C/-40°C 至 105°C 结温度：-40°C 至 105°C/-40°C 至 125°C										

注意：（1）x=6 时，环境温度为-40°C 至 85°C，结温度为-40°C 至 105°C；x=7 时，环境温度为-40°C 至 105°C，结温度为-40°C 至 125°C。

3 引脚信息

3.1 引脚分布

图 1 TLX32F425xG F427xG 系列 LQFP144 引脚分布图

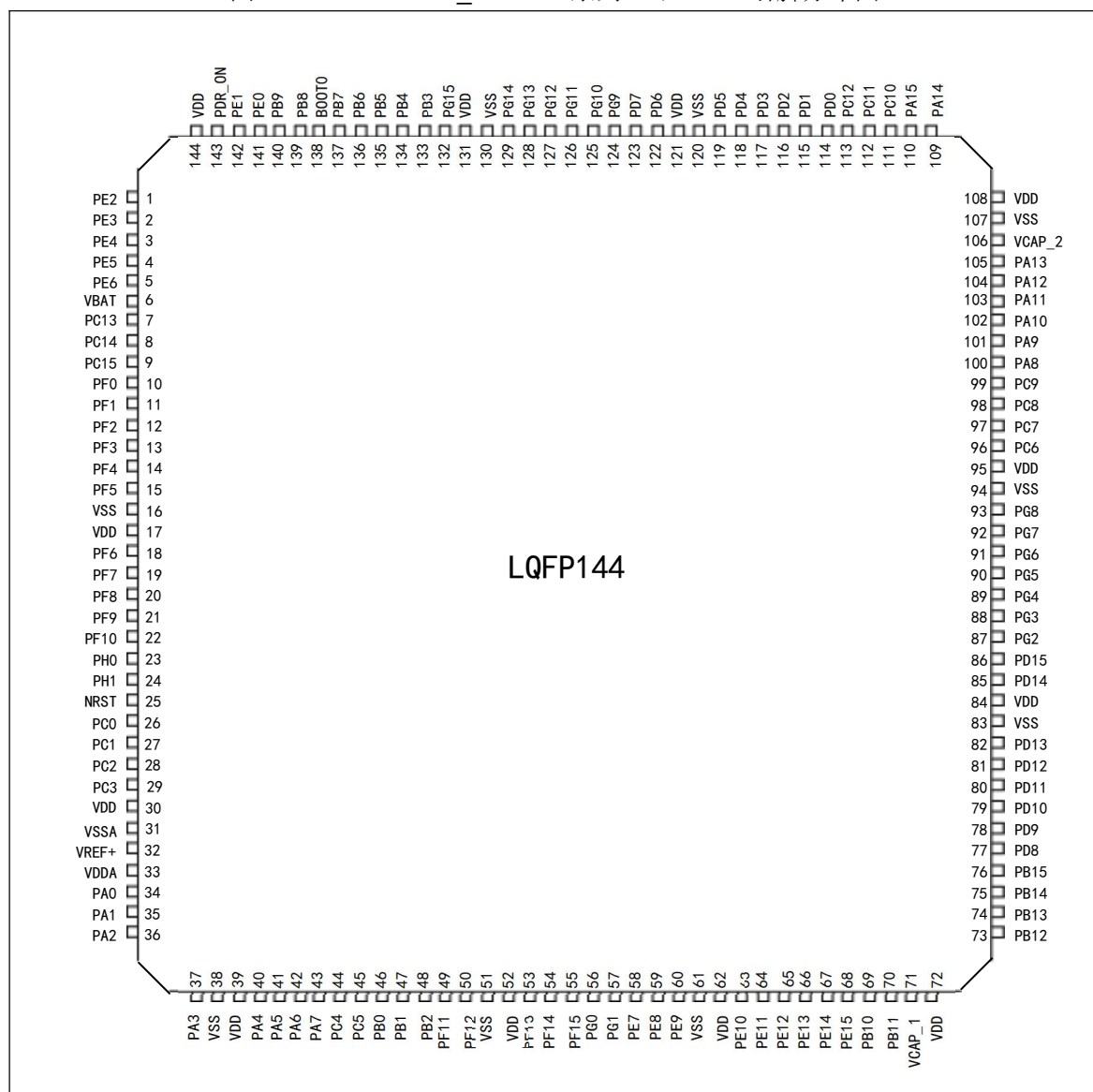


图 2 TLX32F425xG_F427xG 系列 LQFP100 引脚分布图

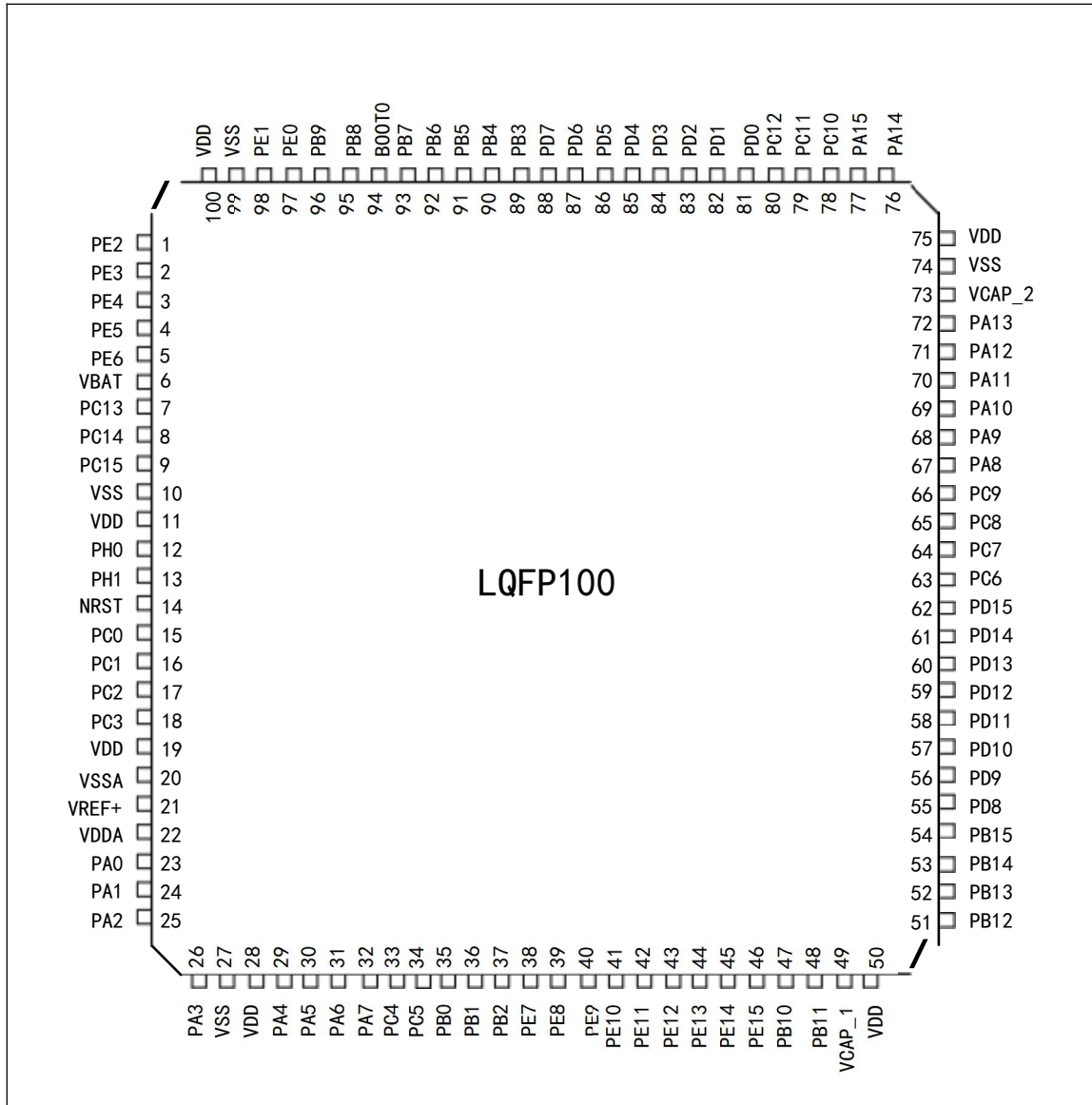


图 3 TLX32F425xG_F427xG 系列 LQFP64 引脚分布图

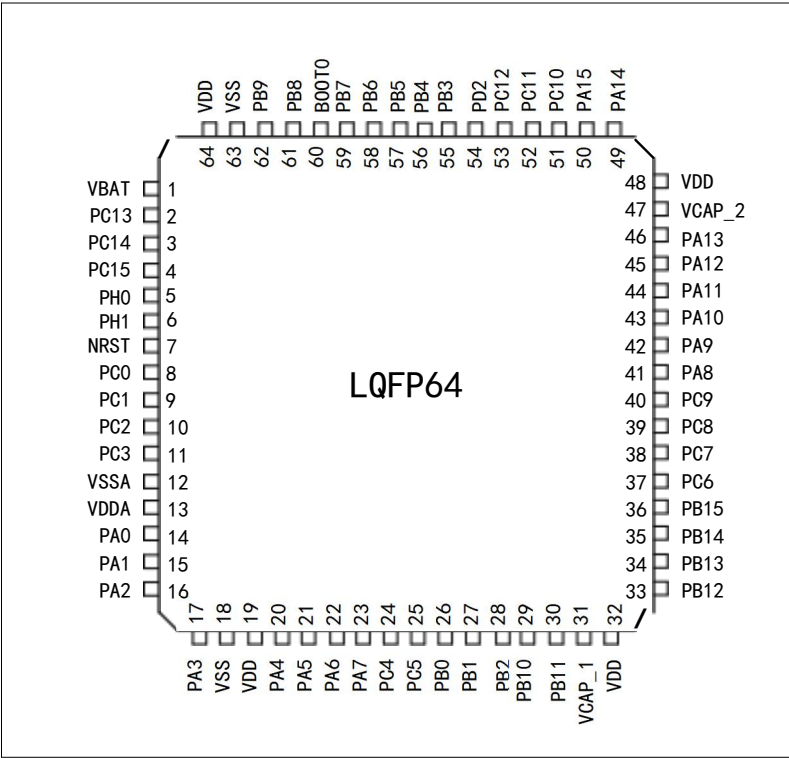
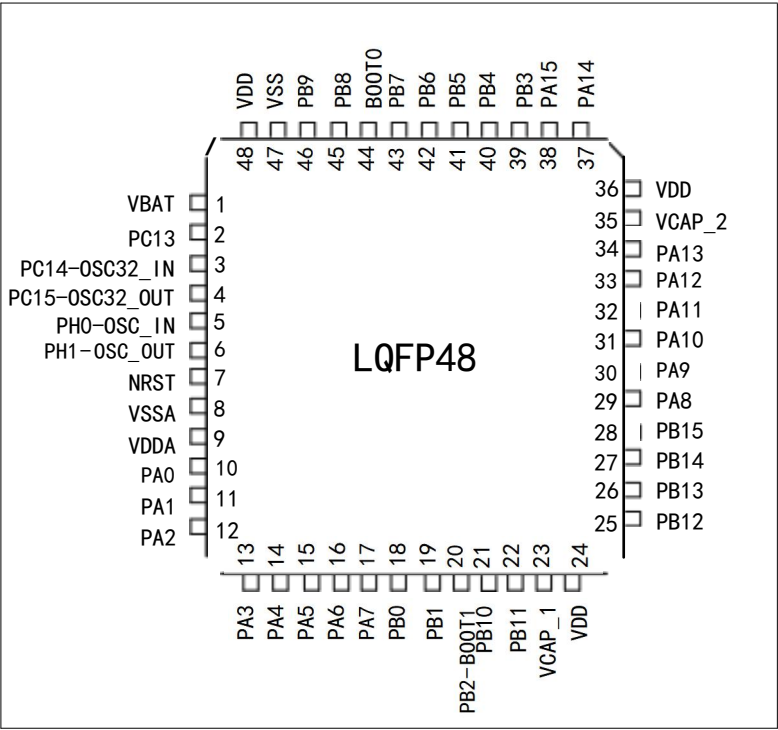


图 4 TLX32F425xG_F427xG 系列 LQFP48 引脚分布图



	1	2	3	4	5	6	7	8	9	10	11	12
A	PE3	PE1	PB8	BOOT0	PD7	PD5	PB4	PB3	PA15	PA14	PA13	PA12
B	PE4	PE2	PB9	PB7	PB6	PD6	PD4	PD3	PD1	PC12	PC10	PA11
C	PC13	PE5	PE0	VDD	PB5		PD2	PD0	PC11	NC	PA10	
D	PC14	PE6	VSS							PA9	PA8	PC9
E	PC15	VBAT	NC							PC8	PC7	PC6
F	PH0	VSS									VSS	VSS
G	PH1	VDD									VDD	VDD
H	PC0	NRST	PDR_ON							PD15	PD14	PD13
J	VSSA	PC1	PC2							PD12	PD11	PD10
K	VREF-	PC3	PA2	PA5	PC4		PD9	PB11	PB15	PB14	PB13	
L	VREF+	PA0	PA3	PA6	PC5	PB2	PE8	PE10	PE12	PB10	NC	PB12
M	VDDA	PA1	PA4	PA7	PB0	PB1	PE7	PE9	PE11	PE13	PE14	PE15

3.2 引脚功能描述

表格 2 输出引脚表中使用的图例/缩写

名称		缩写	定义
引脚名称		除非引脚名称下方的括号中另有规定，否则复位期间和复位后的引脚功能与实际引脚名称相同	
引脚类型		P	电源引脚
		I	仅输入引脚
		I/O	I/O 引脚
I/O 结构		5T	5V 容忍 I/O
		STDA	3.3V 标准、直接连接到 ADC 的 I/O
		STD	3.3V 标准 I/O
		B	专用 Boot0 引脚
		RST	内置上拉电阻的双向复位引脚
注意		除非注释另有规定，否则复位期间和复位后，所有 I/O 都设置为浮空输入	
引脚功能	默认复用功能	通过外设寄存器直接选择/启用此功能	
	重定义功能	通过 AFIO 的重映射寄存器选择此功能	

表格 3 TLX32F425xG F427xG 按引脚序号排序描述

名称 (复位后的功能)	类型	结构	复用功能	附加功能	QFN 48	BGA 100	LQFP 48	LQFP 64	LQFP 100	LQFP 144
PE2	I/O	5T	TRACECK, SMC_A23, ETH_MII_TXD3, EVENTOUT QSPI1_IO2	-	-	B2	-	-	1	1
PE3	I/O	5T	TRACED0, SMC_A19, EVENTOUT	-	-	A1	-	-	2	2
PE4	I/O	5T	TRACED1, SMC_A20, EVENTOUT	-	-	B1	-	-	3	3
PE5	I/O	5T	TRACED2, SMC_A21, TMR9_CH1, EVENTOUT	-	-	C2	-	-	4	4
PE6	I/O	5T	TRACED3, SMC_A22, TMR9_CH2,	-	-	D2	-	-	5	5

名称 (复位后的功能)	类型	结构	复用功能	附加功能	QFN 48	BGA 100	LQFP 48	LQFP 64	LQFP 100	LQFP 144
			EVENTOUT							
VBAT	P	-	-	-	1	E2	1	1	6	6
PC13 ⁽¹⁾	I/O	5T	EVENTOUT	RTC_OUT, RTC_TAMP1, RTC_TS	2	C1	2	2	7	7
PC14- OSC32_IN (PC14) ⁽¹⁾	I/O	5T	EVENTOUT	OSC32_IN	3	D1	3	3	8	8
PC15- OSC32_OUT (PC15) ⁽¹⁾	I/O	5T	EVENTOUT	OSC32_OUT	4	E1	4	4	9	9
VSS	P	-	-	-	-	F2	-	-	-	-
VDD	P	-	-	-	-	G2	-	-	-	-
PF0	I/O	5T	SMC_A0, DMC_A0, I2C2_SDA, EVENTOUT	-	-	-	-	-	-	10
PF1	I/O	5T	SMC_A1, DMC_A1, I2C2_SCL, EVENTOUT	-	-	-	-	-	-	11
PF2	I/O	5T	SMC_A2, DMC_A2, I2C2_SMBA, EVENTOUT	-	-	-	-	-	-	12
PF3	I/O	5T	SMC_A3, DMC_A3, EVENTOUT	ADC3_IN 9	-	-	-	-	-	13
PF4	I/O	5T	SMC_A4, DMC_A4, EVENTOUT	ADC3_IN 14	-	-	-	-	-	14
PF5	I/O	5T	SMC_A5, DMC_A5, EVENTOUT	ADC3_IN 15	-	-	-	-	-	15
VSS	P	-	-	-	-	-	-	-	10	16
VDD	P	-	-	-	-	-	-	-	11	17

名称 (复位后的功能)	类型	结构	复用功能	附加功能	QFN 48	BGA 100	LQFP 48	LQFP 64	LQFP 100	LQFP 144
PF6	I/O	5T	TMR10_CH1, SMC_NIORD, QSPI1_IO3 EVENTOUT	ADC3_IN 4	-	-	-	-	-	18
PF7	I/O	5T	TMR11_CH1, SMC_NREG, QSPI1_IO2 EVENTOUT	ADC3_IN 5	-	-	-	-	-	19
PF8	I/O	5T	TMR13_CH1, SMC_NIOWR, QSPI1_IO0 EVENTOUT	ADC3_IN 6	-	-	-	-	-	20
PF9	I/O	5T	TMR14_CH1, SMC_CD, QSPI1_IO1 EVENTOUT	ADC3_IN 7	-	-	-	-	-	21
PF10	I/O	5T	SMC_INTR, QSPI1_SCK EVENTOUT	ADC3_IN 8	-	-	-	-	-	22
PH0-OSC_IN (PH0)	I/O	5T	EVENTOUT	OSC_IN	5	F1	5	5	12	23
PH1- OSC_OUT (PH1)	I/O	5T	EVENTOUT	OSC_OUT	6	G1	6	6	13	24
NRST	I/O	RST	-	-	7	H2	7	7	14	25
PC0	I/O	5T	DMC_WE EVENTOUT	ADC123_ IN10	-	H1	-	8	15	26
PC1	I/O	5T	ETH_MDC, EVENTOUT	ADC123_ IN11	-	J2	-	9	16	27
PC2	I/O	5T	SPI2_MISO, ETH_MII_TXD2, DMC_CS EVENTOUT	ADC123_ IN12	-	J3	-	10	17	28
PC3	I/O	5T	SPI2_MOSI, ETH_MII_TX_CLK, DMC_CKE EVENTOUT	ADC123_ IN13	-	K2	-	11	18	29
VDD	P	-	-	-	-	-	-	-	19	30

名称 (复位后的功能)	类型	结构	复用功能	附加功能	QFN 48	BGA 100	LQFP 48	LQFP 64	LQFP 100	LQFP 144
VSSA	P	-	-	-	8	J1	8	12	20	31
VREF-	P	-	-	-	-	K1	-	-	-	-
VREF+	P	-	-	-	-	L1	-	-	21	32
VDDA	P	-	-	-	9	M1	9	13	22	33
PA0	I/O	5T	USART2_CTS, UART4_TX, ETH_MII_CRSDV, TMR2_CH1_ETR, TMR5_CH1, TMR8_ETR, EVENTOUT	WKUP, ADC123_IN0	10	L2	10	14	23	34
PA1	I/O	5T	USART2_RTS, UART4_RX, ETH_RMII_REF_CLK, ETH_MII_RX_CLK, TMR5_CH2, TMR2_CH2, QSPI1_IO3, EVENTOUT	ADC123_IN1	11	M2	11	15	24	35
PA2	I/O	5T	USART2_TX, TMR5_CH3, TMR9_CH1, TMR2_CH3, ETH_MDIO, EVENTOUT	ADC123_IN2	12	K3	12	16	25	36
PA3	I/O	5T	USART2_RX, TMR5_CH4, TMR9_CH2, TMR2_CH4, ETH_MII_COL, EVENTOUT,	ADC123_IN3	13	L3	13	17	26	37
NC	-	-	-	-	-	E3	-	-	-	-
VSS	P	-	-	-	-	-	-	18	27	38
VDD	P	-	-	-	-	-	-	19	28	39

名称 (复位后的功能)	类型	结构	复用功能	附加功能	QFN 48	BGA 100	LQFP 48	LQFP 64	LQFP 100	LQFP 144
PA4	I/O	5T	SPI1_NSS, SPI3_NSS, USART2_CK, OTG_FS2_SOF, EVENTOUT	DAC_OUT1, ADC12_IN4	14	M3	14	20	29	40
PA5	I/O	5T	SPI1_SCK, TMR2_CH1_ETR, TMR8_CH1N, EVENTOUT	DAC_OUT2, ADC12_IN5	15	K4	15	21	30	41
PA6	I/O	5T	SPI1_MISO, TMR8_BKIN, TMR13_CH1, TMR3_CH1, TMR1_BKIN, QSPI1_IO0, EVENTOUT	ADC12_IN6	16	L4	16	22	31	42
PA7	I/O	5T	SPI1_MOSI, TMR8_CH1N, TMR14_CH1, TMR3_CH2, ETH_MII_RX_DV, TMR1_CH1N, ETH_RMII_CRS_DV, QSPI1_IO1, EVENTOUT	ADC12_IN7	17	M4	17	23	32	43
PC4	I/O	5T	ETH_RMII_RX_D0, ETH_MII_RX_D0, QSPI1_IO2, EVENTOUT	ADC12_IN14	-	K5	-	24	33	44
PC5	I/O	5T	ETH_RMII_RX_D1, ETH_MII_RX_D1, QSPI1_IO3, EVENTOUT	ADC12_IN15	-	L5	-	25	34	45

名称 (复位后的功能)	类型	结构	复用功能	附加功能	QFN 48	BGA 100	LQFP 48	LQFP 64	LQFP 100	LQFP 144
PB0	I/O	5T	TMR3_CH3 TMR8_CH2N, ETH_MII_RXD2, TMR1_CH2N, QSPI1_IO0, EVENTOUT	ADC12_I N8	18	M5	18	26	35	46
PB1	I/O	5T	TMR3_CH4 TMR8_CH3N, ETH_MII_RXD3, TMR1_CH3N, QSPI1_SCK, EVENTOUT	ADC12_I N9	19	M6	19	27	36	47
PB2-BOOT1 (PB2)	I/O	5T	QSPI1_SCK, EVENTOUT	-	20	L6	20	28	37	48
PF11	I/O	5T	DMC_RAS, EVENTOUT	-	-	-	-	-	-	49
PF12	I/O	5T	SMC_A6, DMC_A6, EVENTOUT	-	-	-	-	-	-	50
VSS	P	-	-	-	-	-	-	-	-	51
VDD	P	-	-	-	-	-	-	-	-	52
PF13	I/O	5T	SMC_A7, DMC_A7, EVENTOUT	-	-	-	-	-	-	53
PF14	I/O	5T	SMC_A8, DMC_A8, EVENTOUT	-	-	-	-	-	-	54
PF15	I/O	5T	SMC_A9, DMC_A9, EVENTOUT	-	-	-	-	-	-	55
PG0	I/O	5T	SMC_A10, DMC_A10, EVENTOUT	-	-	-	-	-	-	56
PG1	I/O	5T	SMC_A11, DMC_A11, EVENTOUT	-	-	-	-	-	-	57
PE7	I/O	5T	SMC_D4, DMC_DQ4, TMR1_ETR, EVENTOUT	-	-	M7	-	-	38	58

名称 (复位后的功能)	类型	结构	复用功能	附加功能	QFN 48	BGA 100	LQFP 48	LQFP 64	LQFP 100	LQFP 144
PE8	I/O	5T	SMC_D5, DMC_DQ5, TMR1_CH1N, EVENTOUT	-	-	L7	-	-	39	59
PE9	I/O	5T	SMC_D6, DMC_DQ6, TMR1_CH1, EVENTOUT	-	-	M8	-	-	40	60
VSS	P	-	-	-	-	-	-	-	-	61
VDD	P	-	-	-	-	-	-	-	-	62
PE10	I/O	5T	SMC_D7, DMC_DQ7, TMR1_CH2N, EVENTOUT	-	-	L8	-	-	41	63
PE11	I/O	5T	SMC_D8, DMC_DQ8, TMR1_CH2, EVENTOUT	-	-	M9	-	-	42	64
PE12	I/O	5T	SMC_D9, DMC_DQ9, TMR1_CH3N, EVENTOUT	-	-	L9	-	-	43	65
PE13	I/O	5T	SMC_D10, DMC_DQ10, TMR1_CH3, EVENTOUT	-	-	M10	-	-	44	66
PE14	I/O	5T	SMC_D11, DMC_DQ11, TMR1_CH4, EVENTOUT	-	-	M11	-	-	45	67
PE15	I/O	5T	SMC_D12, DMC_DQ12, TMR1_BKIN, EVENTOUT	-	-	M12	-	-	46	68
PB10	I/O	5T	SPI2_SCK, I2C2_SCL, USART3_TX, ETH_MII_RX_E R, TMR2_CH3,	-	21	L10	21	29	47	69

名称 (复位后的功能)	类型	结构	复用功能	附加功能	QFN 48	BGA 100	LQFP 48	LQFP 64	LQFP 100	LQFP 144
			QSPI1_CS, QSPI1_IO1, EVENTOUT							
PB11	I/O	5T	I2C2_SDA, USART3_RX, ETH_RMII_TX_E N, ETH_MII_TX_EN , TMR2_CH4, QSPI1_IO0, EVENTOUT	-	22	K9	22	30	48	70
NC	-	-	-	-	-	L11	-	-	-	-
VCAP_1	P	-	-	-	23	-	23	31	49	71
VSS			-	-	-	F12	-	-	-	-
VDD	P	-	-	-	24	G12	24	32	50	72
PB12	I/O	5T	SPI2_NSS, I2C2_SMBAL, USART3_CK, TMR1_BKIN, CAN2_RX, ETH_RMII_TXD0 , ETH_MII_TXD0, OTG_FS2_ID, EVENTOUT	-	25	L12	25	33	51	73
PB13	I/O	5T	SPI2_SCK, USART3_CTS, TMR1_CH1N, CAN2_TX, ETH_RMII_TXD1 , ETH_MII_TXD1, EVENTOUT	OTG_FS2 _VBUS	26	K12	26	34	52	74
PB14	I/O	5T	SPI2_MISO, TMR1_CH2N, TMR12_CH1, OTG_FS2_DM, USART3_RTS,	-	27	K11	27	35	53	75

名称 (复位后的功能)	类型	结构	复用功能	附加功能	QFN 48	BGA 100	LQFP 48	LQFP 64	LQFP 100	LQFP 144
			TMR8_CH2N, EVENTOUT							
PB15	I/O	5T	SPI2_MOSI, TMR1_CH3N, TMR8_CH3N TMR12_CH2, OTG_FS2_DP, EVENTOUT	RTC_RE FIN	28	K10	28	36	54	76
PD8	I/O	5T	SMC_D13, DMC_DQ13, USART3_TX, EVENTOUT	-	-	-	-	-	55	77
PD9	I/O	5T	SMC_D14, DMC_DQ14, USART3_RX, EVENTOUT	-	-	K8	-	-	56	78
PD10	I/O	5T	SMC_D15, DMC_DQ15, USART3_CK, EVENTOUT	-	-	J12	-	-	57	79
PD11	I/O	5T	SMC_CLE, SMC_A16, USART3_CTS, QSPI1_IO0, EVENTOUT	-	-	J11	-	-	58	80
PD12	I/O	5T	SMC_ALE, SMC_A17, TMR4_CH1, USART3_RTS, QSPI1_IO1, EVENTOUT	-	-	J10	-	-	59	81
PD13	I/O	5T	SMC_A18, TMR4_CH2, QSPI1_IO3, EVENTOUT	-	-	H12	-	-	60	82
VSS	P	-	-	-	-	-	-	-	-	83
VDD	P	-	-	-	-	-	-	-	-	84
PD14	I/O	5T	SMC_D0, DMC_DQ0 TMR4_CH3,	-	-	H11	-	-	61	85

名称 (复位后的功能)	类型	结构	复用功能	附加功能	QFN 48	BGA 100	LQFP 48	LQFP 64	LQFP 100	LQFP 144
			EVENTOUT							
PD15	I/O	5T	SMC_D1, DMC_DQ1 TMR4_CH4, EVENTOUT	-	-	H10	-	-	62	86
PG2	I/O	5T	SMC_A12, DMC_A12, EVENTOUT	-	-	-	-	-	-	87
PG3	I/O	5T	SMC_A13, DMC_A13, EVENTOUT	-	-	-	-	-	-	88
PG4	I/O	5T	SMC_A14, DMC_BA0 EVENTOUT	-	-	-	-	-	-	89
PG5	I/O	5T	SMC_A15, DMC_BA1 EVENTOUT	-	-	-	-	-	-	90
PG6	I/O	5T	SMC_INT2, QSPI1_CS, EVENTOUT	-	-	-	-	-	-	91
PG7	I/O	5T	SMC_INT3, USART6_CK, EVENTOUT	-	-	-	-	-	-	92
PG8	I/O	5T	DMC_CLK/CK USART6_RTS, ETH_PPS_OUT, EVENTOUT	-	-	-	-	-	-	93
VSS	P	-	-	-	-	-	-	-	-	94
VDD	P	-	-	-	-	-	-	-	-	95
PC6	I/O	5T	TMR8_CH1, SDIO_D6, USART6_TX, TMR3_CH1, EVENTOUT	-	-	E12	-	37	63	96
PC7	I/O	5T	TMR8_CH2, SDIO_D7, USART6_RX, TMR3_CH2, EVENTOUT	-	-	E11	-	38	64	97

名称 (复位后的功能)	类型	结构	复用功能	附加功能	QFN 48	BGA 100	LQFP 48	LQFP 64	LQFP 100	LQFP 144
PC8	I/O	5T	TMR8_CH3, SDIO_D0, TMR3_CH3, USART6_CK, QSPI1_IO2, EVENTOUT	-	-	E10	-	39	65	98
PC9	I/O	5T	MCO2, TMR8_CH4, SDIO_D1, I2C3_SDA, TMR3_CH4, QSPI1_IO0, EVENTOUT	-	-	D12	-	40	66	99
PA8	I/O	5T	USART1_CK, TMR1_CH1, MCO, I2C3_SCL, OTG_FS1_SOF, EVENTOUT	-	29	D11	29	41	67	100
PA9	I/O	5T	USART1_TX, TMR1_CH2, I2C3_SMBAL, EVENTOUT	OTG_FS1 _VBUS	30	D10	30	42	68	101
PA10	I/O	5T	USART1_RX, TMR1_CH3, OTG_FS1_ID, EVENTOUT	-	31	C12	31	43	69	102
PA11	I/O	5T	USART1_CTS, CAN1_RX, TMR1_CH4, OTG_FS1_DM, EVENTOUT	-	32	B12	32	44	70	103
PA12	I/O	5T	USART1_RTS, CAN1_TX, TMR1_ETR, OTG_FS1_DP, EVENTOUT	-	33	A12	33	45	71	104
PA13 (JTMS- SWDIO)	I/O	5T	JTMS-SWDIO, EVENTOUT	PA13	34	A11	34	46	72	105

名称 (复位后的功能)	类型	结构	复用功能	附加功能	QFN 48	BGA 100	LQFP 48	LQFP 64	LQFP 100	LQFP 144
VCAP_2	P	-	-	-	35	-	35	47	73	106
NC			-	-	-	C11	-	-	-	-
VSS	P	-	-	-	-	F11	-	-	74	107
VDD	P	-	-	-	36	G11	36	48	75	108
PA14 (JTCK/SWCLK)	I/O	5T	JTCK-SWCLK, EVENTOUT	-	37	A10	37	49	76	109
PA15 (JTDI)	I/O	5T	JTDI, SPI3_NSS, TMR2_CH1_ET R, SPI1_NSS, QSPI1_IO2, EVENTOUT	-	38	A9	38	50	77	110
PC10	I/O	5T	SPI3_SCK, UART4_TX, SDIO_D2, USART3_TX, QSPI1_IO1, EVENTOUT	-	-	B11	-	51	78	111
PC11	I/O	5T	UART4_RX, SPI3_MISO, SDIO_D3, USART3_RX, QSPI1_CS, EVENTOUT	-	-	C10	-	52	79	112
PC12	I/O	5T	UART5_TX, SDIO_CK, SPI3_MOSI, USART3_CK, EVENTOUT	-	-	B10	-	53	80	113
PD0	I/O	5T	SMC_D2, DMC_DQ2, CAN1_RX, EVENTOUT	-	-	C9	-	-	81	114
PD1	I/O	5T	SMC_D3, DMC_DQ3, CAN1_TX, EVENTOUT	-	-	B9	-	-	82	115

名称 (复位后的功能)	类型	结构	复用功能	附加功能	QFN 48	BGA 100	LQFP 48	LQFP 64	LQFP 100	LQFP 144
PD2	I/O	5T	TMR3_ETR, UART5_RX, SDIO_CMD, EVENTOUT	-	-	C8	-	54	83	116
PD3	I/O	5T	SMC_CLK, USART2_CTS, QSPI1_SCK, EVENTOUT	-	-	B8	-	-	84	117
PD4	I/O	5T	SMC_NOE, USART2_RTS, EVENTOUT	-	-	B7	-	-	85	118
PD5	I/O	5T	SMC_NWE, USART2_TX, EVENTOUT	-	-	A6	-	-	86	119
VSS	P	-	-	-	-	-	-	-	-	120
VDD	P	-	-	-	-	-	-	-	-	121
PD6	I/O	5T	SMC_NWAIT, USART2_RX, EVENTOUT	-	-	B6	-	-	87	122
PD7	I/O	5T	SMC_NE1, SMC_NCE2, USART2_CK, EVENTOUT	-	-	A5	-	-	88	123
PG9	I/O	5T	SMC_NE2, SMC_NCE3, USART6_RX, QSPI1_IO2, EVENTOUT	-	-	-	-	-	-	124
PG10	I/O	5T	SMC_NCE4_1, SMC_NE3, EVENTOUT	-	-	-	-	-	-	125
PG11	I/O	5T	SMC_NCE4_2, ETH_MII_TX_EN , ETH_RMII_TX_E N, EVENTOUT	-	-	-	-	-	-	126
PG12	I/O	5T	SMC_NE4, USART6_RTS, EVENTOUT	-	-	-	-	-	-	127

名称 (复位后的功能)	类型	结构	复用功能	附加功能	QFN 48	BGA 100	LQFP 48	LQFP 64	LQFP 100	LQFP 144
PG13	I/O	5T	SMC_A24, USART6_CTS, ETH_MII_TXD0, ETH_RMII_TXD0 , EVENTOUT	-	-	-	-	-	-	128
PG14	I/O	5T	SMC_A25, USART6_TX, ETH_MII_TXD1, ETH_RMII_TXD1 , QSPI1_IO3, EVENTOUT	-	-	-	-	-	-	129
VSS	P	-	-	-	-	-	-	-	-	130
VDD	P	-	-	-	-	-	-	-	-	131
PG15	I/O	5T	DMC_CAS, USART6_CTS, EVENTOUT	-	-	-	-	-	-	132
PB3 (JTDO/TRACE SWO)	I/O	5T	JTDO, TRACESWO, SPI3_SCK, TMR2_CH2, SPI1_SCK, QSPI1_IO3, EVENTOUT	-	39	A8	39	55	89	133
PB4 (NJTRST)	I/O	5T	NJTRST, SPI3_MISO, TMR3_CH1, SPI1_MISO, EVENTOUT	-	40	A7	40	56	90	134
PB5	I/O	5T	I2C1_SMBAL, CAN2_RX, ETH_PPS_OUT, TMR3_CH2, SPI1_MOSI, SPI3_MOSI, EVENTOUT	-	41	C5	41	57	91	135
PB6	I/O	5T	I2C1_SCL, TMR4_CH1, CAN2_TX,	-	42	B5	42	58	92	136

名称 (复位后的功能)	类型	结构	复用功能	附加功能	QFN 48	BGA 100	LQFP 48	LQFP 64	LQFP 100	LQFP 144
			USART1_TX, QSPI1_CS, EVENTOUT							
PB7	I/O	5T	I2C1_SDA, SMC_NL, USART1_RX, TMR4_CH2, EVENTOUT	-	43	B4	43	59	93	137
BOOT0	I	5T	-	V _{PP}	44	A4	44	60	94	138
PB8	I/O	5T	TMR4_CH3, SDIO_D4, TMR10_CH1, ETH_MII_TXD3, I2C1_SCL, CAN1_RX, EVENTOUT	-	45	A3	45	61	95	139
PB9	I/O	5T	SPI2_NSS, TMR4_CH4, TMR11_CH1, SDIO_D5, I2C1_SDA, CAN1_TX, QSPI1_CS, EVENTOUT	-	46	B3	46	62	96	140
PE0	I/O	5T	TMR4_ETR, SMC_NBL0, DMC_LDQM, EVENTOUT	-	-	C3	-	-	97	141
PE1	I/O	5T	SMC_NBL1, DMC_UDQM, EVENTOUT	-	-	A2	-	-	98	142
VSS	P	-	-	-	47	D3	47	63	99	-
PDR_ON	I	5T	-	-	-	H3	-	-	-	143
VDD	P	-	-	-	48	C4	48	64	100	144

注意:

(1) PC13、PC14 和 PC15 通过电源开关供电。由于开关仅吸收有限的电流（3 毫安），因此在输出模式下 GPIO 的 PC13 至 PC15 的使用受到限制:

- ① 大负载为 30pF 时，速度不应超过 2MHz;
- ② 不用作电流源（例如驱动发光二极管）。

3.3 GPIO 复用功能配置

表格 4 GPIOA 复用功能配置

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PA0	-	TMR2_CH1_ETR	TMR5_CH1	TMR8_ETR	-	-	-	USART2_CTS	UART4_TX	-	-	ETH_MII_CRS	-	-	-	EVENT OUT
PA1	-	TMR2_CH2	TMR5_CH2	-	-	-	-	USART2_RTS	UART4_RX	QSPI1_IO3	-	ETH_MII_RX_CLK ETH_RMII_REF_CLK	-	-	-	EVENT OUT
PA2	-	TMR2_CH3	TMR5_CH3	TMR9_CH1	-	-	-	USART2_TX	-	-	-	ETH_MDIO	-	-	-	EVENT OUT
PA3	-	TMR2_CH4	TMR5_CH4	TMR9_CH2	-	-	-	USART2_RX	-	-	-	ETH_MII_COL	-	-	-	EVENT OUT
PA4	-	-	-	-	-	SPI1_NSS	SPI3_NSS	USART2_CK	-	-	-	-	OTG_FS2_SOF	-	-	EVENT OUT
PA5	-	TMR2_CH1_ETR	-	TMR8_CH1N	-	SPI1_SCK	-	-	-	-	-	-	-	-	-	EVENT OUT
PA6	-	TMR1_BKIN	TMR3_CH1	TMR8_BKIN	-	SPI1_MISO	-	-	-	TMR13_CH1	QSPI1_IO0	-	-	-	-	EVENT OUT
PA7	-	TMR1_CH1N	TMR3_CH2	TMR8_CH1N	-	SPI1_MOSI	-	-	-	TMR14_CH1	QSPI1_IO1	ETH_MII_RX_DV ETH_RMII_CRS_DV	-	-	-	EVENT OUT
PA8	MCO1	TMR1_CH1	-	-	I2C3_SCL	-	-	USART1_CK	-	-	OTG_FS1_SOF	-	-	-	-	EVENT OUT
PA9	-	TMR1_CH2	-	-	I2C3_SMB	-	-	USART1_TX	-	-	-	-	-	-	-	EVENT OUT

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PA10	-	TMR1_CH3	-	-	-	-	-	USART1_ RX	-	-	OTG_F S1_ID	-	-	-	-	EVENT OUT
PA11	-	TMR1_CH4	-	-	-	-	-	USART1_ CTS	-	CAN1_R X	OTG_F S1_DM	-	-	-	-	EVENT OUT
PA12	-	TMR1_ETR	-	-	-	-	-	USART1_ RTS	-	CAN1_T X	OTG_F S1_DP	-	-	-	-	EVENT OUT
PA13	JTMS _SWD IO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT OUT
PA14	JTCK_ SWCL K	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT OUT
PA15	JTDI	TMR2_CH1 TMR2_ETR	-	-	-	SPI1_N SS	SPI3_N SS I2C3_W S	-	-	-	QSPI1_ IO2	-	-	-	-	EVENT OUT

表格 5 GPIOB 复用功能配置

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PB0	-	TMR1_ CH2N	TMR3_ CH3	TMR8_ CH2N	-	-	-	-	-	QSPI1_IO0	-	ETH_MII_RXD2	-	-	-	EVENT OUT
PB1	-	TMR1_ CH3N	TMR3_ CH4	TMR8_ CH3N	-	-	-	-	-	QSPI1_SCK	-	ETH_MII_RXD3	-	-	-	EVENT OUT
PB2	-	-	-	-	-	-	-	-	-	QSPI1_SCK	-	-	-	-	-	EVENT OUT

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PB3	JTDO/ TRAC ESWO	TMR2_ CH2	-	-	-	SPI1_SCK	SPI3_SCK	-	-	QSPI1_IO3	-	-	-	-	-	EVENT OUT
PB4	NJTR ST	-	TMR3_ CH1	-	-	SPI1_MISO	SPI3_MISO	-	-	-	-	-	-	-	-	EVENT OUT
PB5	-	-	TMR3_ CH2	-	I2C1_SMBA	SPI1_MOSI	SPI3_MOSI	-	-	CAN2_RX	-	ETH_PPS_OUT	-	-	-	EVENT OUT
PB6	-	-	TMR4_ CH1	-	I2C1_SCL	-	-	USART1 _TX	-	CAN2_TX	QSPI1 _CS	-	-	-	-	EVENT OUT
PB7	-	-	TMR4_ CH2	-	I2C1_SDA	-	-	USART1 _RX	-	-	-	-	SMC_NL	-	-	EVENT OUT
PB8	-	-	TMR4_ CH3	TMR10_ CH1	I2C1_SCL	-	-	-	-	CAN1_RX	-	ETH_MII_TXD3	SDIO_D4	-	-	EVENT OUT
PB9	-	-	TMR4_ CH4	TMR11_ CH1	I2C1_SDA	SPI2_NSS	-	-	-	CAN1_TX	QSPI1 _CS	-	SDIO_D5	-	-	EVENT OUT
PB10	-	TMR2_ CH3	-	-	I2C2_SCL	SPI2_SCK	-	USART3 _TX	-	QSPI1_CS	QSPI1 _IO1	ETH_MII_RX_ER	-	-	-	EVENT OUT
PB11	-	TMR2_ CH4	-	-	I2C2_SDA	-	-	USART3 _RX	-	QSPI1_IO0	-	ETH_MII_TX_EN/ ETH _RMII_TX_EN	-	-	-	EVENT OUT
PB12	-	TMR1_B KIN	-	-	I2C2_SMBA	SPI2_NSS	-	USART3 _CK	-	CAN2_RX	-	ETH_RMII_TXD0/ ETH_MII_TXD0	OTG_FS2 _ID	-	-	EVENT OUT
PB13	-	TMR1_ CH1N	-	-	-	SPI2_SCK	-	USART3 _CTS	-	CAN2_TX	-	ETH_RMII_TXD1/ ETH_MII_TXD1	-	-	-	EVENT OUT
PB14	-	TMR1_ CH2N	-	TMR8_ CH2N	-	SPI2_MISO	-	USART3 _RTS	-	TMR12_CH 1	-	-	OTG_FS2 _DM	-	-	EVENT OUT

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PB15	RTC_REFIN	TMR1_CH3N	-	TMR8_CH3N	-	SPI2_MOSI	-	-	-	TMR12_CH2	-	-	OTG_FS2_DP	-	-	EVENTOUT

表格 6 GPIOC 复用功能配置

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PC0	-	-	-	-	-	-	-	-	-	-	-	-	DMC_WE	-	-	EVENTOUT
PC1	-	-	-	-	-	-	-	-	-	-	-	ETH_MDC	-	-	-	EVENTOUT
PC2	-	-	-	-	-	SPI2_MISO	-	-	-	-	-	ETH_MII_TXD2	DMC_CS	-	-	EVENTOUT
PC3	-	-	-	-	-	SPI2_MOSI	-	-	-	-	-	ETH_MII_TX_CLK	DMC_CKE	-	-	EVENTOUT
PC4	-	-	-	-	-	-	-	-	-	-	QSPI1_IO2	ETH_MII_RXD0 ETH_RMII_RXD0	-	-	-	EVENTOUT
PC5	-	-	-	-	-	-	-	-	-	-	QSPI1_IO3	ETH_MII_RXD1 ETH_RMII_RXD1	-	-	-	EVENTOUT
PC6	-	-	TMR3_CH1	TMR8_CH1	-	-	-	-	USART6_TX	-	-	-	SDIO_D6	-	-	EVENTOUT
PC7	-	-	TMR3_CH2	TMR8_CH2	-	-	-	-	USART6_RX	-	-	-	SDIO_D7	-	-	EVENTOUT
PC8	-	-	TMR3_CH3	TMR8_CH3	-	-	-	-	USART6_CK	-	QSPI1_IO2	-	SDIO_D0	-	-	EVENTOUT
PC9	MCO2	-	TMR3_CH4	TMR8_CH4	-	-	-	-	-	-	QSPI1_IO0	-	SDIO_D1	-	-	EVENTOUT
PC10	-	-	-	-	-	-	SPI3_SCK/	USART3_TX	UART4_TX	-	QSPI1_IO1	-	SDIO_D2	-	-	EVENTOUT
PC11	-	-	-	-	-	-	SPI3_MISO/	USART3_RX	UART4_RX	-	QSPI1_CS	-	SDIO_D3	-	-	EVENTOUT
PC12	-	-	-	-	-	-	SPI3_MOSI	USART3_CK	UART5_TX	-	-	-	SDIO_CK	-	-	EVENTOUT
PC13	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENTOUT
PC14	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENTOUT

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PC15	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENTOUT

表格 7 GPIOD 复用功能配置

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PD0	-	-	-	-	-	-	-	-	-	CAN1_RX	-	-	SMC_D2 DMC_DQ2	-	-	EVENTOUT
PD1	-	-	-	-	-	-	-	-	-	CAN1_TX	-	-	SMC_D3 DMC_DQ3	-	-	EVENTOUT
PD2	-	-	TMR3_ETR	-	-	-	-	-	UART5_RX	-	-	-	SDIO_CMD	-	-	EVENTOUT
PD3	-	-	-	-	-	-	-	USART2_CTS	-	-	QSPI1_SCK	-	SMC_CLK	-	-	EVENTOUT
PD4	-	-	-	-	-	-	-	USART2_RTS	-	-	-	-	SMC_NOE	-	-	EVENTOUT
PD5	-	-	-	-	-	-	-	USART2_TX	-	-	-	-	SMC_NWE	-	-	EVENTOUT
PD6	-	-	-	-	-	-	-	USART2_RX	-	-	-	-	SMC_NWAIT	-	-	EVENTOUT
PD7	-	-	-	-	-	-	-	USART2_CK	-	-	-	-	SMC_NE1/SMC_NCE2	-	-	EVENTOUT
PD8	-	-	-	-	-	-	-	USART3_TX	-	-	-	-	SMC_D13 DMC_DQ13	-	-	EVENTOUT
PD9	-	-	-	-	-	-	-	USART3_RX	-	-	-	-	SMC_D14 DMC_DQ14	-	-	EVENTOUT
PD10	-	-	-	-	-	-	-	USART3_CK	-	-	-	-	SMC_D15 DMC_DQ15	-	-	EVENTOUT
PD11	-	-	-	-	-	-	-	USART3_CTS	-	-	QSPI1_IO0	-	SMC_A16	-	-	EVENTOUT
PD12	-	-	TMR4_CH1	-	-	-	-	USART3_RTS	-	-	QSPI1_IO1	-	SMC_A17	-	-	EVENTOUT
PD13	-	-	TMR4_CH2	-	-	-	-	-	-	-	QSPI1_IO3	-	SMC_A18	-	-	EVENTOUT
PD14	-	-	TMR4_CH3	-	-	-	-	-	-	-	-	-	SMC_D0 DMC_DQ0	-	-	EVENTOUT
PD15	-	-	TMR4_CH4	-	-	-	-	-	-	-	-	-	SMC_D1	-	-	EVENTOUT

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
													DMC_DQ1			

表格 8 GPIOE 复用功能配置

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PE0	-	-	TMR4_ETR	-	-	-	-	-	-	-	-	-	SMC_NBL0 DMC_LDQM	-	-	EVENTOUT
PE1	-	-	-	-	-	-	-	-	-	-	-	-	SMC_NBL1 DMC_UDQM	-	-	EVENTOUT
PE2	TRACECLK	-	-	-	-	-	-	-	-	-	QSPI1_IO2	ETH_MII_TXD3	SMC_A23	-	-	EVENTOUT
PE3	TRACED0	-	-	-	-	-	-	-	-	-	-	-	SMC_A19	-	-	EVENTOUT
PE4	TRACED1	-	-	-	-	-	-	-	-	-	-	-	SMC_A20	-	-	EVENTOUT
PE5	TRACED2	-	-	TMR9_CH1	-	-	-	-	-	-	-	-	SMC_A21	-	-	EVENTOUT
PE6	TRACED3	-	-	TMR9_CH2	-	-	-	-	-	-	-	-	SMC_A22	-	-	EVENTOUT
PE7	-	TMR1_ETR	-	-	-	-	-	-	-	-	-	-	SMC_D4 DMC_DQ4	-	-	EVENTOUT
PE8	-	TMR1_CH1N	-	-	-	-	-	-	-	-	-	-	SMC_D5 DMC_DQ5	-	-	EVENTOUT
PE9	-	TMR1_CH1	-	-	-	-	-	-	-	-	-	-	SMC_D6 DMC_DQ6	-	-	EVENTOUT
PE10	-	TMR1_CH2N	-	-	-	-	-	-	-	-	-	-	SMC_D7 DMC_DQ7	-	-	EVENTOUT
PE11	-	TMR1_CH2	-	-	-	-	-	-	-	-	-	-	SMC_D8 DMC_DQ8	-	-	EVENTOUT
PE12	-	TMR1_CH3N	-	-	-	-	-	-	-	-	-	-	SMC_D9 DMC_DQ9	-	-	EVENTOUT
PE13	-	TMR1_CH3	-	-	-	-	-	-	-	-	-	-	SMC_D10 DMC_DQ10	-	-	EVENTOUT

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PE14	-	TMR1_CH4	-	-	-	-	-	-	-	-	-	-	SMC_D11 DMC_DQ11	-	-	EVENTOUT
PE15	-	TMR1_BKIN	-	-	-	-	-	-	-	-	-	-	SMC_D12 DMC_DQ12	-	-	EVENTOUT

表格 9 GPIOF 复用功能配置

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PF0	-	-	-	-	I2C2_SDA	-	-	-	-	-	-	-	SMC_A0 DMC_A0	-	-	EVENTOUT
PF1	-	-	-	-	I2C2_SCL	-	-	-	-	-	-	-	SMC_A1 DMC_A1	-	-	EVENTOUT
PF2	-	-	-	-	I2C2_SMBA	-	-	-	-	-	-	-	SMC_A2 DMC_A2	-	-	EVENTOUT
PF3	-	-	-	-	-	-	-	-	-	-	-	-	SMC_A3 DMC_A3	-	-	EVENTOUT
PF4	-	-	-	-	-	-	-	-	-	-	-	-	SMC_A4 DMC_A4	-	-	EVENTOUT
PF5	-	-	-	-	-	-	-	-	-	-	-	-	SMC_A5 DMC_A5	-	-	EVENTOUT
PF6	-	-	-	TMR10_CH1	-	-	-	-	-	-	QSPI1_IO3	-	SMC_NIORD	-	-	EVENTOUT
PF7	-	-	-	TMR11_CH1	-	-	-	-	-	-	QSPI1_IO2	-	SMC_NREG	-	-	EVENTOUT
PF8	-	-	-	-	-	-	-	-	-	TMR13_CH1	QSPI1_IO0	-	SMC_NIOWR	-	-	EVENTOUT
PF9	-	-	-	-	-	-	-	-	-	TMR14_CH1	QSPI1_IO1	-	SMC_CD	-	-	EVENTOUT
PF10	-	-	-	-	-	-	-	-	-	-	QSPI1_SCK	-	SMC_INTR	-	-	EVENTOUT
PF11	-	-	-	-	-	-	-	-	-	-	-	-	DMC_RAS	-	-	EVENTOUT
PF12	-	-	-	-	-	-	-	-	-	-	-	-	SMC_A6 DMC_A6	-	-	EVENTOUT

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PF13	-	-	-	-	-	-	-	-	-	-	-	-	SMC_A7 DMC_A7	-	-	EVENTOUT
PF14	-	-	-	-	-	-	-	-	-	-	-	-	SMC_A8 DMC_A8	-	-	EVENTOUT
PF15	-	-	-	-	-	-	-	-	-	-	-	-	SMC_A9 DMC_A9	-	-	EVENTOUT

表格 10 GPIOG 复用功能配置

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PG0	-	-	-	-	-	-	-	-	-	-	-	-	SMC_A10 DMC_A10	-	-	EVENTOUT
PG1	-	-	-	-	-	-	-	-	-	-	-	-	SMC_A11 DMC_A11	-	-	EVENTOUT
PG2	-	-	-	-	-	-	-	-	-	-	-	-	SMC_A12 DMC_A12	-	-	EVENTOUT
PG3	-	-	-	-	-	-	-	-	-	-	-	-	SMC_A13 DMC_A13	-	-	EVENTOUT
PG4	-	-	-	-	-	-	-	-	-	-	-	-	SMC_A14 DMC_BA0	-	-	EVENTOUT
PG5	-	-	-	-	-	-	-	-	-	-	-	-	SMC_A15 DMC_BA1	-	-	EVENTOUT
PG6	-	-	-	-	-	-	-	-	-	-	QSPI1_CS	-	SMC_INT2	-	-	EVENTOUT
PG7	-	-	-	-	-	-	-	-	USART6_CK	-	-	-	SMC_INT3	-	-	EVENTOUT
PG8	-	-	-	-	-	-	-	-	USART6_RTS	-	-	ETH_PPS_OUT	DMC_CLK/CK	-	-	EVENTOUT
PG9	-	-	-	-	-	-	-	-	USART6_RX	-	QSPI1_IO2	-	SMC_NE2/SMC_NCE3	-	-	EVENTOUT
PG10	-	-	-	-	-	-	-	-	-	-	-	-	SMC_NCE4_1/SMC_NE3	-	-	EVENTOUT

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PG11	-	-	-	-	-	-	-	-	-	-	-	ETH_MII_TX_EN ETH_RMII_TX_EN	SMC_NCE4_2	-	-	EVENTOUT
PG12	-	-	-	-	-	-	-	-	USART6_RTS	-	-	-	SMC_NE4	-	-	EVENTOUT
PG13	-	-	-	-	-	-	-	-	USART6_CTS	-	-	ETH_MII_TXD0 ETH_RMII_TXD0	SMC_A24	-	-	EVENTOUT
PG14	-	-	-	-	-	-	-	-	USART6_TX	-	QSPI1_IO3	ETH_MII_TXD1 ETH_RMII_TXD1	SMC_A25	-	-	EVENTOUT
PG15	-	-	-	-	-	-	-	-	USART6_CTS	-	-	-	DMC_CAS	-	-	EVENTOUT

表格 11 GPIOH 复用功能配置

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PH0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENTOUT
PH1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENTOUT

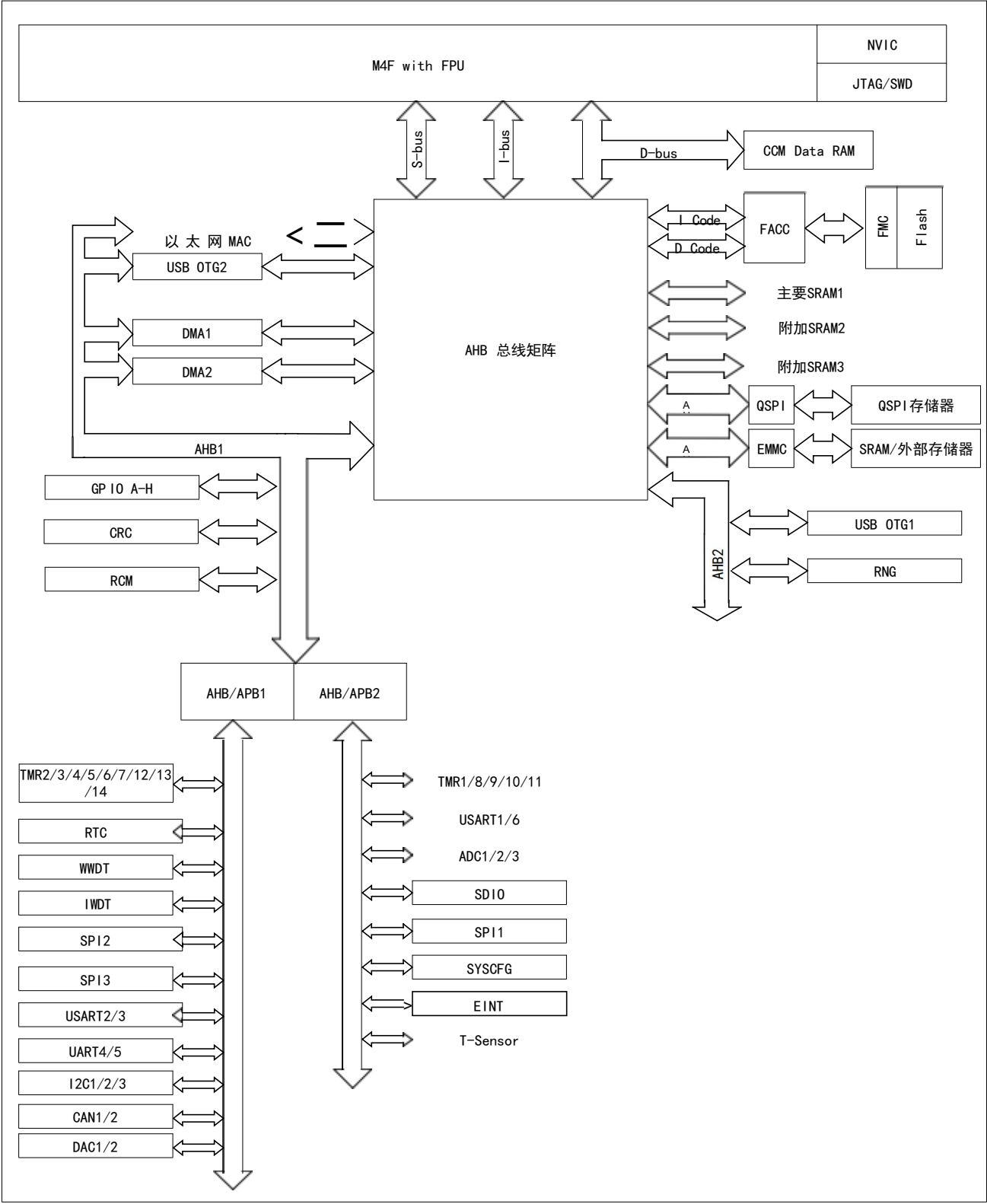
4 功能描述

本章主要介绍 TLX32F425xG_F427xG 系列产品系统架构、中断、片上存储器、时钟、电源、外设特点，有关 Arm® Cortex®-M4F 内核的相关信息，请参见 Arm® Cortex®-M4F 技术参考手册。

4.1 系统架构

4.1.1 系统框图

图 7 TLX32F425xG_F427xG 系统框图



4,1.2 地址映射

表格 12 TLX32F425xG_F427xG 系列地址映射

区域	起始地址	外设名称
代码	0x0000 0000	代码映射区
代码	0x0800 0000	FLASH
代码	0x0810 0000	保留
CCM	0x1000 0000	CCM (SRAM)
代码	0x1001 0000	保留
代码	0x1FFF 0000	系统存储区 (ROM)
代码	0x1FFF 7800	OTP 区域
代码	0x1FFF 7A10	保留
代码	0x1FFF C000	选项字节
代码	0x1FFF C010	保留
SRAM1+ SRAM2	0x2000 0000	SRAM
SRAM3	0x2002 0000	SRAM (TLX32F427 支持)
—	0x2006 0000	保留
APB1 总线	0x4000 0000	TMR2
APB1 总线	0x4000 0400	TMR3
APB1 总线	0x4000 0800	TMR4
APB1 总线	0x4000 0C00	TMR5
APB1 总线	0x4000 1000	TMR6
APB1 总线	0x4000 1400	TMR7
APB1 总线	0x4000 1800	TMR12
APB1 总线	0x4000 1C00	TMR13
APB1 总线	0x4000 2000	TMR14
APB1 总线	0x4000 2400	保留
APB1 总线	0x4000 2800	RTC
APB1 总线	0x4000 2C00	WWDT
APB1 总线	0x4000 3000	IWDT
APB1 总线	0x4000 3800	SPI2
APB1 总线	0x4000 3C00	SPI3
APB1 总线	0x4000 4400	USART2
APB1 总线	0x4000 4800	USART3
APB1 总线	0x4000 4C00	UART4
APB1 总线	0x4000 5000	UART5
APB1 总线	0x4000 5400	I2C1
APB1 总线	0x4000 5800	I2C2
APB1 总线	0x4000 5C00	I2C3
APB1 总线	0x4000 6000	保留

区域	起始地址	外设名称
APB1 总线	0x4000 6400	CAN1
APB1 总线	0x4000 6800	CAN2
APB1 总线	0x4000 6C00	保留
APB1 总线	0x4000 7000	PMU
APB1 总线	0x4000 7400	DAC
APB1 总线	0x4000 7800	保留
—	0x4000 8000	保留
APB2 总线	0x4001 0000	TMR1
APB2 总线	0x4001 0400	TMR8
APB2 总线	0x4001 0800	保留
APB2 总线	0x4001 1000	USART1
APB2 总线	0x4001 1400	USART6
APB2 总线	0x4001 1800	保留
APB2 总线	0x4001 2000	ADC1/2/3
APB2 总线	0x4001 2400	保留
APB2 总线	0x4001 2C00	SDIO
APB2 总线	0x4001 3000	SPI1
APB2 总线	0x4001 3400	保留
APB2 总线	0x4001 3800	SYSCFG
APB2 总线	0x4001 3C00	EINT
APB2 总线	0x4001 4000	TMR9
APB2 总线	0x4001 4400	TMR10
APB2 总线	0x4001 4800	TMR11
APB2 总线	0x4001 4C00	保留
—	0x4001 5800	保留
AHB 总线	0x4002 0000	GPIOA
AHB 总线	0x4002 0400	GPIOB
AHB 总线	0x4002 0800	GPIOC
AHB 总线	0x4002 0C00	GPIOD
AHB 总线	0x4002 1000	GPIOE
AHB 总线	0x4002 1400	GPIOF
AHB 总线	0x4002 1800	GPIOG
AHB 总线	0x4002 1C00	GPIOH
AHB 总线	0x4002 2400	保留
AHB 总线	0x4002 3000	CRC
AHB 总线	0x4002 3400	保留
AHB 总线	0x4002 3800	RCM
AHB 总线	0x4002 3C00	FMC

区域	起始地址	外设名称
AHB 总线	0x4002 4000	备份 SRAM
AHB 总线	0x4002 5000	保留
AHB 总线	0x4002 6000	DMA1
AHB 总线	0x4002 6400	DMA2
AHB 总线	0x4002 6800	保留
AHB 总线	0x4002 8000	MAC
AHB 总线	0x4002 9400	保留
AHB 总线	0x4004 0000	USB OTG_FS2
AHB 总线	0x4008 0000	保留
AHB 总线	0x5000 0000	USB OTG_FS1
AHB 总线	0x5004 0000	保留
AHB 总线	0x5005 0400	保留
AHB 总线	0x5006 0800	RNG
AHB 总线	0x5006 0C00	保留
AHB 总线	0x6000 0000	EMMC bank 1 NOR/PSRAM 1/SDRA
AHB 总线	0x6400 0000	EMMC bank 1 NOR/PSRAM 2/SDRA
AHB 总线	0x6800 0000	EMMC bank 1 NOR/PSRAM 3/SDRA
AHB 总线	0x6C00 0000	EMMC bank 1 NOR/PSRAM 4/SDRA
AHB 总线	0x7000 0000	EMMC bank 2 NAND (NAND1)
AHB 总线	0x8000 0000	EMMC bank 3 NAND (NAND2)
AHB 总线	0x9000 0000	PCCARD/QSPI
AHB 总线	0xA000 0000	EMMC
AHB 总线	0xA000 1000	QSPI
—	0xB000 0000	保留
—	0xC000 0000	保留
内核	0xE000 0000	内核外设
—	0xE010 0000	保留

4.1.3 启动配置

启动时，用户可设置 Boot 引脚的高低电平，选择以下三种启动模式中的一种：

- 从主存储器启动
- 从 BootLoader 启动（系统存储器）
- 从内置 SRAM 启动

若从 BootLoader 启动，用户可使用串口接口重新编程用户 Flash。

4.2 内核

TLX32F425xG_F427xG 内核是带有 FPU 计算单元的 Arm® Cortex®-M4F，基于该平台开发成本低、功耗低，可提供优良计算性能和先进的系统中断响应，兼容所有 Arm 工具和软件。

4.3 中断控制器

4.3.1 嵌套的向量式中断控制器（NVIC）

内置 1 个嵌套向量中断控制器（NVIC），NVIC 能够处理多达 88 个可屏蔽中断通道（不包括 16 个 Cortex®-M4F 的中断线）和 16 个优先级。可直接向内核传递中断向量入口地址，从而达到低延迟的中断响应处理，能优先处理晚到的较高优先级中断。

4.3.2 外部中断/事件控制器（EINT）

外部中断/事件控制器有 23 个边沿检测器。每个检测器包含边沿检测电路、中断/事件请求产生电路。每个检测器可配置为上升沿触发、下降沿、双边沿触发，也能够单独屏蔽。最多 114 个 GPIO 可连接到 16 个外部中断线。

4.4 片上存储器

片上存储器包括主存储区、SRAM、信息块，其中信息块包括系统存储区、选项字节，系统存储区存放 BootLoader、96 位唯一设备 ID、主存储区容量信息。系统存储区出厂时已写入程序，不可擦写。

表格 13 片上存储区

存储器	最大容量	功能
主存储区	1MB	存放用户程序和数据
SRAM	(448+4)KB	CPU 能以 0 等待周期访问（读/写）
系统存储区	30KB	存放 BootLoader、96 位唯一设备 ID、主存储区容量信息
选项字节	16Bytes	配置主存储区读写保护、MCU 工作方式

4.4.1 可配置的外部存储控制器（EMMC）

TLX32F425xG_F427xG 系列集成了 EMMC 模块，由 SMC（静态存储控制器）、DMC（动态存储控制器）组成，支持 PC 卡、SRAM、SDRAM、PSRAM、NorFlash 和 NandFlash。

EMMC 的功能：

- 三个 EMMC 中断源，经过“逻辑或”连到 NVIC 单元
- 写 FIFO
- 代码可以在除 NAND 闪存和 PC 卡外的片外存储器运行
- 与 LCD 连接

4.4.2 液晶显示器并行接口（LCD）

EMMC 可以配置成与多数图形 LCD 控制器的无缝连接，它支持 Intel 8080 和 Motorola 6800 的模式，并能够灵活地与特定的 LCD 连接。使用这个 LCD 并行接口可以很方便地构建简易的图形应用环境，或使用专用加速控制器的高性能方案。

4.5.2 时钟源

时钟源按速度分为高速时钟、低速时钟，高速时钟有 HSICLK、HSECLK，低速时钟有 LSECLK、LSICLK。另外，有些模块有额外的时钟源引脚，通过外部电路获得需要的时钟频率。

4.5.3 系统时钟

可选择 HSICLK、PLL1CLK、HSECLK 作为系统时钟，PLL1CLK 的时钟源可选择 HSICLK、HSECLK 中的一种，配置 PLL 的倍频系数、分频系数可获得所需系统时钟。

产品复位启动时，默认选择 HSICLK 作为系统时钟，但用户随后可自行选择上述时钟源中的一种作为系统时钟。当检测到 HSECLK 失效时，系统将自动地切换回 HSICLK，如果使能了中断，软件可以接收到相应的中断。

4.5.4 总线时钟

内置 AHB、APB1、APB2 总线，AHB 的时钟源是 SYSCLK，APB1、APB2 的时钟源是 HCLK。配置分频系数可获得所需的时钟，AHB 最高频率为 240MHz，APB2 的最高频率为 120MHz，APB1 的最高频率是 60MHz。

4.5.5 锁相环

TLX32F425xG_F427xG 系列有一个锁相环 PLL1，它需要通过配置参数产生不同时钟频率，具体参数和配置寄存器请参见用户手册。

4.6 电源与电源管理

4.6.1 电源方案

表格 14 电源方案

名称	电压范围	说明
V _{DD}	1.8~3.6V	通过 V _{DD} 引脚给 I/O（具体 I/O 见引脚分布图）、内部调压器供电。
V _{DDA} /V _{SSA}	1.8~3.6V	为 ADC、DAC、复位模块、RC 振荡器和 PLL 的模拟部分供电；使用 ADC 或 DAC 时，V _{DDA} 和 V _{SSA} 引脚必须分别连接到 V _{DD} 和 V _{SS} 。
V _{BAT}	1.65~3.6V	当关闭 V _{DD} 时，通过内部电源切换器，为 RTC、外部 32kHz 振荡器和后备寄存器供电。

4.6.2 调压器

表格 15 调压器工作模式⁽¹⁾

名称	说明
主模式（MR）	用于运行模式
低功耗模式（LPR）	用于停机模式
掉电模式	用于待机模式，此时调压器高阻输出，内核电路掉电，调压器功耗为零，寄存器和 SRAM 的数据会全部丢失。

注意：（1）调压器在复位后始终处于工作状态，在掉电模式下高阻输出。

4.6.3 电源电压监控器

产品内部集成了上电复位（POR）、掉电复位（PDR）和欠压复位（BOR）电路。这三种电路始终处于工作状态。当掉电复位电路监测到电源电压低于规定的阈值（ $V_{POR/PDR}$ ）时，即使外部复位电路，系统保持复位状态。

产品内置可编程电源电压监控器（PVD），能够监测 V_{DD} 并将其与 V_{PVD} 阈值比较。当 V_{DD} 在 V_{PVD} 阈值范围外且中断使能时会产生中断，可通过中断服务程序将 MCU 设置成安全状态。

4.7 低功耗模式

TLX32F425xG_F427xG 支持睡眠、停机、待机三种低功耗模式，这三种模式在功耗、唤醒时间长短、唤醒方式存在差异，可依据实际应用需求选择低功耗模式。

表格 16 低功耗模式

模式	说明
睡眠模式	● 内核停止工作，所有外设处于工作状态，可通过中断/事件唤醒。
停机模式	● 在 SRAM 和寄存器数据不丢失的情况下，停机模式可达到最低的功耗。 ● 内部 1.2V 供电模块的时钟都会停止，HSECLK 晶体谐振器、HSICKLK、PLL 被禁止，调压器可配置普通模式或低功耗模式。 ● 任何外部中断线可唤醒 MCU，外部中断线包括 16 个外部中断线之一、PVD 输出、RTC、USB_OTG。
待机模式	● 该模式功耗最低。 ● 内部调压器被关闭，所有 1.2V 供电模块掉电，HSECLK 晶体谐振器、HSICKLK 时钟关闭，SRAM 和寄存器的数据消失，RTC 区域、后备寄存器内容仍然保留，待机电路仍工作。 ● NRST 的外部复位信号、IWDG 复位、WKUP 引脚的上升边沿或 RTC 的事件都会唤醒 MCU 退出待机模式。

4.8 DMA

内置 2 个 DMA，共 16 个数据流。每个数据流对应 8 个通道，但每个数据流同一时刻只能使用 1 个通道。支持 DMA 请求的外设有：ADC、DAC、SPI、QSPI、USART、I2C、SDIO、TMRx。可配置 4 级 DMA 通道优先级。支持“存储器→存储器、存储器→外设、外设→存储器”数据传输（存储器包括 Flash、SRAM、SDRAM）。

4.9 GPIO

GPIO 可以配置为通用输入、通用输出、复用功能、模拟输入输出。通用输入可以配置成浮空输入、上拉输入、下拉输入，通用输出可以配置成推挽输出、开漏输出，复用功能可以用于数字外设，模拟输入输出可以用于模拟外设以及低功耗模式；可以配置使能/禁止上拉/下拉电阻；可以配置不同的速度，速度越大，功耗、噪声也会越大。

4.10 通信外设

4.10.1 USART/UART

该芯片内置多达 6 个通用同步/异步收发器，USART1/6 接口通信速率可达 10.5Mbit/s，其它 USART/UART 的通信速率可达 5.25Mbit/s。所有 USART/UART 可配置波特率、奇偶校验位、停止位、数据位长度，并且都可以支持 DMA。各个 USART/UART 功能差异如下表：

表格 17 USART/UART 功能差异

USART 模式/功能	USART1	USART2	USART3	UART4	UART5	USART6
调制解调器的硬件流控制	√	√	√	—	—	√
智能卡模式	√	√	√	—	—	√
IrDA SIR 编码解码器功能	√	√	√	√	√	√
LIN 模式	√	√	√	√	√	√
标准特性	√	√	√	√	√	√
SPI 主机	√	√	√	—	—	√
16 倍过采样下的最大波特率（Mbit/s）	7.5	3.75	3.75	3.75	3.75	7.5
8 倍过采样下的最大波特率（Mbit/s）	15	7.5	7.5	7.5	7.5	15
APB 映射	APB2	APB1	APB1	APB1	APB1	APB2

注意：√表示支持。

4.10.2 I2C

内置 I2C1/2/3 总线接口，均可工作于多主模式或从模式，支持 7 位或 10 位寻址。7 位从模式时支持双从地址寻址，通信速率支持标准模式（最高 100kbit/s）、快速模式（最高 400kbit/s）。内置了硬件 CRC 发生器和校验器，可以使用 DMA 操作并支持 SMBus 总线 2.0 版和 PMBus 总线。

4.10.3 SPI

内置 3 个 SPI，在主模式、从模式下均支持全双工、半双工通信，可使用 DMA 控制器，可配置每帧 4~16 位，3 个 SPI 的最高通信速率分别为 60Mbit/s，30Mbit/s，30Mbit/s。

4.10.4 QSPI

内嵌 1 个 QSPI 专用通信接口，支持 DMA 操作，可以通过单、双线或四线 SPI 模式连接外部 Flash，支持 8 位、16 位和 32 位访问。内部有 8 字节的发送 FIFO 和 8 字节的接收 FIFO。

4.10.5 CAN

内置 2 个 CAN，兼容 2.0A 和 2.0B（主动）规范，通信速率最高可达 1Mbit/s。它可以接收和发送 11 位标识符的标准帧，也可以接收和发送 29 位标识符的扩展帧。具有 3 个发送邮箱和 2 个接收 FIFO，14 个三级可调节的滤波器。

4.10.6 USB_OTG

产品内嵌两个 USB OTG_FS 控制器，都可同时支持主机和从机功能，符合 USB 2.0 规范的 On-The-Go 补充标准，也可配置为“仅主机”或“仅从机”模式，完全符合 USB 2.0 规范，

OTG_FS 时钟（48MHz）由特定的 PLL 输出。

4.10.7 Ethernet

提供一个兼容 IEEE-802.3-2002 的 MAC，用于通过 MII 或 RMII 进行以太网局域网通信。产品需要一个 PHY 连接到物理 LAN 总线。PHY 连接到 MII 端口，使用 17 个信号用于 MII 或 9 个信号用于 RMII，并且可以使用来自内核的 25MHz 时钟（MII）。

4.10.8 SDIO

安全数字输入/输出接口能够连接 SD 卡，SD I/O 卡，多媒体卡（MMC）和 CE-ATA 卡主机接口，提供 AHB 系统总线与 SD 存储卡、SD I/O 卡、MMC 和 CE-ATA 设备之间的数据传输。

4.11 模拟外设

4.11.1 ADC

内置 3 个 ADC，精度为 12 位（可配置为 10 位、8 位、6 位），每个 ADC 最多有 16 个外部通道和 3 个内部通道。内部通道分别测量温度传感器电压、参考电压和备份电压。各通道 A/D 转换模式有单次、连续、扫描或间断，ADC 转换结果可以左对齐或右对齐存储在 16 位数据寄存器中。支持模拟看门狗，支持 DMA。

4.11.1.1 温度传感器

内置 1 个温度传感器（TSensor），内部连接 ADC_IN16 通道，传感器产生的电压随着温度线性变化，可通过 ADC 获取转换的电压值换算成温度。

支持的温度范围：-40℃到 125℃。

表格 18 Tsensor 校准值

校准值名称	描述	存储地址
V _{sensor_CAL1}	在温度 30℃、V _{DDA} =3.3V 下，采集的原始数据	0x1FFF 7A2C - 0x1FFF 7A2D
V _{sensor_CAL2}	在温度 110℃、V _{DDA} =3.3V 下，采集的原始数据	0x1FFF 7A2E - 0x1FFF 7A2F

4.11.1.2 内部参考电压

内置参考电压 V_{REFINT}，内部连接 ADC_IN17 通道，可通过 ADC 获取该 V_{REFINT}。V_{REFINT} 为 ADC 提供稳定的电压输出。

表格 19 内部参考电压校准值

校准值名称	描述	存储地址
V _{REFINT_CAL}	在温度 25℃(±5℃)、V _{DDA} =3.3V(±10mV)下，采集的原始数据	0x1FFF 7A2A - 0x1FFF 7A2B

4.11.2 DAC

内置 2 个 12 位 DAC，每个 DAC 对应一个输出通道，可配置为 8 位、12 位模式。支持 DMA 功能，波形产生支持噪声波、三角波，转换方式支持单独或同时转换，触发方式支持外部信号触发、内部定时器更新触发。

4.12 定时器

内置 2 个 16 位高级定时器（TMR1/8）、6 个 16 位通用定时器（TMR9/10/11/12/13/14）、4 个 32 位通用定时器（TMR2/3/4/5）、2 个 16 位基本定时器（TMR6/7）、1 个独立看门狗定时器、1 个窗口看门狗定时器和 1 个系统滴答定时器。看门狗定时器可以用来检测程序是否正常运行。

系统滴答定时器是内核的外设，具有自动重装载功能，当计数器为 0 时能产生一个可屏蔽系统中断，可以用于实时操作系统和普通延时。

表格 20 高级/通用/基本和系统滴答定时器功能比较

定时器类型	系统滴答定时器	基本定时器	通用定时器		高级定时器
定时器名称	Sys Tick Timer	TMR6/7	TMR2/3/4/5	TMR9/10/11/12/13/14	TMR1/8
计数器分辨率	24 位	16 位	32 位	16 位	16 位
计数器类型	向下	向上	向上，向下，向上/下	向上	向上，向下，向上/下
预分频系数	-	1~65536 间任意整数	1~65536 间任意整数		1~65536 间任意整数
产生 DMA 请求	-	可以	可以	没有	可以
捕获/比较通道	-	-	4	2 (TMR9/12) 1 (其他)	4
互补输出	-	没有	没有		有
引脚特性	-	-	1 路外部触发信号输入引脚； 4 路非互补通道引脚	2 (TMR9/12) 路非互补通道引脚，其他 1 路	1 路外部触发信号输入引脚； 1 路刹车输入信号引脚； 3 对互补通道引脚； 1 路非互补通道引脚。
功能说明	专用于实时操作系统。 具有自动重加载功能。 当计数器为 0 时能产生一个可屏蔽系统中断。 可编程时钟源。	用于产生 DAC 触发信号。 可以作为 16 位通用型时基计数器。	提供同步或事件链接功能。 在调试模式下，计数器可以被冻结。 可用于产生 PWM 输出。 每个定时器都有独立的 DMA 请求机制。 可以处理增量编码器的信号。	提供同步或事件链接功能。 在调试模式下，计数器可以被冻结。 可用于产生 PWM 输出。	具有带死区插入的互补 PWM 输出。 配置为 16 位标准定时器时，它与 TMRx 定时器具有相同的功能。 配置为 16 位 PWM 发生器时，它具有全调制能力 (0~100%)。 在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止。 提供同步或事件链接功能。 可以处理增量编码器的信号。

表格 21 IWDT 和 WWDT 功能比较

名称	计数器分辨率	计数器类型	预分频系数	功能说明
独立看门狗	12 位	向下	1~256 之间的任意整数	由一个内部独立的 28kHz 的 RC 振荡器提供时钟；因为这个 RC 振荡器独立于主时钟，所以它可运行于停机和待机模式。 在发生问题时可复位整个系统。 可以作为一个自由定时器为应用程序提供超时管理。 通过选项字节可以配置成是软件或硬件启动看门狗。 在调试模式下，计数器可以被冻结。
窗口看门狗	7 位	向下	-	可以设置成自由运行。 在发生问题时可复位整个系统。 由主时钟驱动，具有早期预警中断功能。 在调试模式下，计数器可以被冻结。

4.13 RTC

内置 1 个 RTC，引脚有 LSECLK 信号输入引脚（OS32_IN、OS32_OUT）、1 个 TAMP 输入信号检测引脚（RTC_TAMP1）。时钟源可选择外部 32.768kHz 的外部晶振、谐振器或振荡器、LSICLK、HSECLK/128。默认由 V_{DD} 供电，当 V_{DD} 断电时，可自动切换至 V_{BAT} 供电，RTC 配置及时间数据不丢失。产生系统复位、软件复位、电源复位时，RTC 配置及时间数据不丢失。支持闹钟、日历功能。

4.13.1 备份域

内置 4KB 的备份 SRAM，20 个备份寄存器，默认由 V_{DD} 供电。当 V_{DD} 断电时，可自动切换至 V_{BAT} 供电，备份寄存器数据不丢失。产生系统复位、软件复位、电源复位时，备份寄存器数据不丢失。

4.14 RNG

嵌入一个 RNG，提供由集成模拟生成的 32 位随机数。

4.15 CRC

内置 1 个 CRC（循环冗余校验）计算单元，可产生 CRC 码，可操作 8 位、16 位、32 位数据。

5 电气特性

5.1 电气特性测试条件

5.1.1 最大值和最小值

除非特别说明，所有产品是在 $T_A=25^{\circ}\text{C}$ 下在生产线上进行测试的。其最大和最小值可支持所定最恶劣的环境温度、供电电压和时钟频率。

在每个表格下方的注解中说明是通过综合评估、设计仿真或工艺特性得到的数据，没有在生产线上进行测试；在综合评估的基础上，通过样本测试，取其平均值再加减三倍的标准差(平均 $\pm 3\Sigma$)得到最大和最小数值。

5.1.2 典型值

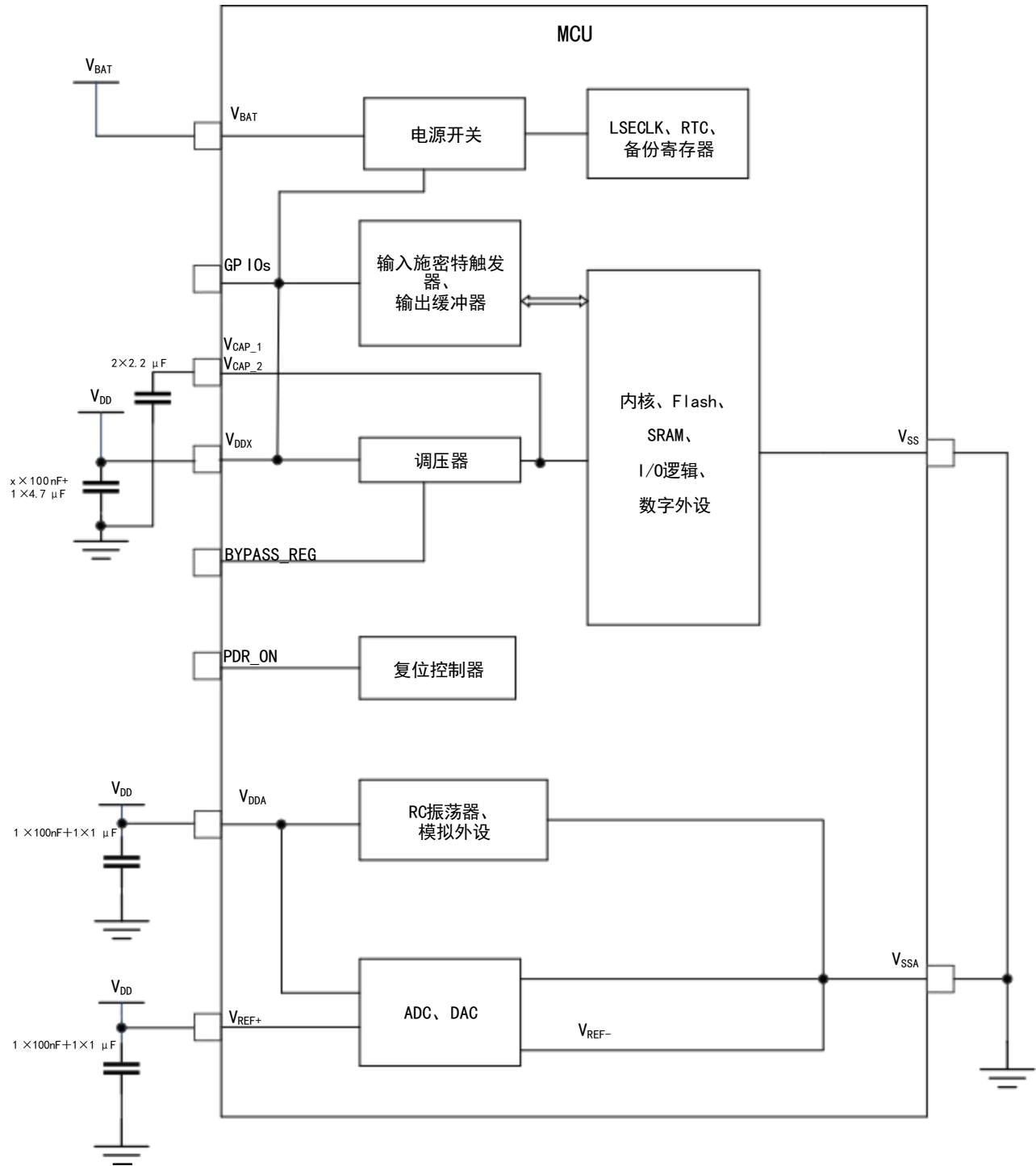
除非特别说明，典型数据是基于 $T_A=25^{\circ}\text{C}$ 、 $V_{DD}=V_{DDA}=3.3\text{V}$ 测量，这些数据仅用于设计指导。

5.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

5.1.4 电源方案

图 9 电源方案



注意：图中的 V_{DDx} 表示 V_{DD} 的个数是 x 个。

5.1.5 负载电容

图 10 测量引脚参数时的负载条件

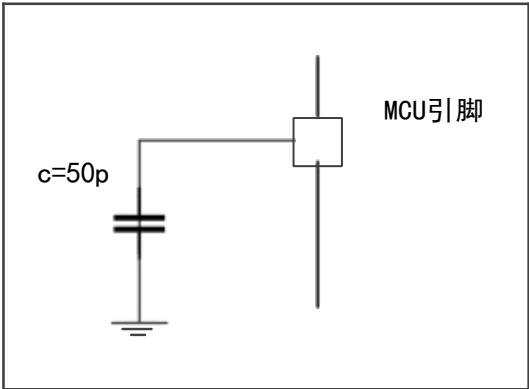


图 11 引脚输入电压测量方案

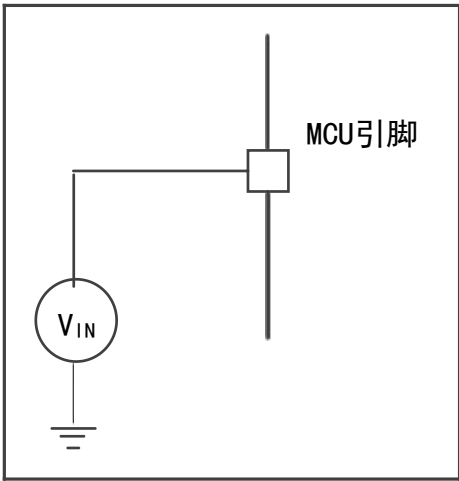
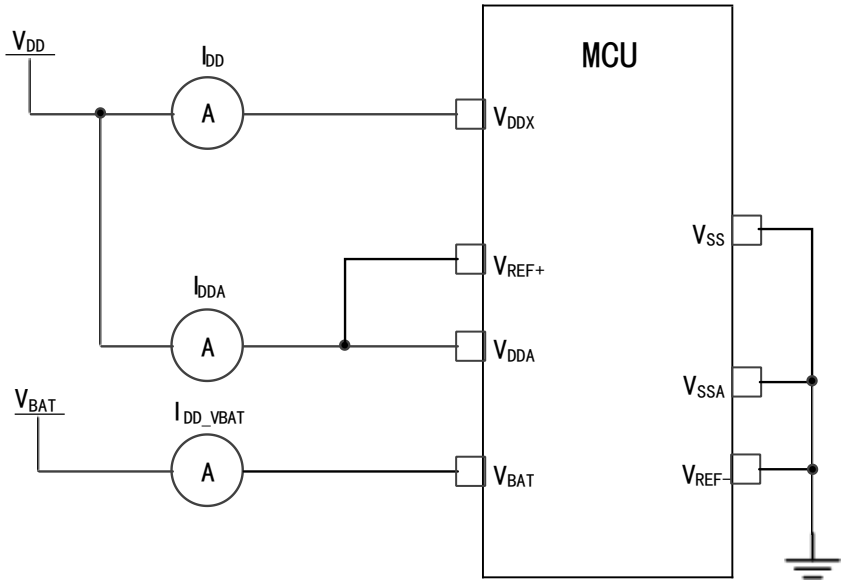


图 12 功耗测量方案



5.2 通用工作条件下的测试

表格 22 通用工作条件

符号	参数	条件	最小值	最大值	单位
f _{HCLK}	内部 AHB 时钟频率	-	-	240	MHz
f _{PCLK1}	内部 APB1 时钟频率	-	-	60	
f _{PCLK2}	内部 APB2 时钟频率	-	-	120	
V _{DD}	主电源电压	-	1.8	3.6	V
V _{DDA}	模拟电源电压 (都未使用 ADC、DAC 时)	必须与 V _{DD} 相同	1.8	2.4	
	模拟电源电压 (使用 ADC、DAC 时)		2.4	3.6	
V _{BAT}	备份域电源电压	-	1.65	3.6	
T _A	环境温度 (温度标号 6)	最大功率耗散	-40	85	°C
	环境温度 (温度标号 7)		-40	105	

表格 23 芯片启动时间

符号	参数	条件	最小值	典型值	最大值	单位
T _{start-up}	芯片启动时间	-	8	9	10	ms

5.3 绝对最大额定值

器件上的载荷如果超过绝对最大额定值,可能会导致器件永久性的损坏。这里只是给出能承受的最大载荷,不保证在此条件下器件的功能运行正常。

5.3.1 最大温度特性

表格 24 温度特性

符号	描述	数值	单位
T _{STG}	储存温度范围	-65 ~ +150	°C
T _J	最大结温度	125	

5.3.2 最大额定电压特性

所有的电源 (V_{DD}, V_{DDA}) 和地 (V_{SS}, V_{SSA}) 的引脚,必须始终连接到外部限定范围内的供电电源上。

表格 25 最大额定电压特性

符号	描述	最小值	最大值	单位
$V_{DD} - V_{SS}$	外部主供电电压	-0.3	4.0	V
V_{IN}	在 5V 容忍的引脚上的输入电压	$V_{SS}-0.3$	$V_{DD}+4$	
	在其它引脚上的输入电压	$V_{SS}-0.3$	4.0	
$ \Delta V_{DDx} $	不同供电引脚之间的电压差	-	50	mV
$ V_{SSx}-V_{SS} $	不同接地引脚之间的电压差	-	50	

5.3.3 最大额定电流特性

表格 26 电流特性

符号	描述	最大值	单位
I_{VDD}	经过 V_{DD}/V_{DDA} 电源线的总电流（供应电流） ⁽¹⁾	240	mA
I_{VSS}	经过 V_{SS} 地线的总电流（流出电流） ⁽¹⁾	240	
I_{IO}	任意 I/O 和控制引脚上的灌电流	25	
	任意 I/O 和控制引脚上的拉电流	25	
$I_{INJ(PIN)}^{(2)}$	5T 引脚的注入电流 ⁽³⁾	-5/+0	
	其他引脚的注入电流 ⁽⁴⁾	± 5	
$\Sigma I_{INJ(PIN)}^{(2)}$	所有 I/O 和控制引脚上的总注入电流 ⁽⁵⁾	± 25	

注意：

- （1）所有的电源（ V_{DD} , V_{DDA} ）和地（ V_{SS} , V_{SSA} ）必须始终在允许范围内。
- （2）流出电流会干扰器件的模拟性能。
- （3）I/O 不能进行正注入： $V_{IN} < V_{SS}$ 时， $I_{INJ(PIN)}$ 不能超过最大允许输入电流值。
- （4）如果 V_{IN} 超过最大值，必须在外部限制 $I_{INJ(PIN)}$ 不超过其最大值。当 $V_{IN} > V_{DD}$ 时，电流流入引脚；当 $V_{IN} < V_{SS}$ 时，电流流出引脚。
- （5）当几个 I/O 口同时有注入电流时， $\Sigma I_{INJ(PIN)}$ 的最大值为流入电流与流出电流的即时绝对值之和。

5.3.4 静电放电（ESD）

表格 27 ESD 绝对最大额定值⁽¹⁾

符号	参数	条件	范围	单位
$V_{ESD(HBM)}$	静电放电电压（人体模型）	$T_A = +25^\circ\text{C}$ ，符合 ANSI/ESDA/JEDEC JS-001-2017	± 4000	V
$V_{ESD(CDM)}$	静电放电电压（充电设备模型）	$T_A = +25^\circ\text{C}$ ，符合 ANSI/ESDA/JEDEC JS-002-2018	± 1000	

注意：（1）由第三方测试机构测试，不在生产中测试。

5.3.5 闩锁效应 (LU)

表格 28 闩锁效应⁽¹⁾

符号	参数	条件	类型
LU	闩锁效应类	T _A =+85℃, 符合 JEDEC JESD78F-2023	II类 A

注意: (1) 由第三方测试机构测试, 不在生产中测试。

5.4 片上存储器

5.4.1 Flash 特性

表格 29 Flash 存储器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
t _{prog}	8/16/32 位编程时间	T _A =-40~105℃ V _{DD} =2.4~3.6V	-	43	60	μs
t _{ERASE1}	页 (16KBytes) 擦除时间	T _A =-40~105℃ V _{DD} =2.4~3.6V	-	60	120	ms
t _{ERASE2}	页 (64KBytes) 擦除时间		-	250	500	
t _{ERASE3}	页 (128KBytes) 擦除时间		-	500	1000	
t _{ME}	整片擦除时间	T _A =-40~105℃ V _{DD} =2.4~3.6V	-	10	20	ms
V _{prog}	8 位编程的电压	T _A =-40~105℃	1.8	-	3.6	V
	16 位编程的电压		2.1	-	3.6	
	32/64 位编程的电压		2.7	-	3.6	

注意: (1) 由综合评估得出, 不在生产中测试。

表格 30 Flash 存储器寿命和数据保存期限⁽¹⁾

符号	参数	条件	最小值	单位
N _{END}	寿命 (擦写次数)	T _A =-40~105℃	100	kcycles
t _{RET}	数据保留	10 kcycles, T _A =125℃	10	Years

注意: (1) 由综合评估得出, 不在生产中测试。

5.5 EMC

5.5.1 电磁兼容性 EMC

表格 31 EMC

符号	参数	条件	类型
V _{ESD}	施加到所有器件引脚的电压为引起功能障碍	V _{DD} =3.3V, T _A =25℃ LQFP144, f _{HCLK} =240MHz 符合 IEC 61000-4-2 标准	3A
V _{EFT}	快速瞬态电压突发应用于通过引起功能障碍 V _{DD} 和 V _{SS} 引脚 100pf	V _{DD} =3.3V, T _A =25℃ LQFP144, f _{HCLK} =240MHz	

符号	参数	条件	类型
		符合 IEC 61000-4-4 标准	

5.5.2 电磁干扰 EMI

表格 32 EMI

符号	参数	条件	测试频率	Maxvs. [f _{HXTAL} /f _{HCLK}] 25/240 MHz	单位
SEMI	峰值检测	V _{DD} =3.6V, T _A =+25°C LQFP144, f _{HCLK} =240MHz 符合 SAE J1752-3:2017 标准	0.15MHz to 30MHz	3.60	dBμV
			30MHz to 130MHz	12.09	
			130MHz to 1GHz	8.59	

5.6 时钟

5.6.1 外部时钟源特性

5.6.1.1 晶体谐振器产生的高速外部时钟

有关晶体谐振器的详细参数（频率、封装、精度等），请咨询相应的生产厂商。

表格 33 HSECLK 4~26MHz 振荡器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f _{OSC_IN}	振荡器频率	-	4	8	26	MHz
R _F	反馈电阻	-	-	200	-	kΩ
t _{SU(HSECLK)} ⁽²⁾	启动时间	V _{DD} 是稳定的	-	-	9	ms
G _m	振荡器跨导	启动	5.65	-	-	mA/V

注意：

- （1） 由综合评估得出，不在生产中测试。
- （2） HSECLK 启动时间与晶振特性有一定关系。

5.6.1.2 晶体谐振器产生的低速外部时钟

有关晶体谐振器的详细参数（频率、封装、精度等），请咨询相应的生产厂商。

表格 34 LSECLK 振荡器特性（f_{LSECLK}=32.768kHz）⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f _{OSC_IN}	振荡器频率	-	-	32.768	-	kHz
I _{DD(LSECLK)}	LSECLK 电流消耗	-	-	-	1	μA
t _{SU(LSECLK)} ⁽²⁾	启动时间	V _{DD} 稳定	-	2	-	s

注意：

- （1） 由综合评估得出，不在生产中测试。
- （2） t_{SU(LSECLK)}是启动时间，是从软件使能 LSECLK 开始测量，直至得到稳定的32.768kHz 振荡这段时间。这个数值是使用一个标准的晶体谐振器测量得到的，它可能因晶体制造商的不同而不同。

5.6.2 内部时钟源特性

5.6.2.1 高速内部（HSICLK）RC 振荡器

表格 35 HSICLK 振荡器特性⁽¹⁾

符号	参数	条件		最小值	典型值	最大值	单位
f _{HSICLK}	频率	-		-	16	-	MHz
A _{CC} (HSICLK)	HSICLK 振荡器 的精度	工厂校 准	V _{DD} =3.3V， T _A =25℃	-1	-	1	%
			V _{DD} =2-3.6V， T _A =-40~105℃	-2	-	4	%
I _{DDA} (HSICLK)	HSICLK 振荡器 功耗	-		-	100	120	μA
t _{SU} (HSICLK)	HSICLK 振荡器 启动时间	V _{DD} =3.3V， T _A =-40~105℃		-	3.7	5	μs

注意：（1）由综合评估得出，不在生产中测试。

5.6.2.2 低速内部（LSICLK）RC 振荡器

表格 36 LSICLK 振荡器特性⁽¹⁾

符号	参数	最小值	典型值	最大值	单位
f _{LSICLK}	频率（V _{DD} =2-3.6V, T _A =-40~105°C）	20	32	40	kHz
I _{DD} (LSICLK)	LSICLK 振荡器功耗	-	0.4	0.6	μA
t _{SU} (LSICLK)	LSICLK 振荡器启动时间（V _{DD} =3.3V, T _A =-40~105°C）	-	16	40	μs

注意：（1）由综合评估得出，不在生产中测试。

5.6.3 PLL 特性

表格 37 PLL1 特性⁽¹⁾

符号	参数	数值			单位
		最小值	典型值	最大值	
f _{PLL1_IN}	PLL1 输入时钟	0.92	1	2.1	MHz
	PLL1 输入时钟占空比	40	-	60	%
f _{PLL1_OUT}	PLL1 倍频输出时钟（V _{DD} =3.3V, T _A =-40~105°C）	24	-	240	MHz
f _{PLL1_48_OUT}	PLL1 倍频输出 48MHz 时钟（V _{DD} =3.3V, T _A =-40~105°C）	-	48	75	MHz
t _{LOCK1}	PLL1 锁相时间	60	-	120	μs

注意：（1）由综合评估得出，不在生产中测试。

5.7 电源与电源管理

5.7.1 上电/掉电特性

表格 38 上电/掉电特性

符号	参数	条件	最小值	典型值	最大值	单位
t _{VDD}	V _{DD} 上升速率	-	10	-	200000	μs/V
	V _{DD} 下降速率		10	-	200000	

5.7.2 内嵌复位和电源控制模块特性测试

表格 39 内嵌复位和电源控制模块特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
V _{POR/PDR}	上电/掉电复位阈值	下降沿	1.68	1.70	1.70	V
		上升沿	1.71	1.72	1.73	
V _{BOR1}	欠压阈值级别 1	下降沿	2.19	2.21	2.24	
		上升沿	2.27	2.29	2.30	
V _{BOR2}	欠压阈值级别 2	下降沿	2.49	2.51	2.55	
		上升沿	2.56	2.58	2.59	
V _{BOR3}	欠压阈值级别 3	下降沿	2.81	2.84	2.87	
		上升沿	2.89	2.91	2.92	
V _{BORhyst}	BOR 迟滞	-	-	100	-	mV
V _{PDRhyst}	PDR 迟滞	-	-	40.00	50.00	
T _{RSTTEMPO}	复位持续时间	-	0.70	0.95	1.48	ms

注意：（1）由综合评估得出，不在生产中测试。

表格 40 可编程电源电压检测器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
V _{PVD}	可编程电源电压检测器 电平选择	PLS[2:0]=000 (上升沿)	2.14	-	2.18	V
		PLS[2:0]=000 (下降沿)	2.03	-	2.10	
		PLS[2:0]=000 (PVD 迟滞)	80.00	-	120.00	mV
		PLS[2:0]=001 (上升沿)	2.30	-	2.34	V
		PLS[2:0]=001 (下降沿)	2.18	-	2.23	
		PLS[2:0]=001 (PVD 迟滞)	90.00	-	120.00	mV
		PLS[2:0]=010 (上升沿)	2.44	-	2.48	V
		PLS[2:0]=010 (下降沿)	2.32	-	2.37	
		PLS[2:0]=010 (PVD 迟滞)	110	-	120	mV

符号	参数	条件	最小值	典型值	最大值	单 位
		PLS[2:0]=011 (上升沿)	2.58	-	2.63	V
		PLS[2:0]=011 (下降沿)	2.49	-	2.53	
		PLS[2:0]=011 (PVD 迟滞)	90	-	100	mV
		PLS[2:0]=100 (上升沿)	2.75	-	2.80	V
		PLS[2:0]=100 (下降沿)	2.64	-	2.68	
		PLS[2:0]=100 (PVD 迟滞)	110	-	120	mV
		PLS[2:0]=101 (上升沿)	2.91	-	2.97	V
		PLS[2:0]=101 (下降沿)	2.81	-	2.86	
		PLS[2:0]=101 (PVD 迟滞)	100	-	110	mV
		PLS[2:0]=110 (上升沿)	3.02	-	3.08	V
		PLS[2:0]=110 (下降沿)	2.90	-	2.96	
		PLS[2:0]=110 (PVD 迟滞)	110	-	120	mV
		PLS[2:0]=111 (上升沿)	3.12	-	3.19	V
		PLS[2:0]=111 (下降沿)	3.00	-	3.07	
		PLS[2:0]=111 (PVD 迟滞)	110	-	120	mV

注意：（1）由综合评估得出，不在生产中测试。

5.8 功耗

5.8.1 功耗测试环境

- （1） 执行 Dhrystone2.1，编译环境为 Keil.V5，编译优化等级为 L0 条件下测得的。
- （2） 所有的 I/O 引脚都处于模拟输入模式，并连接到一个静态电平 V_{DD} 或 V_{SS} （无负载）。
- （3） 除非特别说明，所有的外设都关闭。
- （4） Flash 等待周期的设置与 f_{HCLK} 的关系：
 - 0~30MHz：0 个等待周期
 - 30~60MHz：1 个等待周期
 - 60~90MHz：2 个等待周期
 - 90~120MHz：3 个等待周期
 - 120~150MHz：4 个等待周期
 - 150~180MHz：5 个等待周期
 - 180~210MHz：6 个等待周期
 - 210~240MHz：7 个等待周期
- （5） 当外设开启时： $f_{PCLK1}=f_{HCLK}/4$ ， $f_{PCLK2}=f_{HCLK}/2$

5.8.2 运行模式功耗

表格 41 程序在 Flash（FACC 开）执行，运行模式的功耗

参数	条件	f _{HCLK}	典型值 ⁽¹⁾		最大值 ⁽¹⁾	
			T _A =25℃, V _{DD} =3.3V		T _A =105℃, V _{DD} =3.6V	
			I _{DDA} (μA)	I _{DD} (mA)	I _{DDA} (μA)	I _{DD} (mA)
运行模式 功耗	HSECLK bypass ⁽²⁾ , 使能所有 外设 ⁽³⁾	240MHz	1000	72.5	1000	84
		210MHz	900	70.5	920	80
		180MHz	820	69	840	76
		168MHz	751.56	67.70	802.2	74.02
		144MHz	693.94	52.75	745.2	57.66
		120MHz	637.4	44.49	691.1	49.39
		90MHz	780.88	34.37	831.7	39.375
		60MHz	636.86	23.86	689.6	28.7
		30MHz	636.62	13.29	689.4	18.099
		25MHz	115.372	10.83	127.76	15.627
		16MHz	115.418	7.21	127.93	11.905
		8MHz	115.36	3.93	127.77	8.587
		4MHz	115.328	2.31	127.78	6.967
		2MHz	115.36	1.49	127.82	6.17
	HSECLK bypass ⁽²⁾ , 关闭所有 外设	240MHz	1000	43.1	1000	54
		210MHz	900	38	920	48
		180MHz	820	32	840	40
		168MHz	750.88	28.35	801.4	34.352
		144MHz	692.84	22.02	744.7	26.958
		120MHz	636.82	18.54	691.1	23.48
		90MHz	779.8	14.45	831.9	19.302
		60MHz	636.52	10.04	689.8	14.924
		30MHz	636.4	5.75	690.2	10.563
		25MHz	115.318	4.38	128.66	9.115
		16MHz	115.344	3.01	128.44	7.673
		8MHz	115.358	1.86	127.8	6.481
		4MHz	115.348	1.27	127.84	5.93
		2MHz	115.36	0.99	127.86	5.645

注意:

- (1) 由综合评估得出，不在生产中测试。
- (2) 外部时钟为 4MHz，当 $f_{HCLK} > 25\text{MHz}$ 时，开启 PLL；否则关闭 PLL。
- (3) 当 ADC、DAC、HSECLK、LSECLK、HSICLK、LSICLK 等模拟外设打开时，需要考虑额外的功耗。

表格 42 程序在 Flash（FACC 关）执行，运行模式的功耗

参数	条件	f_{HCLK}	典型值 ⁽¹⁾		最大值 ⁽¹⁾	
			$T_A=25^{\circ}\text{C}$, $V_{DD}=3.3\text{V}$		$T_A=105^{\circ}\text{C}$, $V_{DD}=3.6\text{V}$	
			$I_{DDA}(\mu\text{A})$	$I_{DD}(\text{mA})$	$I_{DDA}(\mu\text{A})$	$I_{DD}(\text{mA})$
运行模式功耗	HSECLK bypass ⁽²⁾ ，使能所有外设 ⁽³⁾	240MHz	1000	69.5	1000	81
		210MHz	900	67.6	920	77
		180MHz	820	66	840	73
		168MHz	751.66	64.25	802	70.52
		144MHz	693.58	51.09	745.3	56.05
		120MHz	637.26	43.99	690.2	48.92
		90MHz	780.86	34.91	831.4	39.971
		60MHz	636.78	25.02	689.4	29.894
		30MHz	636.66	14.33	689	19.315
		25MHz	115.362	11.80	127.72	16.725
		16MHz	115.362	7.83	127.75	12.527
		8MHz	115.35	4.27	127.8	8.994
		4MHz	115.35	2.45	127.88	7.13
		2MHz	115.362	1.57	127.76	6.279
	HSECLK bypass ⁽²⁾ ，关闭所有外设	240MHz	1000	40.1	1000	51
		210MHz	900	35	920	45
		180MHz	820	29	840	37
		168MHz	750.94	24.71	801.4	30.851
		144MHz	692.82	20.21	744.7	25.179
		120MHz	636.76	17.96	689.8	22.905
		90MHz	780.46	15.03	831.6	20.009
		60MHz	636.46	11.19	689.8	16.127
		30MHz	636.38	6.79	689.9	11.675
		25MHz	115.33	5.26	128.5	10.148
		16MHz	115.32	3.65	127.96	8.458
		8MHz	115.364	2.14	127.82	6.8
		4MHz	115.35	1.43	127.68	6.114

参数	条件	f _{HCLK}	典型值 ⁽¹⁾		最大值 ⁽¹⁾	
			T _A =25℃, V _{DD} =3.3V		T _A =105℃, V _{DD} =3.6V	
			I _{DDA} (μA)	I _{DD} (mA)	I _{DDA} (μA)	I _{DD} (mA)
		2MHz	115.532	1.07	127.9	5.815

注意:

- (1) 由综合评估得出, 不在生产中测试。
- (2) 外部时钟为 4MHz, 当 f_{HCLK}>25MHz 时, 开启 PLL; 否则关闭 PLL。
- (3) 当 ADC、DAC、HSECLK、LSECLK、HSICLK、LSICLK 等模拟外设打开时, 需要考虑额外的功耗。

表格 43 程序在 RAM 中执行, 运行模式的功耗

参数	条件	f _{HCLK}	典型值 ⁽¹⁾		最大值 ⁽¹⁾	
			T _A =25℃, V _{DD} =3.3V		T _A =105℃, V _{DD} =3.6V	
			I _{DDA} (μA)	I _{DD} (mA)	I _{DDA} (μA)	I _{DD} (mA)
运行模式功耗	HSECLK bypass ⁽²⁾ , 使能所有外设 ⁽³⁾	240MHz	1000	77.7	1000	89
		210MHz	900	74	920	84
		180MHz	820	72	840	80
		168MHz	752.14	70.29	803.8	76.51
		144MHz	693.74	54.73	745.5	59.73
		120MHz	637.6	46.22	690.4	51.16
		90MHz	781	35.67	832	40.53
		60MHz	637.02	24.70	689.8	29.646
		30MHz	636.74	13.74	689.2	18.596
		25MHz	115.42	11.23	127.85	16.02
		16MHz	115.374	7.42	127.88	12.204
		8MHz	115.37	4.05	127.81	8.836
		4MHz	115.376	2.38	127.72	7.124
		2MHz	115.347	1.53	127.76	6.267
	HSECLK bypass ⁽²⁾ , 关闭所有外设	240MHz	1000	49.35	1000	59
		210MHz	900	42	920	51
		180MHz	820	36	840	45
		168MHz	751.38	31.03	802.4	37.286
		144MHz	693	24.11	744.7	29.106
		120MHz	636.88	20.30	689.8	25.226
		90MHz	780.56	15.81	931.6	20.743
		60MHz	636.68	10.92	690	15.802

参数	条件	f _{HCLK}	典型值 ⁽¹⁾		最大值 ⁽¹⁾	
			T _A =25℃, V _{DD} =3.3V		T _A =105℃, V _{DD} =3.6V	
			I _{DDA} (μA)	I _{DD} (mA)	I _{DDA} (μA)	I _{DD} (mA)
		30MHz	636.62	6.19	689.7	11.021
		25MHz	115.364	4.75	128.42	9.478
		16MHz	115.348	3.26	128.79	8.067
		8MHz	115.378	1.97	127.76	6.706
		4MHz	115.364	1.33	127.73	6.037
		2MHz	115.34	1.02	127.74	5.703

注意:

- (1) 由综合评估得出, 不在生产中测试。
- (2) 外部时钟为 4MHz, 当 f_{HCLK}>25MHz 时, 开启 PLL; 否则关闭 PLL。
- (3) 当 ADC、DAC、HSECLK、LSECLK、HSICLK、LSICLK 等模拟外设打开时, 需要考虑额外的功耗。

5.8.3 睡眠模式功耗

表格 44 程序在 Flash (FACC 关) 中执行, 睡眠模式下的功耗

参数	条件	f _{HCLK}	典型值 ⁽¹⁾		最大值 ⁽¹⁾	
			T _A =25℃, V _{DD} =3.3V		T _A =105℃, V _{DD} =3.6V	
			I _{DDA} (μA)	I _{DD} (mA)	I _{DDA} (μA)	I _{DD} (mA)
睡眠模式功耗	HSECLK bypass ⁽²⁾ , 使能所有外设	240MHz	1000	59	1000	71
		210MHz	900	57	920	67
		180MHz	820	55	840	63
		168MHz	751.34	54.18	802.1	60.33
		144MHz	693.26	42.25	745	47.12
		120MHz	637.24	35.75	689.8	40.53
		90MHz	780.6	27.69	831.2	32.539
		60MHz	636.72	19.33	689.2	24.149
		30MHz	636.46	11.02	689.2	15.8
		25MHz	115.356	8.96	127.77	13.7
		16MHz	115.34	5.99	127.71	10.68
		8MHz	115.334	3.33	127.78	8.01
		4MHz	115.332	2.00	127.84	6.669
		2MHz	115.352	1.34	127.82	6.017
	HSECLK bypass ⁽²⁾ , 关闭所有外设	240MHz	1000	20.7	1000	31
		210MHz	900	17	920	26

参数	条件	f _{HCLK}	典型值 ⁽¹⁾		最大值 ⁽¹⁾	
			T _A =25°C, V _{DD} =3.3V		T _A =105°C, V _{DD} =3.6V	
			I _{DDA} (μA)	I _{DD} (mA)	I _{DDA} (μA)	I _{DD} (mA)
		180MHz	820	15	840	22
		168MHz	750.52	13.91	801	19.858
		144MHz	692.58	10.82	743.9	15.637
		120MHz	636.46	9.20	689	13.987
		90MHz	780.24	7.44	830.6	12.206
		60MHz	636.42	5.33	689	10.067
		30MHz	636.36	3.38	688.8	8.099
		25MHz	115.374	2.41	127.84	7.075
		16MHz	115.346	1.79	127.74	6.459
		8MHz	115.354	1.23	127.83	5.914
		4MHz	115.36	0.96	127.86	5.63
		2MHz	115.422	0.83	127.84	5.535

注意:

- (1) 由综合评估得出，不在生产中测试。
- (2) 外部时钟为 4MHz，当 f_{HCLK}>25MHz 时，开启 PLL；否则关闭 PLL。

5.8.4 停机模式功耗

表格 45 停机模式功耗

条件		典型值 ⁽¹⁾ , (T _A =25°C)			最大值 ⁽¹⁾ , (V _{DD} =3.6V)
		V _{DD} =2.4V	V _{DD} =3.3V	V _{DD} =3.6V	T _A =105°C
		I _{DDA} +I _{DD} (mA)	I _{DDA} +I _{DD} (mA)	I _{DDA} +I _{DD} (mA)	I _{DDA} +I _{DD} (mA)
调压器处于运行模式，所有振荡器处于关闭状态	Flash 停止模式，RC 内部振荡器和高速振荡器关闭（无独立看门狗）	0.5	0.55	0.58	20
调压器处于运行模式，所有振荡器处于关闭状态	Flash 掉电模式，RC 内部振荡器和高速振荡器关闭（无独立看门狗）	0.4	0.45	0.48	20.5

条件		典型值 ⁽¹⁾ , (T _A =25°C)			最大值 ⁽¹⁾ , (V _{DD} =3.6V)
		V _{DD} =2.4V	V _{DD} =3.3V	V _{DD} =3.6V	T _A =105°C
		I _{DDA} +I _{DD} (mA)	I _{DDA} +I _{DD} (mA)	I _{DDA} +I _{DD} (mA)	I _{DDA} +I _{DD} (mA)
调压器处于低功耗模式，所有振荡器处于关闭状态	Flash 停止模式，RC 内部振荡器和高速振荡器关闭（无独立看门狗）	0.3	0.35	0.38	18.5
调压器处于低功耗模式，所有振荡器处于关闭状态	Flash 掉电模式，RC 内部振荡器和高速振荡器关闭（无独立看门狗）	0.28	0.32	0.35	19

注意：（1）由综合评估得出，不在生产中测试。

5.8.5 待机模式功耗

表格 46 待机模式功耗

条件		典型值 ⁽¹⁾ , (T _A =25°C)						最大值 ⁽¹⁾ , (V _{DD} =3.6V)	
		V _{DD} =2.4V		V _{DD} =3.3V		V _{DD} =3.6V		T _A =105°C	
		I _{DDA} (μA)	I _{DD} (μA)	I _{DDA} (μA)	I _{DD} (μA)	I _{DDA} (μA)	I _{DD} (μA)	I _{DDA} (μA)	I _{DD} (μA)
待机模式下的电源电流	备份 SRAM 打开，低速振荡器和 RTC 打开	2.15	8.38	2.56	9.73	2.83	10.19	3.76	59.39
	备份 SRAM 关闭，低速振荡器和 RTC 打开	2.15	3.52	2.62	4.46	2.81	5.11	3.48	32.00
	备份 SRAM 打开，RTC 关闭	2.13	7.33	2.62	8.24	2.81	8.64	3.45	58.24
	备份 SRAM 关闭，RTC 关闭	2.13	2.51	2.61	3.31	2.78	3.68	3.45	19.20

注意：（1）由综合评估得出，不在生产中测试。

5.8.6 外设功耗

外设功耗 = 使能该外设时钟的电流 - 禁止该外设的时钟的电流。

表格 47 外设功耗

参数	外设	典型值 ⁽¹⁾ T _A =25°C, V _{DD} =3.3V			单位
		240MHz	168MHz	144MHz	
AHB1（最高 240MHz）	DMA1	7	5.4	4.21	mA
	DMA2	7.5	5.56	4.3	

参数	外设	典型值 ⁽¹⁾ T _A =25℃, V _{DD} =3.3V			单位
		240MHz	168MHz	144MHz	
	ETH	4	3	2.35	
	GPIOA	0.4	0.32	0.25	
	GPIOB	0.4	0.31	0.24	
	GPIOC	0.4	0.32	0.24	
	GIOD	0.4	0.3	0.23	
	GPIOE	0.4	0.31	0.25	
	GPIOF	0.4	0.33	0.26	
	GPIOG	0.4	0.3	0.24	
	GPIOH	0.4	0.3	0.24	
	CRC	0.04	0.03	0.03	
AHB2（最高 240MHz）	OTG_FS1	4	3.12	2.41	mA
	OTG_FS2	4	3.12	2.41	
	RNG	0.2	0.16	0.12	
	QSPI	-	-	-	
AHB3（最高 240MHz）	EMMC	2.2	1.68	1.3	mA
APB1（最高 60MHz）	TMR2	0.6	0.46	0.36	mA
	TMR3	0.6	0.35	0.27	
	TMR4	0.6	0.34	0.27	
	TMR5	0.6	0.46	0.35	
	TMR6	0.2	0.08	0.07	
	TMR7	0.2	0.08	0.06	
	TMR12	0.3	0.19	0.15	
	TMR13	0.3	0.14	0.11	
	TMR14	0.3	0.14	0.1	
	WWDT	0.03	0.02	0.02	
	SPI2	0.2	0.12	0.1	
	SPI3	0.2	0.12	0.1	
	USART2	0.15	0.11	0.09	
	USART3	0.18	0.12	0.09	
	UART4	0.15	0.11	0.08	
	UART5	0.15	0.11	0.08	
	I2C1	0.16	0.12	0.09	

参数	外设	典型值 ⁽¹⁾ T _A =25℃, V _{DD} =3.3V			单位
		240MHz	168MHz	144MHz	
	I2C2	0.16	0.12	0.09	
	I2C3	0.16	0.12	0.1	
	CAN1	0.24	0.18	0.14	
	CAN2	0.24	0.16	0.13	
	PMU	0.01	0.01	0.01	
	DAC	0.12	0.08	0.06	
APB2 (最高 120MHz)	SDIO	0.6	0.41	0.32	mA
	TMR1	1.2	0.99	0.77	
	TMR8	1.2	0.97	0.77	
	TMR9	0.7	0.41	0.32	
	TMR10	0.4	0.27	0.21	
	TMR11	0.4	0.26	0.22	
	ADC1	0.35	0.27	0.22	
	ADC2	0.35	0.27	0.22	
	ADC3	0.35	0.28	0.23	
	SPI1	0.15	0.12	0.11	
	USART1	0.3	0.22	0.18	
	USART6	0.3	0.21	0.18	
	SYSCFG	0.05	0.05	0.05	

注意：（1）由综合评估得出，不在生产中测试。

5.8.7 备份域功耗

表格 48 V_{BAT} 功耗

符号	参数	条件	典型值 ⁽¹⁾ , T _A =25℃		最大值 ⁽¹⁾ , V _{BAT} =3.6V		单位
			V _{BAT} =2.4V	V _{BAT} =3.3V	T _A =85℃	T _A =105℃	
I _{DD_VBAT}	LSECLK、RTC 处于开启状态	备用 SRAM 开启，低速振荡器和 RTC 开启	1.894	2.262	6	11	μA
		备用 SRAM 关闭，低速振荡器和 RTC 开启	1.08	1.412	3	5	
		备用 SRAM 开启，RTC 关闭	0.926	1.116	5	10	
		备用 SRAM 关闭，RTC 关闭	0.02	0.128	2	4	

注意：（1）由综合评估得出，不在生产中测试。

5.9 低功耗模式唤醒时间

低功耗唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令的时间，其中 $V_{DD}=V_{DDA}$ 。

表格 49 低功耗唤醒时间⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
$t_{WUSLEEP}$	从睡眠模式唤醒	-	39.00	59	61.20	ns
t_{WUSTOP}	从停机模式唤醒	调压器处于运行模式，Flash 在停止模式	12.51	13.602	14.99	μs
		调压器处于低功耗模式，Flash 在停止模式	15.51	19.552	22.93	
		调压器处于运行模式，Flash 在深度掉电模式	125.63	133.156	135.16	
		调压器处于低功耗模式，Flash 在深度掉电模式	133.52	136.956	139.60	
$t_{WUSTDBY}$	从待机模式唤醒	-	8	9	10	ms

注意：（1）由综合评估得出，不在生产中测试。

5.10 I/O 端口特性

表格 50 直流特性（ $T_A=-40^{\circ}C\sim 105^{\circ}C, V_{DD}=2\sim 3.6V$ ）⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	输入低电平电压	5T 和 5Tf I/O	-	-	$0.3V_{DD}$	V
V_{IH}	输入高电平电压	5T 和 5Tf I/O	$0.7V_{DD}$	-	-	
V_{hys}	施密特触发器迟滞	STD、STDA 和 5T、5Tf I/O	$10\%V_{DD}$	-	-	mV
		Boot0 引脚	0.1	-	-	
I_{IKG}	输入漏电流	数字模式下 STDA, $V_{DDIOX} \leq V_{IN} \leq V_{DDA}$	-	-	± 1	μA
		5T 和 5Tf I/O, $V_{DDIOX} \leq V_{IN} \leq 5V$	-	-	3	
R_{PU}	弱上拉等效电阻	除 PA10 和 PB12, $V_{IN}=V_{SS}$	30	40	50	k Ω
		PA10 和 PB12	7	10	14	
R_{PD}	弱下拉等效电阻	除 PA10 和 PB12, $V_{IN}=V_{DD}$	30	40	50	
		PA10 和 PB12	7	10	14	
C_{IO}	I/O 电容	-	-	5	-	pF

注意：（1）由综合评估得出，不在生产中测试。

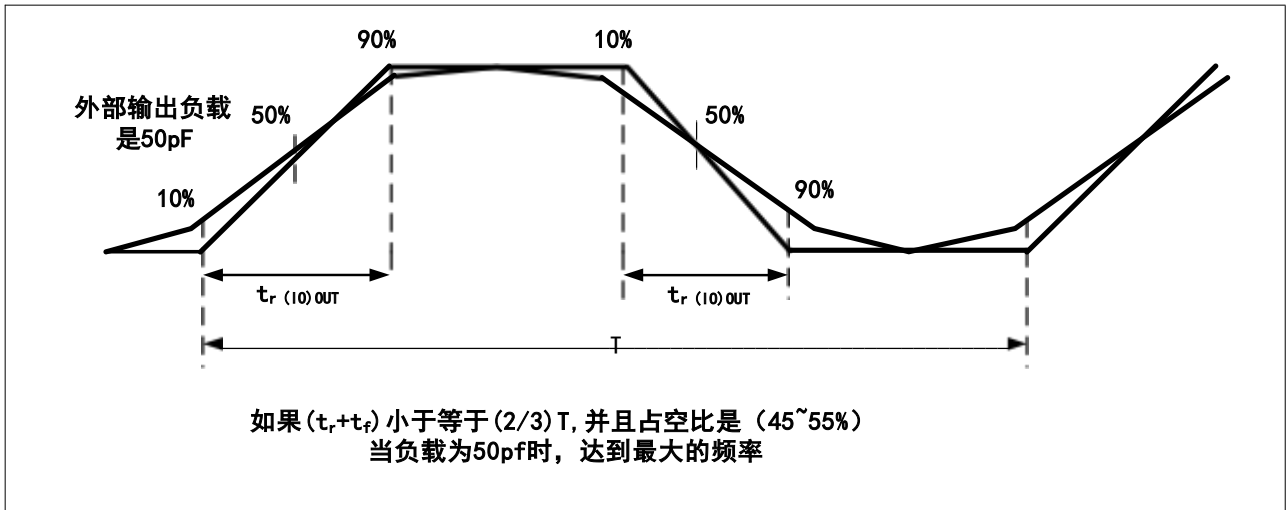
表格 51 交流特性（ $T_A=-40^{\circ}C\sim 105^{\circ}C$ ）⁽¹⁾

SPEED[1:0]	符号	参数	条件	最小值	最大值	单位
00	$f_{max(I/O)out}$	最大频率	$C_L=50pF, V_{DD}>2.7V$	-	4	MHz

SPEED[1:0]	符号	参数	条件	最小值	最大值	单位
			$C_L=50\text{pF}, V_{DD}>1.8\text{V}$	-	2	
			$C_L=10\text{pF}, V_{DD}>2.7\text{V}$	-	8	
			$C_L=10\text{pF}, V_{DD}>1.8\text{V}$	-	4	
	$t_{r(I/O)out}/t_{f(I/O)out}$	输出高至低电平的下降时间和输出低至高电平的上升时间	$C_L=50\text{ pF}, V_{DD}=1.8\text{ V}-3.6\text{V}$	-	100	ns
01	$f_{max(I/O)out}$	最大频率	$C_L=50\text{pF}, V_{DD}>2.7\text{V}$	-	25	MHz
			$C_L=50\text{pF}, V_{DD}>1.8\text{V}$	-	12.5	
			$C_L=10\text{pF}, V_{DD}>2.7\text{V}$	-	50	
			$C_L=10\text{pF}, V_{DD}>1.8\text{V}$	-	20	
	$t_{r(I/O)out}/t_{f(I/O)out}$	输出高至低电平的下降时间和输出低至高电平的上升时间	$C_L=30\text{pF}, V_{DD}>2.7\text{V}$	-	10	ns
			$C_L=30\text{pF}, V_{DD}>1.8\text{V}$	-	20	
			$C_L=10\text{pF}, V_{DD}>2.7\text{V}$	-	6	
			$C_L=10\text{pF}, V_{DD}>1.8\text{V}$	-	10	
10	$f_{max(I/O)out}$	最大频率	$C_L=30\text{pF}, V_{DD}>2.7\text{V}$	-	50	MHz
			$C_L=30\text{pF}, V_{DD}>1.8\text{V}$	-	25	
			$C_L=10\text{pF}, V_{DD}>2.7\text{V}$	-	100	
			$C_L=10\text{pF}, V_{DD}>1.8\text{V}$	-	50	
	$t_{r(I/O)out}/t_{f(I/O)out}$	输出高至低电平的下降时间和输出低至高电平的上升时间	$C_L=30\text{pF}, V_{DD}>2.7\text{V}$	-	6	ns
			$C_L=30\text{pF}, V_{DD}>1.8\text{V}$	-	10	
			$C_L=10\text{pF}, V_{DD}>2.7\text{V}$	-	4	
			$C_L=10\text{pF}, V_{DD}>1.8\text{V}$	-	6	
11	$f_{max(I/O)out}$	最大频率	$C_L=30\text{pF}, V_{DD}>2.7\text{V}$	-	100	MHz
			$C_L=30\text{pF}, V_{DD}>1.8\text{V}$	-	50	
			$C_L=10\text{pF}, V_{DD}>2.7\text{V}$	-	180	
			$C_L=10\text{pF}, V_{DD}>1.8\text{V}$	-	100	
	$t_{r(I/O)out}/t_{f(I/O)out}$	输出高至低电平的下降时间和输出低至高电平的上升时间	$C_L=30\text{pF}, V_{DD}>2.7\text{V}$	-	4	ns
			$C_L=30\text{pF}, V_{DD}>1.8\text{V}$	-	6	
			$C_L=10\text{pF}, V_{DD}>2.7\text{V}$	-	2.5	
			$C_L=10\text{pF}, V_{DD}>1.8\text{V}$	-	4	
-	$t_{EINTIpw}$	EINT 控制器检测到的外部信号的脉冲宽度	-	10	-	

注意：（1）由综合评估得出，不在生产中测试。

图 13 输入输出交流特性定义

表格 52 输出驱动电压特性 ($T_A = -40^{\circ}\text{C} \sim 105^{\circ}\text{C}$) ⁽¹⁾

符号	参数	条件	最小值	最大值	单位
V_{OL}	I/O 引脚输出低电平电压	CMOS 端口, $ I_{IO} =8\text{mA}$, $2.7\text{V} < V_{DD} < 3.6\text{V}$	-	0.4	V
V_{OH}	I/O 引脚输出高电平电压		$V_{DD}-0.4$	-	
V_{OL}	I/O 引脚输出低电平电压	TTL 端口, $ I_{IO} =8\text{mA}$, $2.7\text{V} < V_{DD} < 3.6\text{V}$	-	0.4	
V_{OH}	I/O 引脚输出高电平电压		2.4	-	
V_{OL}	I/O 引脚输出低电平电压	$ I_{IO} =20\text{mA}$, $2.7\text{V} < V_{DD} < 3.6\text{V}$	-	1.3	V
V_{OH}	I/O 引脚输出高电平电压		$V_{DD}-1.3$	-	
V_{OL}	I/O 引脚输出低电平电压	$ I_{IO} =6\text{mA}$, $2.7\text{V} < V_{DD} < 3.6\text{V}$	-	0.4	
V_{OH}	I/O 引脚输出高电平电压		$V_{DD}-0.4$	-	

注意: (1) 由综合评估得出, 不在生产中测试。

5.11 NRST 引脚特性

NRST 引脚输入驱动采用 CMOS 工艺, 它连接了一个永久性上拉电阻 R_{PU} 。

表格 53 NRST 引脚特性 ($T_A = -40 \sim 105^{\circ}\text{C}$, $V_{DD} = 2 \sim 3.6\text{V}$)

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL}(\text{NRST})$	NRST 输入低电平电压	TTL 端口, $2.7\text{V} \leq V_{DD} \leq 3.6\text{V}$	-	-	0.8	V
$V_{IH}(\text{NRST})$	NRST 输入高电平电压		2	-	-	
$V_{IL}(\text{NRST})$	NRST 输入低电平电压	CMOS 端口, $1.8\text{V} \leq V_{DD} \leq 3.6\text{V}$	-	-	$0.3V_{DD}$	
$V_{IH}(\text{NRST})$	NRST 输入高电平电压		$0.7V_{DD}$	-	-	
$V_{hys}(\text{NRST})$	NRST 施密特触发器电压迟滞	-	-	200	-	mV
R_{PU}	弱上拉等效电阻	$V_{IN} = V_{SS}$	30	40	50	k Ω

符号	参数	条件	最小值	典型值	最大值	单位
$V_{F(NRST)}$	NRST 输入滤波脉冲	-	-	-	100	ns
$V_{NF(NRST)}$	NRST 输入未过滤的脉冲	$V_{DD}>2.7V$	300	-	-	
T_{NRST_OUT}	产生的复位脉冲持续时间	重置内部来源	20	-	-	μs

5.12 通信外设

5.12.1 I2C 外设特性

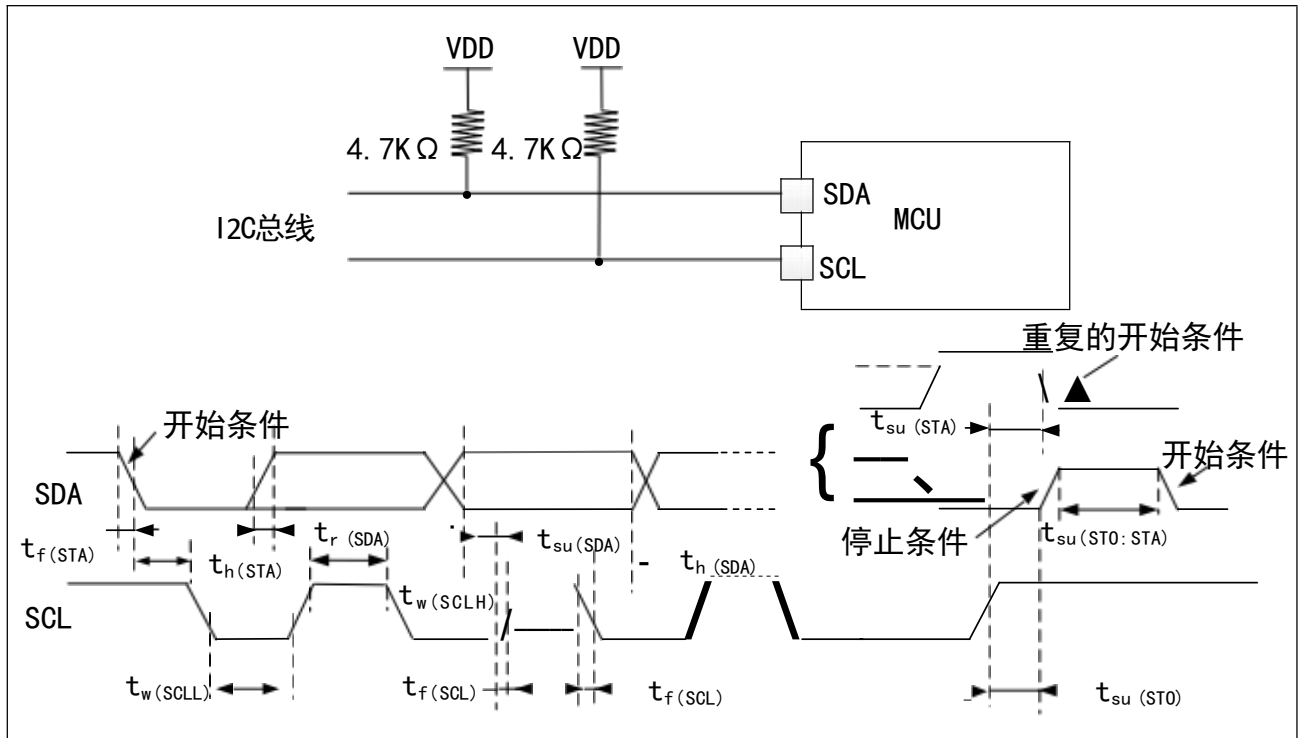
为达到标准模式 I2C 的最大频率， f_{PCLK1} 必须大于 2MHz。为达到快速模式 I2C 的最大频率， f_{PCLK1} 必须大于 4MHz。

表格 54 I2C 接口特性 ($T_A=-40^{\circ}C\sim 105^{\circ}C, V_{DD}=3.3V$) ⁽¹⁾

符号	参数	标准 I2C		快速 I2C		单位
		最小值	最大值	最小值	最大值	
$t_{w(SCLL)}$	SCL 时钟低时间	4.7	-	1.3	-	μs
$t_{w(SCLH)}$	SCL 时钟高时间	4.0	-	0.6	-	
$t_{su(SDA)}$	SDA 建立时间	250	-	100	-	ns
$t_h(SDA)$	SDA 数据保持时间	0	-	0	900	
$t_r(SDA)/t_r(SCL)$	SDA 和 SCL 上升时间	-	1000	$20+0.1C_b$	300	
$t_f(SDA)/t_f(SCL)$	SDA 和 SCL 下降时间	-	300	-	300	
$t_h(STA)$	开始条件保持时间	4.0	-	0.6	-	μs
$t_{su(STA)}$	重复的开始条件建立时间	4.7	-	0.6	-	
$t_{su(STO)}$	停止条件建立时间	4.0	-	0.6	-	
$t_w(STO:STA)$	停止条件至开始条件的时间（总线空闲）	4.7	-	1.3	-	
C_b	每条总线的容性负载	-	400	-	400	pF

注意：（1）由综合评估得出，不在生产中测试。

图 14 总线交流波形和测量电路



注意：测量点设置于 CMOS 电平：0.3V_{DD} 和 0.7V_{DD}。

5.12.2 SPI 外设特性

表格 55 SPI 特性 (T_A=−40℃~105℃, V_{DD}=3.3V) (1)

符号	参数	条件	最小值	最大值	单位
f _{SCK}	SPI 时钟频率	主模式, SPI1, 2.7V<V _{DD} <3.6V	-	60	MHz
		从模式, SPI1, 2.7V<V _{DD} <3.6V	-	60	
1/t _{Q(SCK)}		主模式, SPI1/2/3, 1.7V<V _{DD} <3.6V	-	30	
		从模式, SPI1/2/3, 1.7V<V _{DD} <3.6V	-	30	
t _{r(SCK)} t _{f(SCK)}	SPI 时钟上升和下降时间	负载电容: C=15pF	-	6	ns
t _{su(NSS)}	NSS 建立时间	从模式	4T _{PCLK}	-	
t _{h(NSS)}	NSS 保持时间	从模式	2T _{PCLK} + 10	-	
t _{w(SCKH)} t _{w(SCKL)}	SCK 高和低的时间	主模式, f _{PCLK} =36MHz, 预分频系数=4	T _{PCLK} /2-2	T _{PCLK} /2+1	
t _{su(MI)} t _{su(SI)}	数据输入建立时间	主模式	4	-	
		从模式	5	-	

符号	参数	条件	最小值	最大值	单位
$t_{h(MI)}$	数据输入保持时间	主模式	4	-	
$t_{h(SI)}$		从模式	5	-	
$t_{a(SO)}$	数据输出访问时间	从模式, $f_{PCLK}=20MHz$	0	$3T_{PCLK}$	
$t_{dis(SO)}$	数据输出禁止时间	从模式	0	18	
$t_{v(SO)}$	数据输出有效时间	从模式 (使能边沿之后)	-	22.5	
$t_{v(MO)}$	数据输出有效时间	主模式 (使能边沿之后)	-	6.97	
$t_{h(SO)}$	数据输出保持时间	从模式 (使能边沿之后)	11.5	-	
$t_{h(MO)}$		主模式 (使能边沿之后)	1	-	
$DuCy_{(SCK)}$	SPI 时钟频率占空比	从模式	25	75	%

注意：（1）由综合评估得出，不在生产中测试。

图 15 SPI 时序图—从模式和 CPHA=0

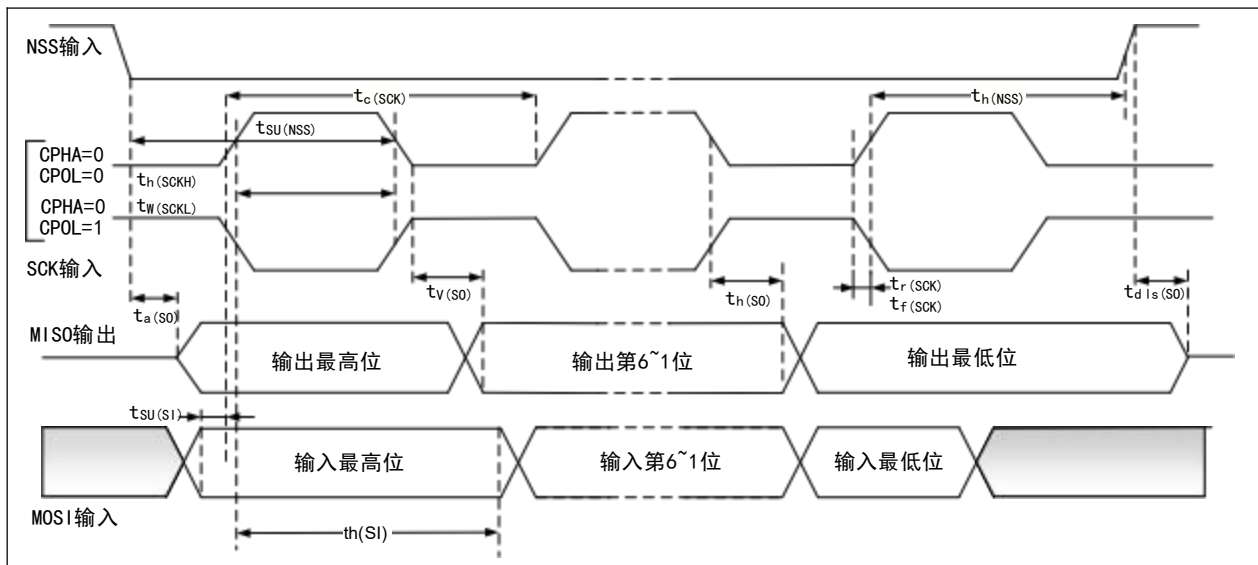
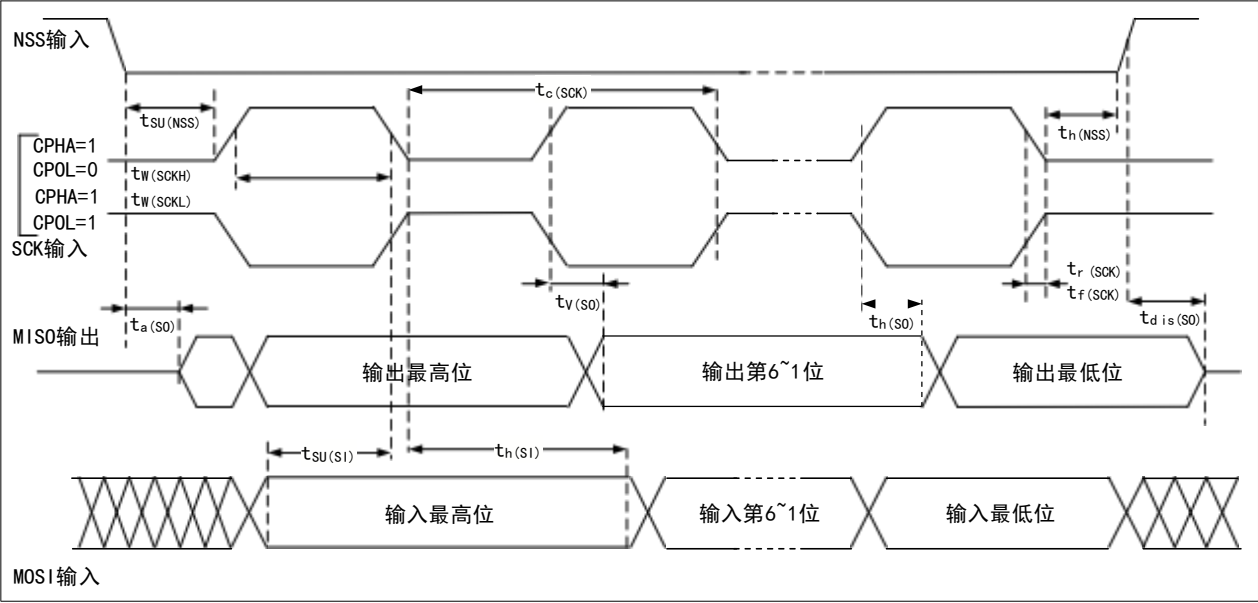
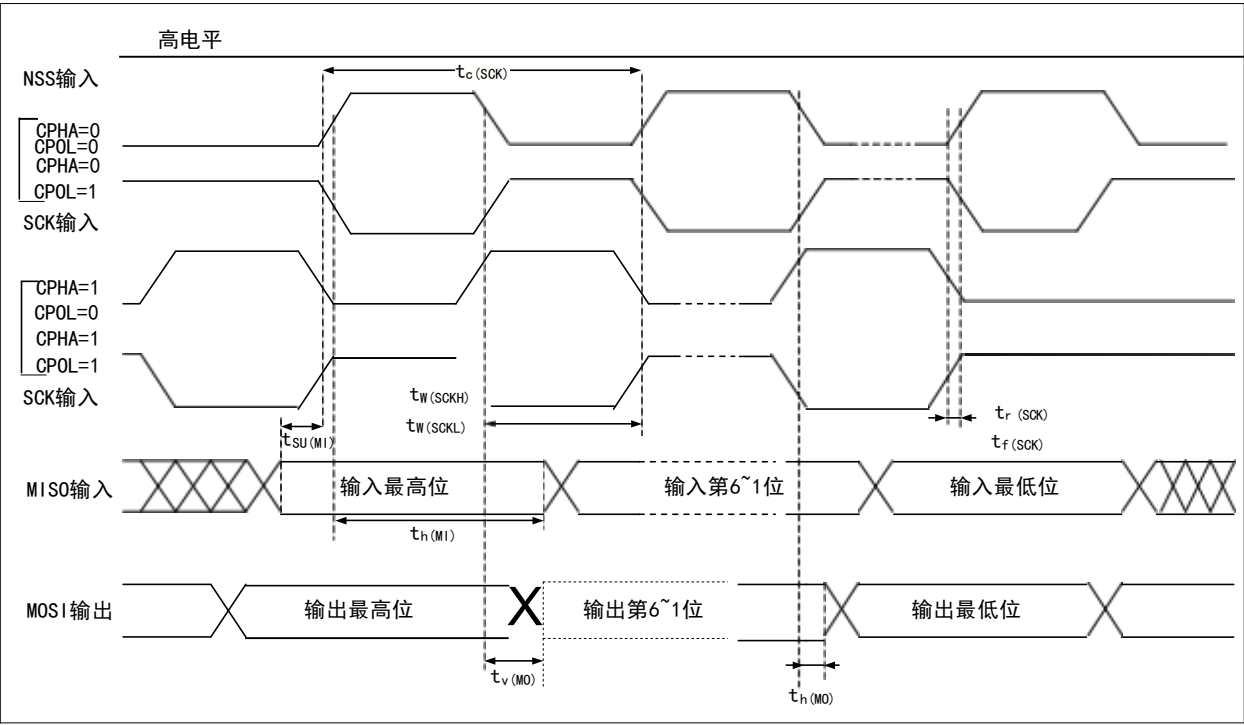


图 16 SPI 时序图—从模式和 CPHA=1



注意：测量点设置于 CMOS 电平：0.3V_{DD} 和 0.7V_{DD}。

图 17 SPI 时序图—主模式



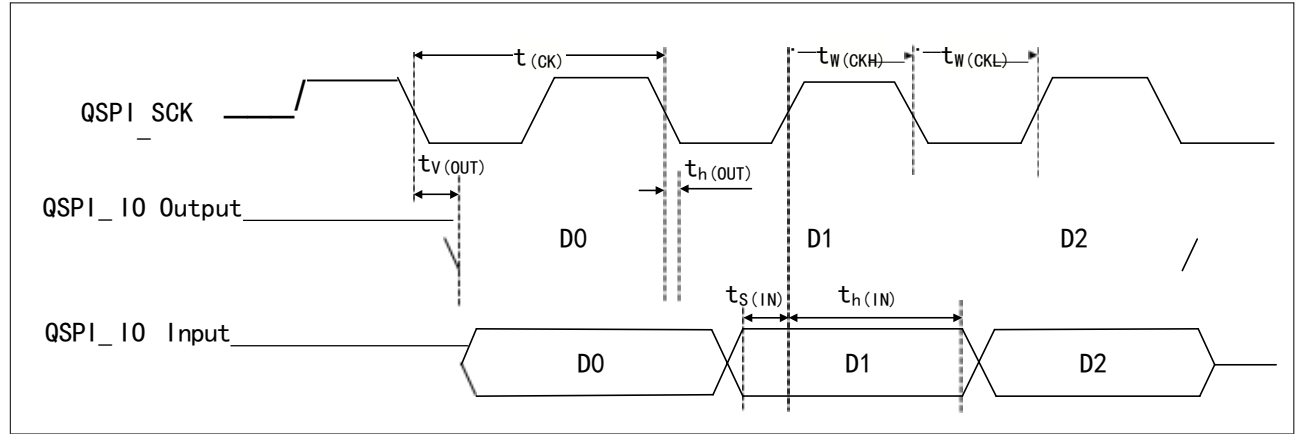
注意：测量点设置于 CMOS 电平：0.3V_{DD} 和 0.7V_{DD}。

5.12.3 QSPI 外设特性

表格 56 QSPI 特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{SCK} $1/t_{(CK)}$	QSPI 时钟频率	-	-	-	120	MHz
$t_{W(CKH)}$	QSPI 时钟高和低的时间	-	$(t_{(CK)} / 2) - 2$	-	$t_{(CK)} / 2$	ns
$t_{W(CKL)}$		-	$t_{(CK)} / 2$	-	$t_{(CK)/2} + 2$	
$t_{S(IN)}$	数据输入建立时间	-	2	-	-	
$t_{H(IN)}$	数据输入保持时间	-	4.5	-	-	
$t_{V(OUT)}$	数据输出有效时间	-	-	1.5	3	
$t_{H(OUT)}$	数据输出保持时间	-	0	-	-	

图 18 QSPI 时序图



5.13 模拟外设

5.13.1 ADC

测试参数说明:

- 采样率: ADC 每秒进行的模拟量转数字量的次数
- 采样率=ADC 时钟 / (采样周期数 + 转换周期数)

5.13.1.1 12 位 ADC 特性

表格 57 12 位 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压	-	1.8	-	3.6	V
I_{DDA}	ADC 功耗	-	-	2.0	2.8	mA
f_{ADC}	ADC 频率	$V_{DDA}=1.8\sim2.6V$	0.6	15	18	MHz
		$V_{DDA}=2.6\sim3.6V$	0.6	20	40	

符号	参数	条件	最小值	典型值	最大值	单位
		$V_{DDA}=3.0\sim 3.6V$	0.6	30	60	
C_{ADC}	内部采样和保持电容	-	-	4	-	pF
R_{ADC}	采样电阻	-	-	-	6000	Ω
t_s	采样时间	$f_{ADC}=60MHz$	0.05	-	8	μs
		-	3	-	480	$1/f_{ADC}$
T_{CONV}	总转换时间（包括采样时间）	$f_{ADC}=30MHz$ 12 位分辨率	0.25	-	8.2	μs
		$f_{ADC}=30MHz$ 10 位分辨率	0.217	-	8.17	μs
		$f_{ADC}=30MHz$ 8 位分辨率	0.18	-	8.13	μs
		$f_{ADC}=30MHz$ 6 位分辨率	0.15	-	8.1	μs
F_s	采样率	$f_{ADC}=30MHz$ 12 位分辨率	0.12	-	4	MSPS
		$f_{ADC}=30MHz$ 10 位分辨率	0.122	-	4.6	
		$f_{ADC}=30MHz$ 8 位分辨率	0.123	-	5.45	
		$f_{ADC}=30MHz$ 6 位分辨率	0.124	-	6.67	
I_{Vref}	转换模式下，ADC Vref 直流功耗	-	-	150	250	μA
V_{AIN}	ADC 模拟输入	-	0	-	V_{DDA}	V
V_{REFP}	正参考电压	-	1.8	-	V_{DDA}	V
V_{REFN}	负参考电压	-	-	V_{SSA}	-	V
t_{SU}	启动时间 (ADC 使能到转换开始标志置起的时间，默认主频 16M)	-	-	2	3	μs

表格 58 12 位 ADC 精度⁽¹⁾

符号	参数	条件	典型值	最大值	单位
E_T	综合误差	$f_{PCLK}=120MHz,$ $f_{ADC}=30MHz,$ $V_{DDA}=2.6V\sim 3.6V,$	± 2	± 5	LSB
E_O	偏移误差		± 1.5	± 2.5	
E_G	增益误差		± 1.5	± 3	
E_D	微分线性误差		± 1	± 2	

符号	参数	条件	典型值	最大值	单位
EL	积分线性误差	$T_A = -40^{\circ}\text{C} \sim 105^{\circ}\text{C}$	± 1.5	± 3	

注意：（1）由综合评估得出，不在生产中测试。

表格 59 ADC 动态精度

Dynamic accuracy (ADC 动态精度)	条件	最小值	典型值	最大值	单位
ENOB (有效位数)	Temperature=25°C	-	10.5	-	bit
SNDR (信号对噪声及失真比)	条件 1: $V_{DDA}=V_{REFP}=3.3\text{V}$	-	67.3	-	DB
SNR (信噪比)	$f_{\text{ADC}}=30\text{MHz}$	-	70.3	-	
THD (总谐波失真)	Input Frequency=110kHz 条件 2: $V_{DDA}=V_{REFP}=2.6\text{V}$ $f_{\text{ADC}}=30\text{MHz}$ Input Frequency=50kHz	-	-75	-	

5.13.1.2 温度传感器特性

表格 60 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
$T_L^{(1)}$	V_{TS} 相对于温度的线性度 ($T_A = -40 \sim 85^{\circ}\text{C}$)	-	± 1	± 2	$^{\circ}\text{C}$
	V_{TS} 相对于温度的线性度 ($T_A = -40 \sim 105^{\circ}\text{C}$)	-	-	± 3	
Slope ⁽¹⁾	平均斜率 ($V_{DD}=3.3\text{V}$, $T_A = -40 \sim 85^{\circ}\text{C}$)	2.34	2.47	2.6	$\text{mV}/^{\circ}\text{C}$
V_{25}	在 25°C 时的电压 ($V_{DD}=2.0\sim 3.6\text{V}$)	0.7	0.76	0.82	V
$T_{S_temp}^{(2)}$	当读取温度时, ADC 采样时间	10	-	-	μs

注意:

- （1）由综合评估得出，不在生产中测试。
- （2）最短的采样时间可以由应用程序通过多次循环决定。

5.13.1.3 内置参考电压特性测试

表格 61 内置参考电压特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
V_{REFINT}	内置参照电压	$-40^{\circ}\text{C} < T_A < +105^{\circ}\text{C}$	1.19	1.20	1.20	V
$T_{S_vrefint}$	当读出内部参照电压时, ADC 的采样时间	-	10	-	-	μs
V_{RERINT}	内置参考电压扩展到温度范围	$V_{DD}=3\text{V}$	-	3	5	mV
T_{coeff}	温度系数	-	-	30	50	$\text{ppm}/^{\circ}\text{C}$

注意：（1）由综合评估得出，不在生产中测试。

5.13.2 DAC

表格 62 DAC 特性⁽¹⁾

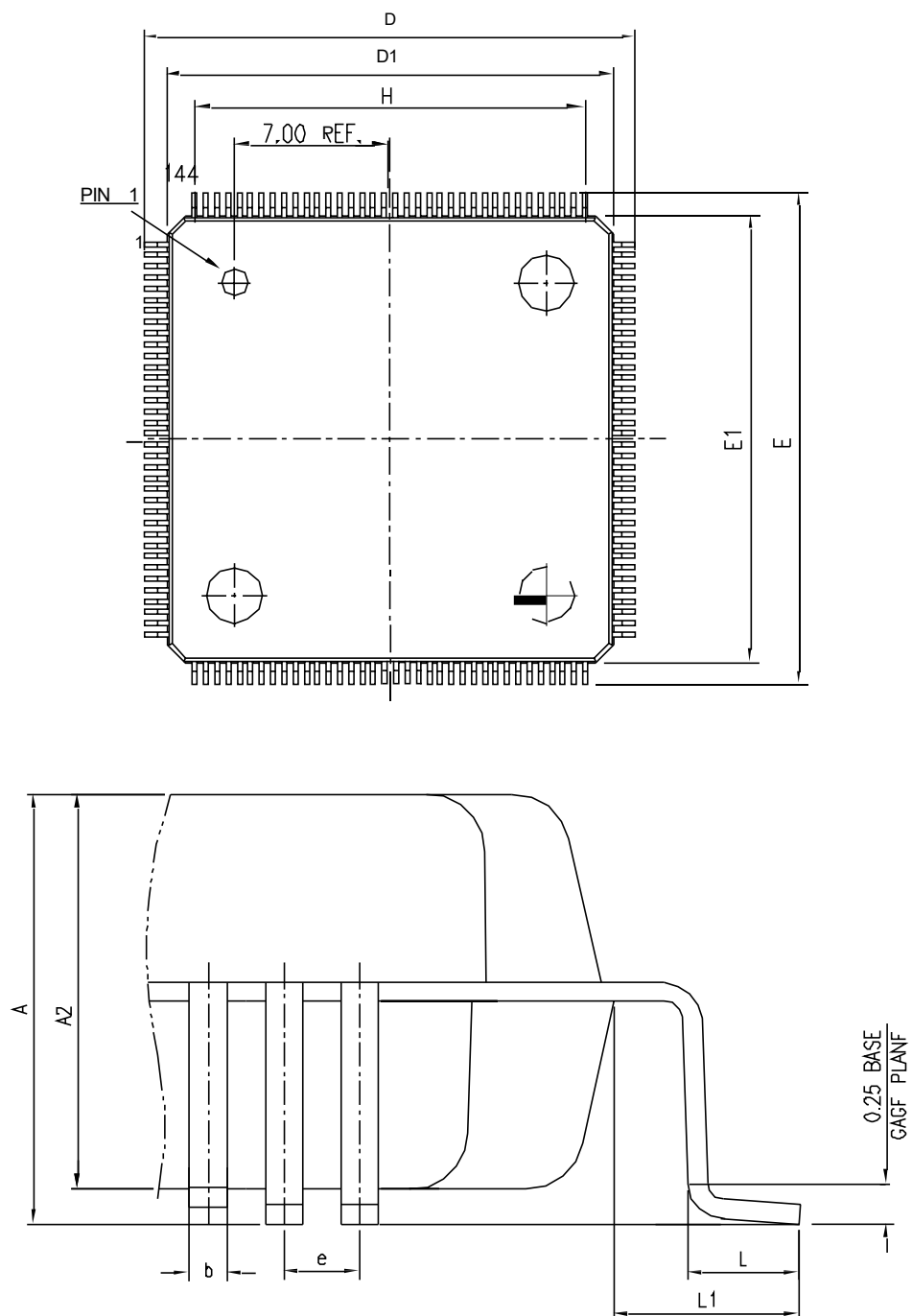
符号	参数	条件	最小值	典型值	最大值	单位
V _{DDA}	模拟电源电压	-	1.8	-	3.6	V
R _{LOAD}	阻性负载	缓冲器打开	5	-	-	kΩ
R _O	输出阻抗	缓冲器关闭, DAC_OUT 和 V _{SS} 之间的阻性负载是 1.5MΩ	-	-	15	
C _{LOAD}	容性负载	缓冲器打开, 在 DAC_OUT 引脚处的最大容性负载	-	-	50	pF
DAC_OUT Min	带缓冲器低 DAC_OUT 电压	DAC 的最大输出偏移, 对应于 12 位输入代码 (0x0E0) 到 V _{REF+} =3.6V 处的 (0xF1C) 和 V _{REF+} =1.8V 处的 (0x1C7) 和 (0xE38)	0.3	-	-	V
DAC_OUT Max	更高的带缓冲器的 DAC_OUT 电压		-	-	V _{DDA} -0.3	
DAC_OUT Min	不带缓冲器低 DAC_OUT 电压	DAC 的最大输出偏移	-	0.5	-	mV
DAC_OUT Max	更高的不带缓冲器的 DAC_OUT 电压		-	-	V _{REF+} -1LSB	V
DNL	微分非线性误差	配置 12 位 DAC	-	-	±2	LSB
INL	积分非线性误差	配置 12 位 DAC	-	-	±4	LSB
Offset	偏移误差	V _{REF+} =3.6V, 配置 12 位 DAC	-	-	±12	LSB
Gain Error	增益误差	配置 12 位 DAC	-	-	±0.5	%

注意: (1) 由综合评估得出, 不在生产中测试。

6 封装信息

6.1 LQFP144 封装信息

图 19 LQFP144 封装图



注意:

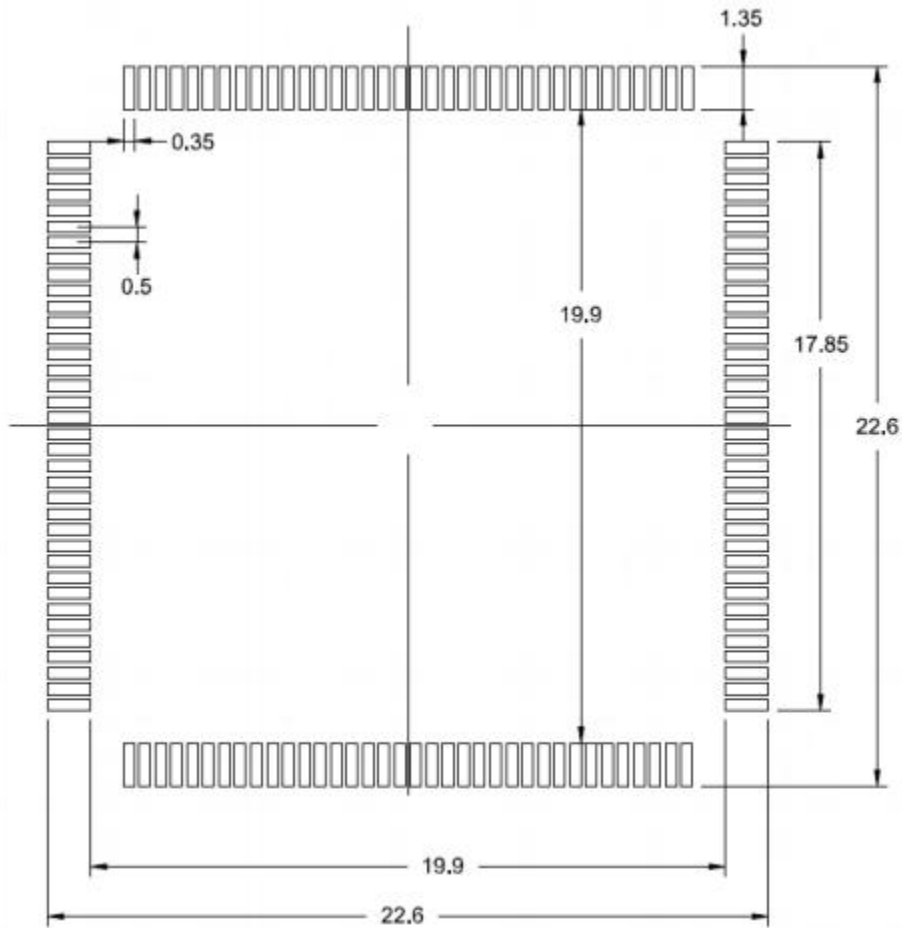
- (1) 图不是按照比例绘制。
- (2) 所有的引脚都应该焊接在 PCB 上。

表格 63 LQFP144 封装数据

S/N	SYM	DIMENSIONS	REMARKS
1	A	MAX. 1.600	OVERALL HEIGHT
2	A2	1.400±0.050	PKG THICKNESS
3	D	22.000±0.200	LEAD TIP TO TIP
4	D1	20.000±0.100	PKG LENGTH
5	E	22.000±0.200	LEAD TIP TO TIP
6	E1	20.000±0.100	PKG WIDTH
7	L	0.600±0.150	FOOT LENGTH
8	L1	1.000 REF	LEAD LENGTH
9	e	0.500 BASE	LEAD PITCH
10	H (REF)	(17.50)	CUM LEAD PITCH
11	b	0.22±0.050	LEAD WIDTH

注意：尺寸以毫米表示。

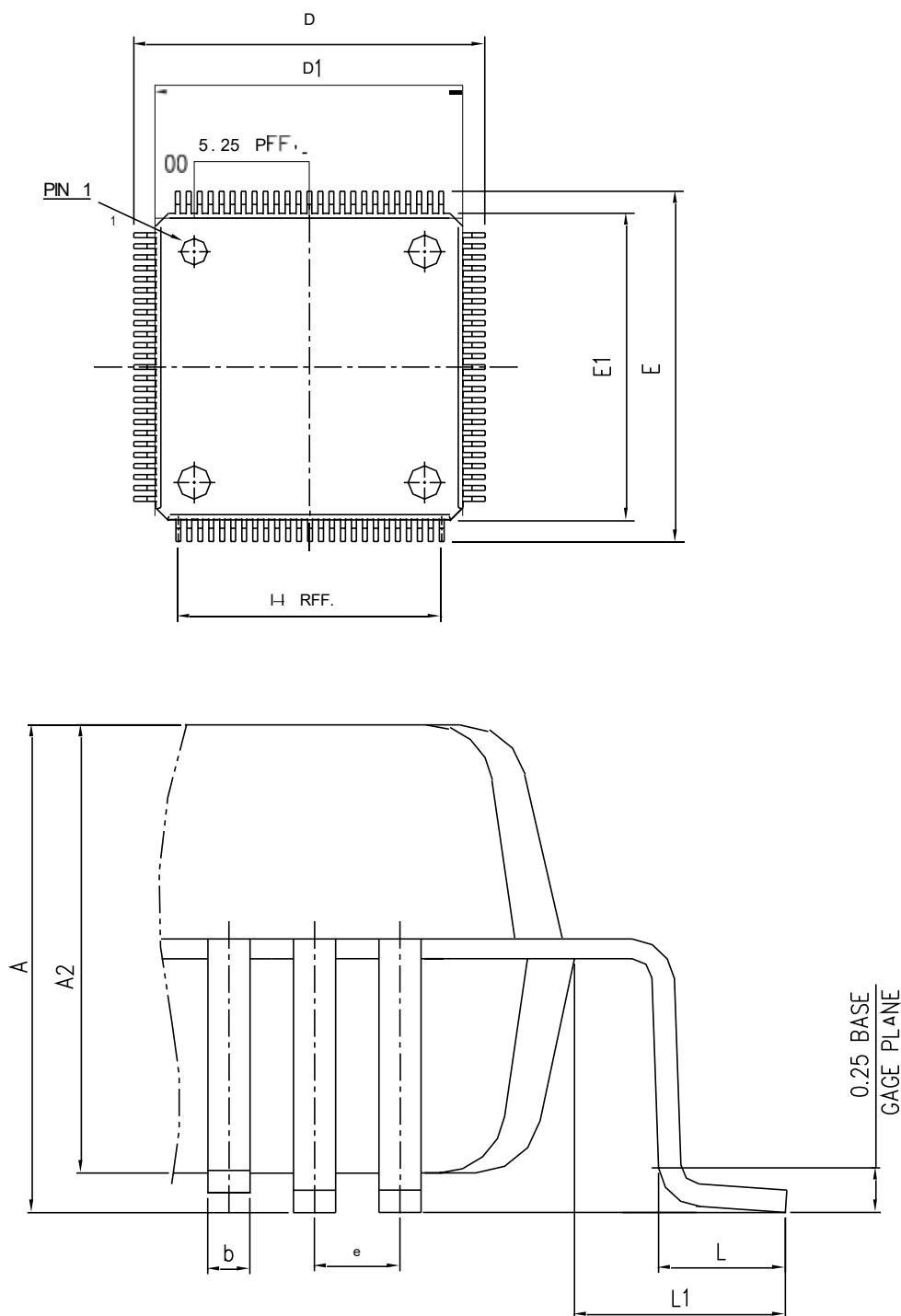
图 20 LQFP144 焊接 Layout 建议



注意：尺寸以毫米表示。

6.2 LQFP100 封装信息

图 21 LQFP100 封装图



注意:

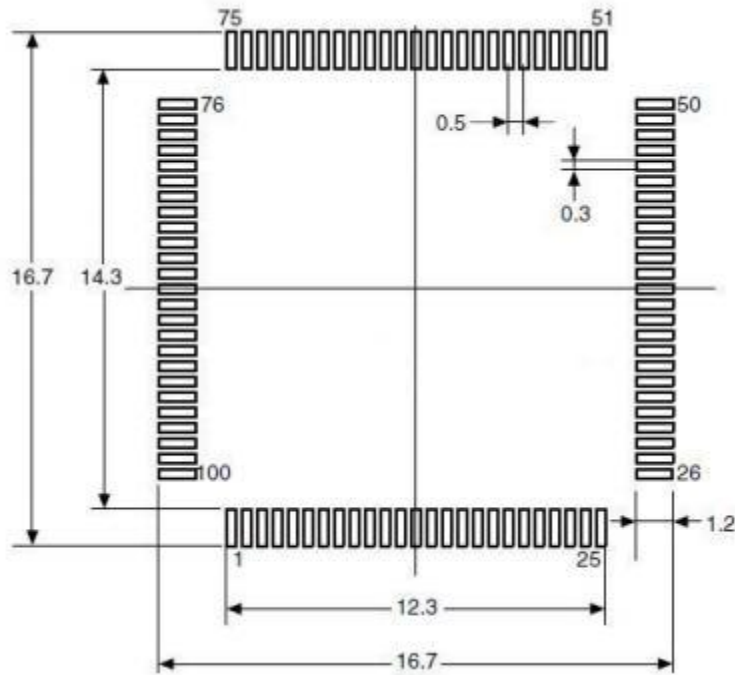
- (1) 图不是按照比例绘制。
- (2) 所有的引脚都应该焊接在 PCB 上。

表格 64 LQFP100 封装数据

DIMENSION LIST (FOOTPRINT: 2.00)			
S/N	SYM	DIMENSIONS	REMARKS
1	A	MAX. 1.600	OVERALL HEIGHT
2	A2	1.400±0.050	PKG THICKNESS
3	D	16.000±0.200	LEAD TIP TO TIP
4	D1	14.000±0.100	PKG LENGTH
5	E	16.000±0.200	LEAD TIP TO TIP
6	E1	14.000±0.100	PKG WIDTH
7	L	0.600±0.150	FOOT LENGTH
8	L1	1.000 REF	LEAD LENGTH
9	e	0.500 BASE	LEAD PITCH
10	H (REF)	(12.00)	CUM LEAD PITCH
11	b	0.22±0.050	LEAD WIDTH

注意：尺寸以毫米表示。

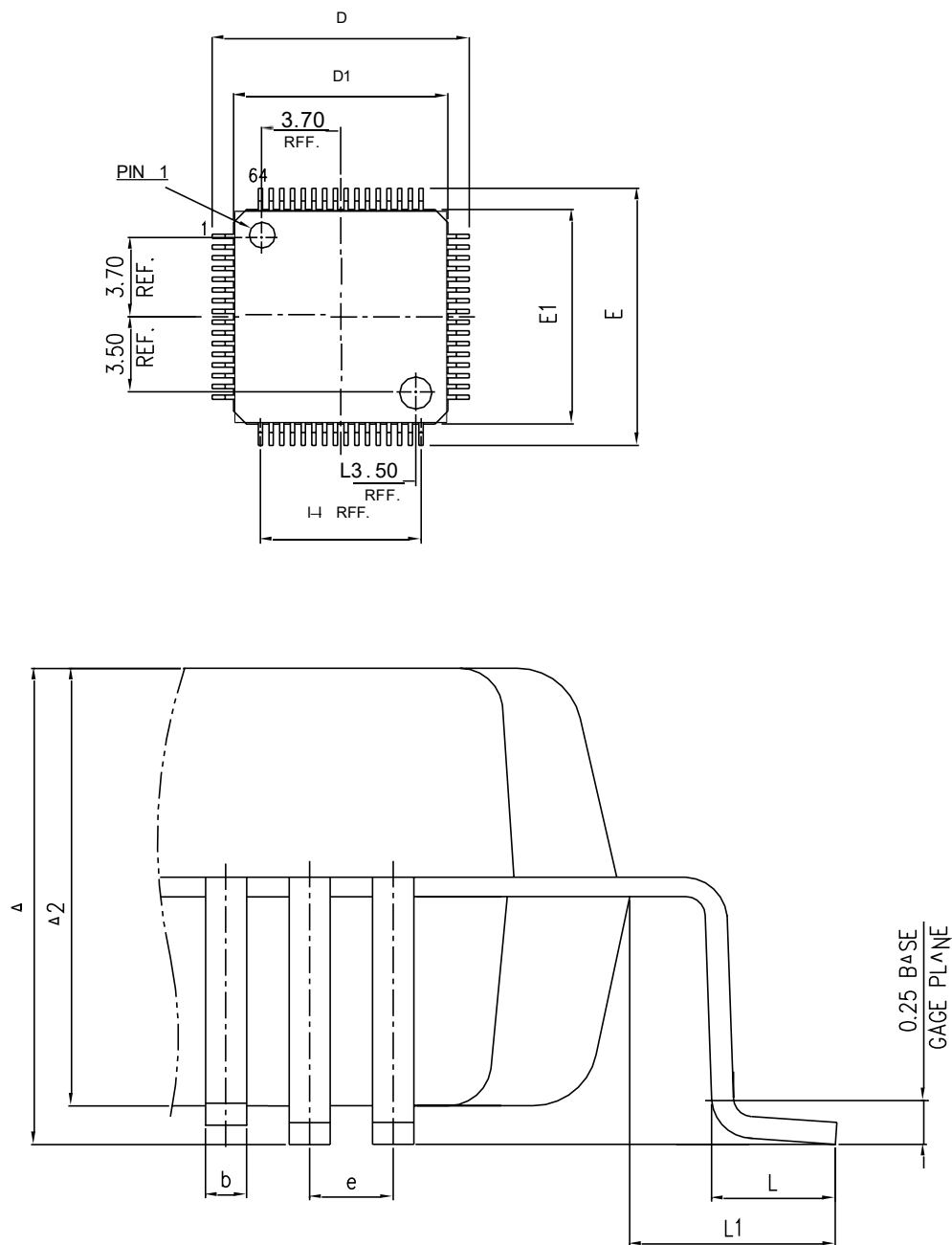
图 22 LQFP100 焊接 Layout 建议



注意：尺寸以毫米表示。

6.3 LQFP64 封装信息

图 23 LQFP64 封装图



注意:

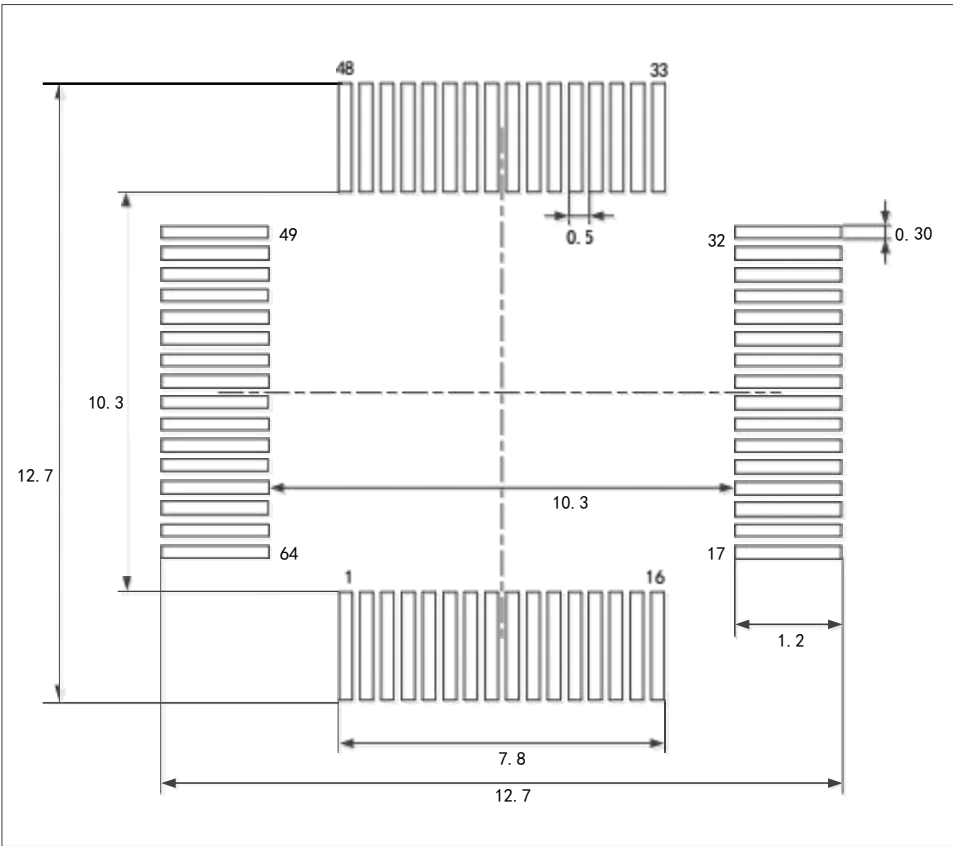
- (1) 图不是按照比例绘制。
- (2) 所有的引脚都应该焊接在 PCB 上。

表格 65 LQFP64 封装数据

S/N	SYM	DIMENSIONS	REMARKS
1	A	MAX.1.600	OVERALL HEIGHT
2	A2	1.400±0.050	PKG THICKNESS
3	D	12.000±0.200	LEAD TIP TO TIP
4	D1	10.000±0.100	PKG LENGTH
5	E	12.000±0.200	LEAD TIP TO TIP
6	E1	10.000±0.100	PKG WIDTH
7	L	0.600±0.150	FOOT LENGTH
8	L1	1.000REF.	LEAD LENGTH
9	e	0.500BASE	LEAD PITCH
10	H(REF)	(7.500)	CUM LEAD PITCH
11	b	0.220±0.050	LEAD WIDTH

注意：尺寸以毫米表示。

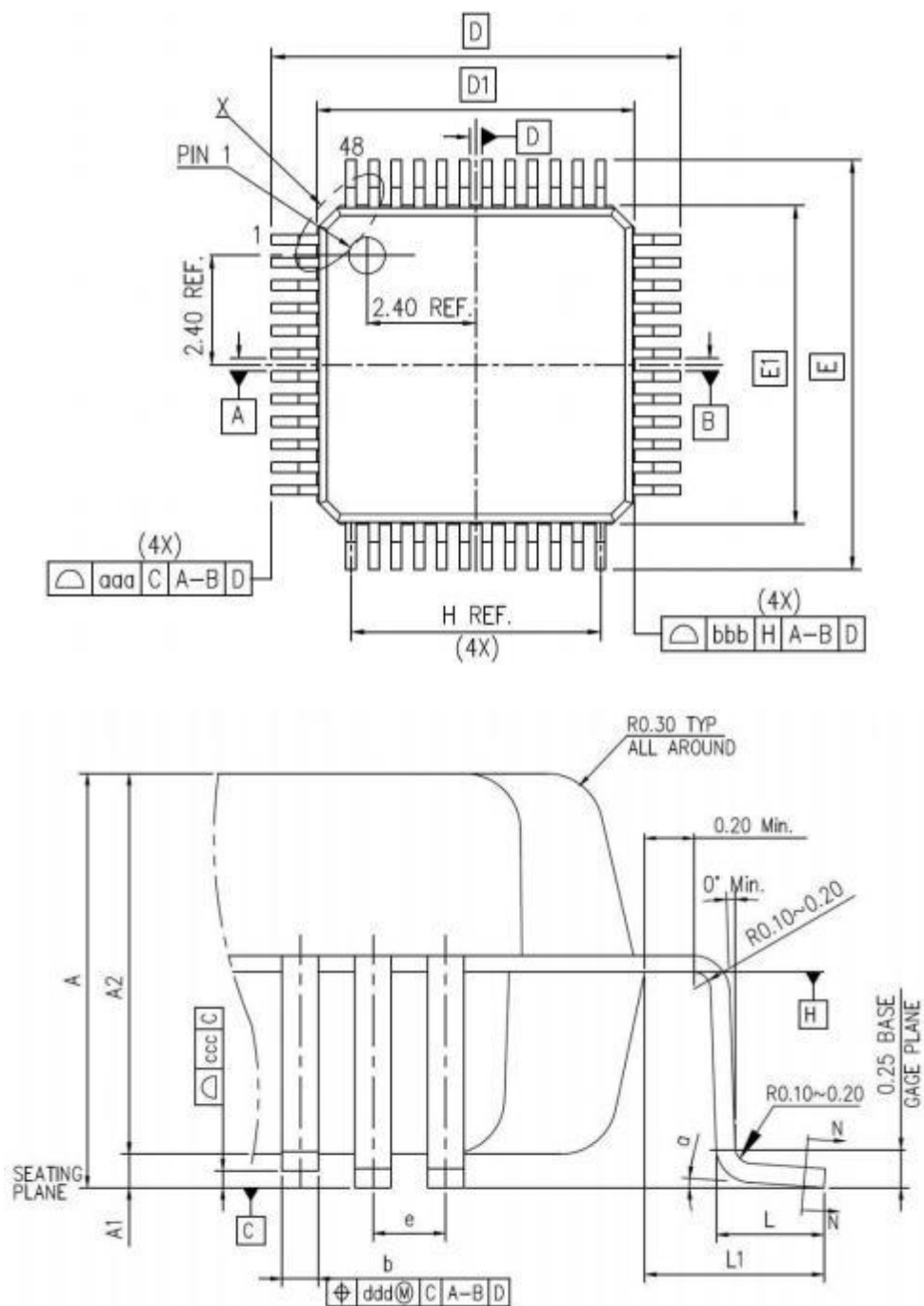
图 24 LQFP64 焊接 Layout 建议



注意：尺寸单位为毫米。

6.4 LQFP48 封装信息

图 25 LQFP48 封装图



注意:

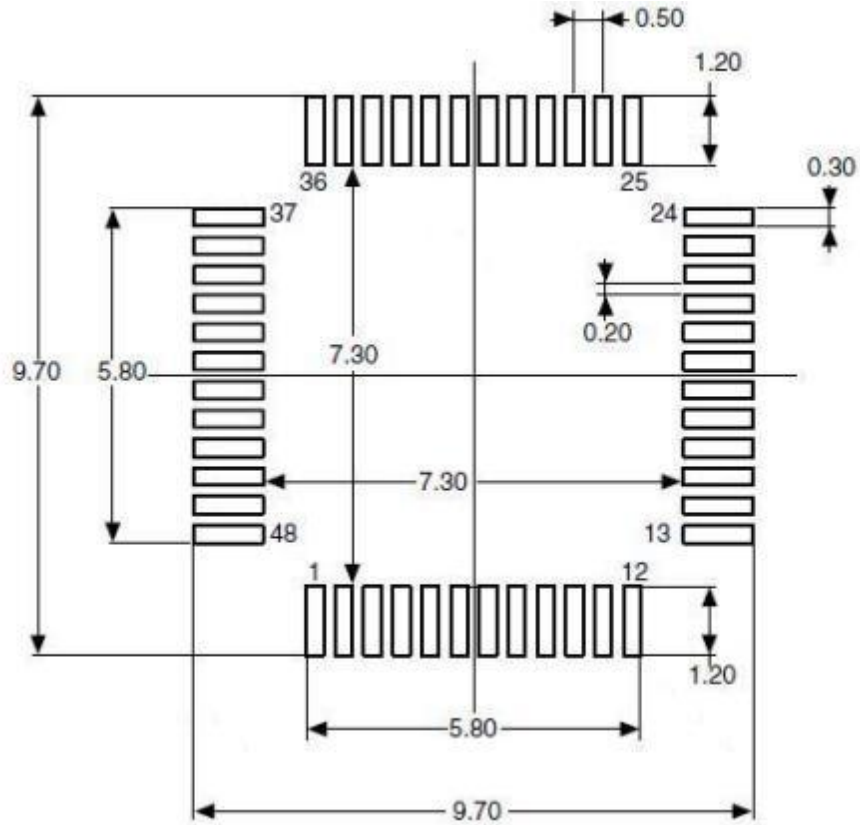
- (1) 图不是按照比例绘制。
- (2) 所有的引脚都应该焊接在 PCB 上。

表格 66 LQFP48 封装数据

DIMENSION LIST (FOOTPRINT: 2.00)			
S/N	SYM	DIMENSIONS	REMARKS
1	A	MAX. 1.60	OVERALL HEIGHT
2	A1	0.1±0.05	STANDOFF
3	A2	1.40±0.05	PKG THICKNESS
4	D	9.00±0.20	LEAD TIP TO TIP
5	D1	7.00±0.10	PKG LENGTH
6	E	9.00±0.20	LEAD TIP TO TIP
7	E1	7.00±0.10	PKG WIDTH
8	L	0.60±0.15	FOOT LENGTH
9	L1	1.00 REF	LEAD LENGTH
10	T	0.15	LEAD THICKNESS
11	T1	0.127±0.03	LEAD BASE METAL THICKNESS
12	a	0°~7°	FOOT ANGLE
13	b	0.22±0.02	LEAD WIDTH
14	b1	0.20±0.03	LEAD BASE METAL WIDTH
15	e	0.50 BASE	LEAD PITCH
16	H(REF.)	(5.50)	CUM. LEAD PITCH
17	aaa	0.2	PROFILE OF LEAD TIPS
18	bbb	0.2	PROFILE OF MOLD SURFACE
19	ccc	0.08	FOOT COPLANARITY
20	ddd	0.08	FOOT POSITION

注意：尺寸以毫米表示。

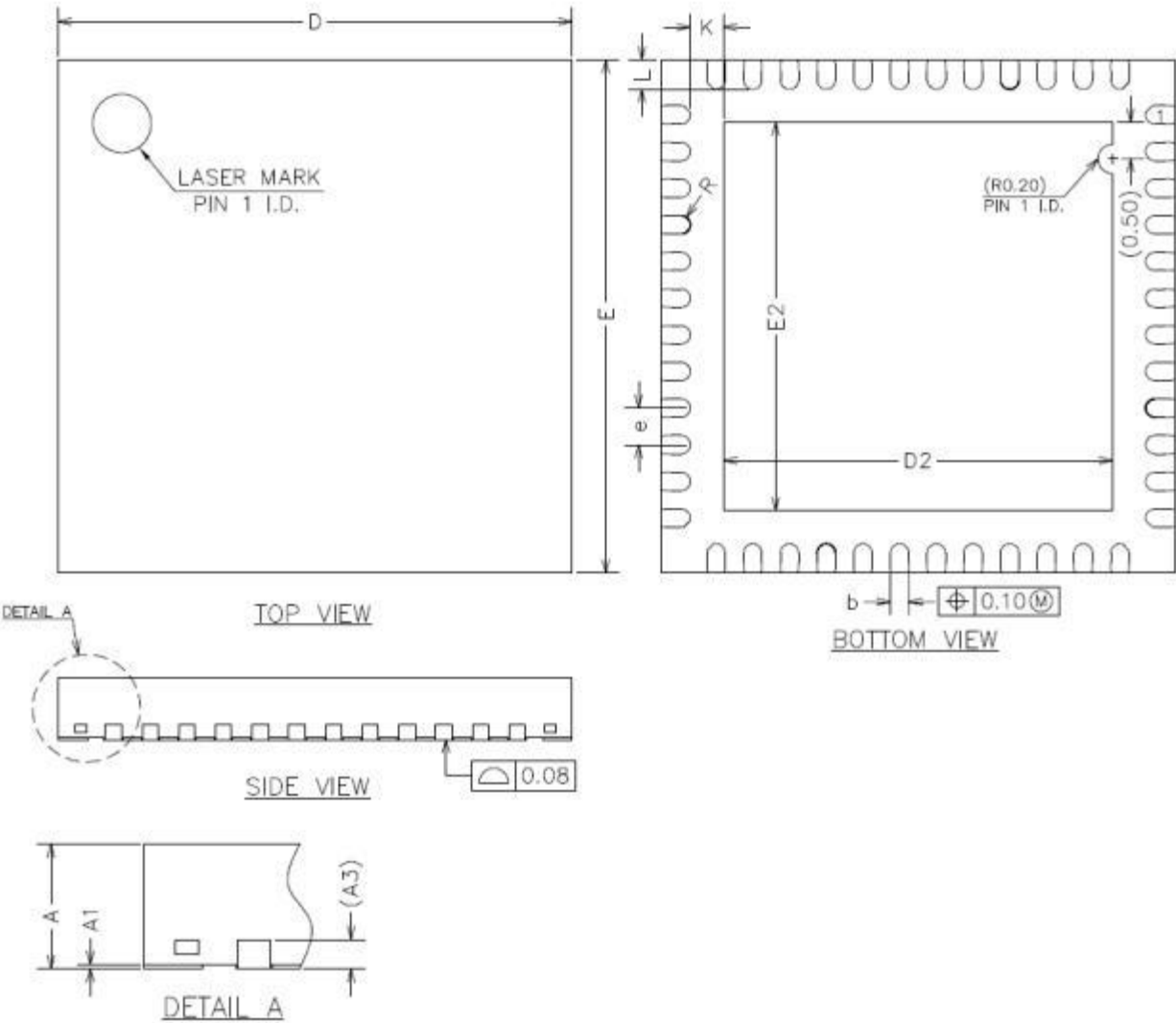
图 26 LQFP48 焊接 Layout 建议



注意：尺寸以毫米表示。

6.5 QFN48 封装信息

图 27 QFN48 封装图



注意:

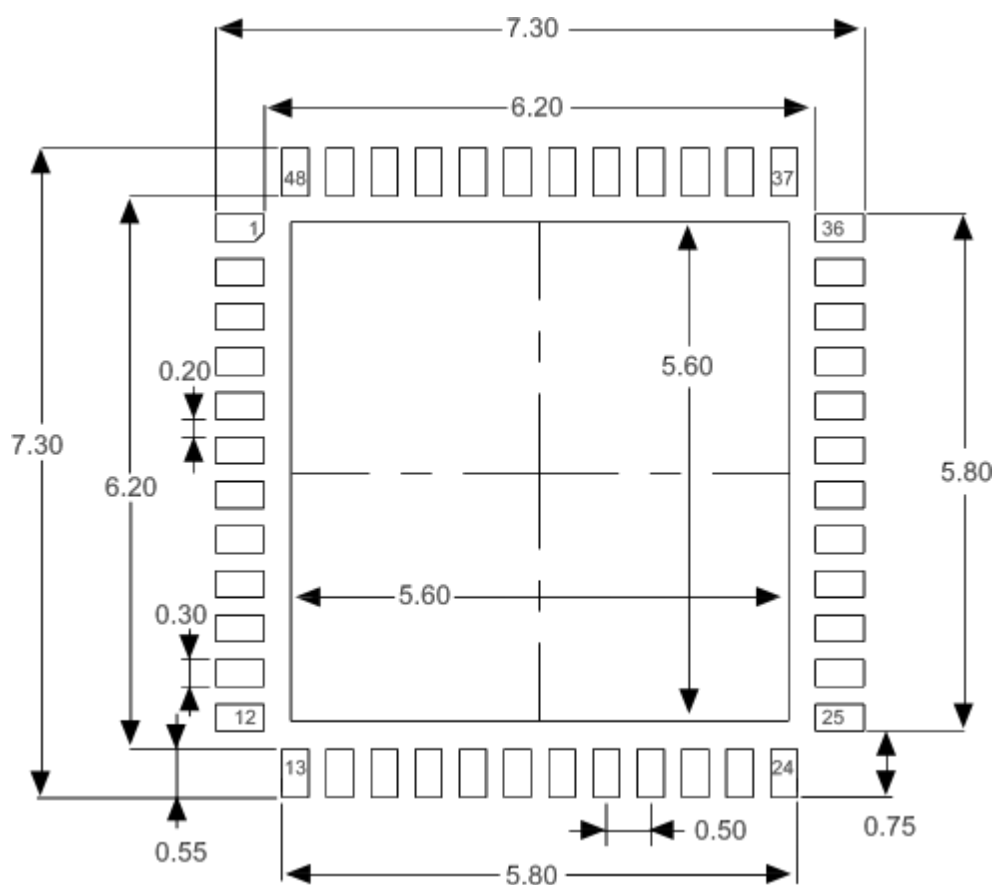
- (1) 图不是按照比例绘制。
- (2) 所有的引脚都应该焊接在 PCB 上。

表格 67 QFN48 封装数据

SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
A3	0.20REF		
b	0.20	0.25	0.30

SYMBOL	MILLIMETER		
	MIN	NOM	MAX
D	6.90	7.00	7.10
E	6.90	7.00	7.10
D2	5.20	5.30	5.40
E2	5.20	5.30	5.40
e	0.40	0.50	0.60
K	0.35	0.45	0.55
L	0.30	0.40	0.50
R	0.09	-	-

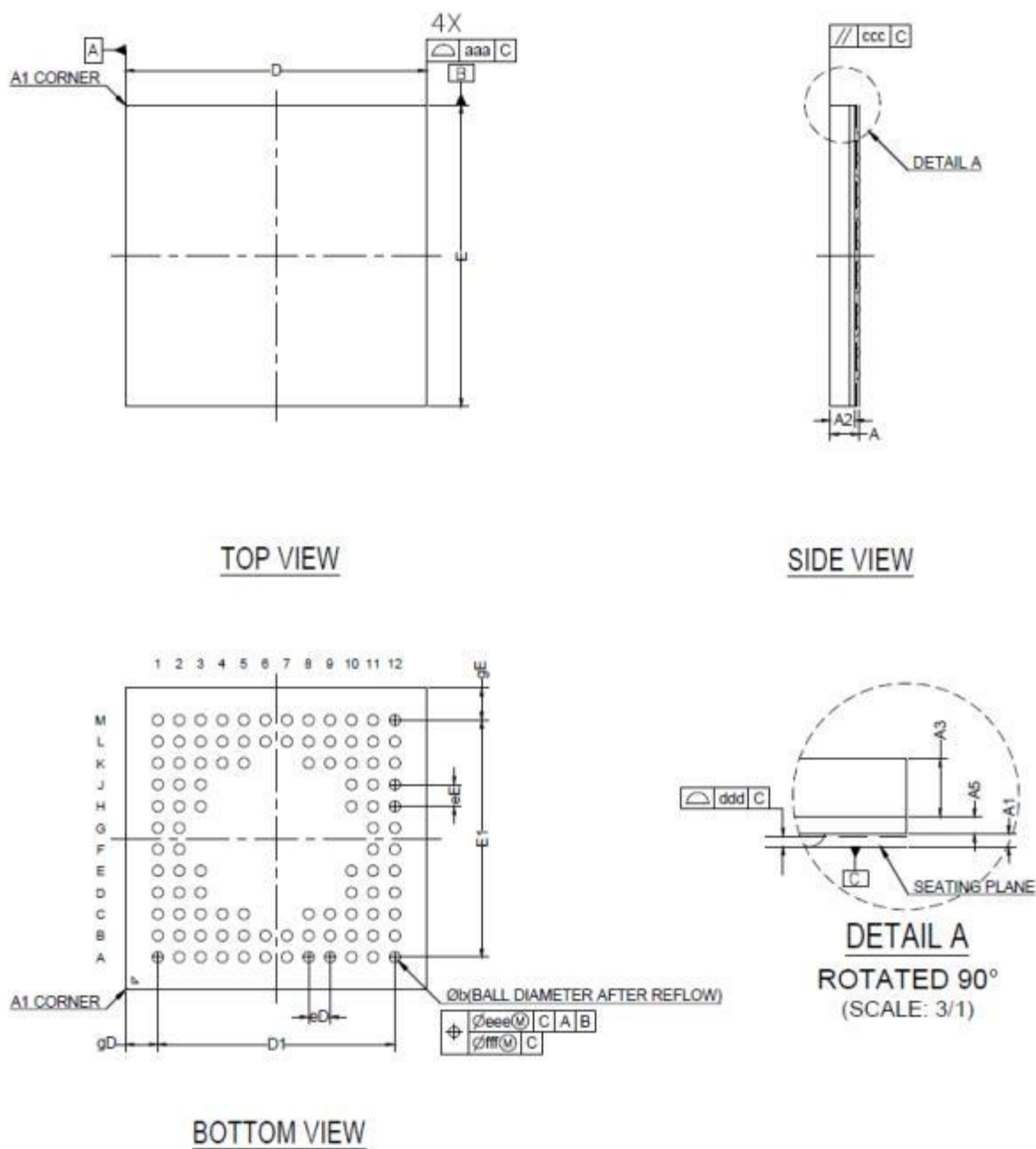
图 28 QFN48 焊接 Layout 建议



注意：尺寸单位为毫米。

6.6 BGA100 封装信息

图 29 BGA100 封装图



注意:

- (1) 图不是按照比例绘制。
- (2) 所有的引脚都应该焊接在 PCB 上。

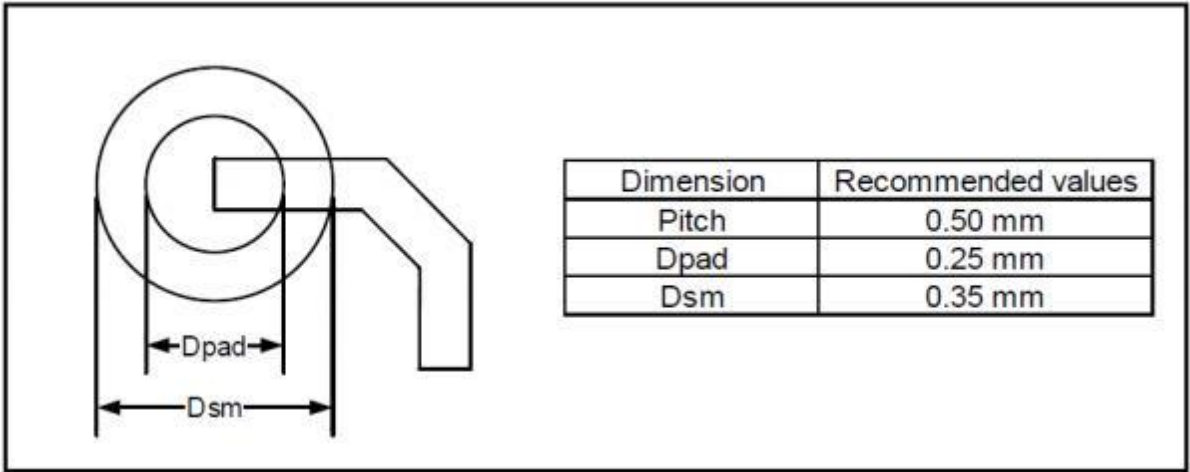
表格 68 BGA100 封装数据

ITEM		SYMBOL	COMMON DIMENSIONS		
			MIN.	NOM.	MAX.
Body Size	X	D	6.900	7.000	7.100
	Y	E	6.900	7.000	7.100
Ball Pitch	X	eD	0.500		
	Y	eE	0.500		
Total Thickness		A	0.613	0.680	0.747
Ball Stand Off		A1	0.050	0.100	0.150
Mold+Substrate		A2	0.535	0.580	0.625
Mold Thickness		A3	0.410	0.450	0.490
Substrate Thickness		A5	0.110	0.130	0.150
Raw Ball Size		b'	0.190		
Ball Size (After Reflow)		b	0.200	0.250	0.300
Package Edge Tolerance		aaa	0.150		
Mold Flatness		ccc	0.200		
Coplanarity		ddd	0.080		
Ball Offset (Package)		eee	0.150		
Ball Offset (Ball)		fff	0.050		
Ball Count		n	100		
Edge Ball Center to Center	X	D1	5.500		
	Y	E1	5.500		
Edge Ball Center to Package Edge	X	gD	0.750		
	Y	gE	0.750		

注意:

- (1) 尺寸单位为毫米。
- (2) 所有尺寸和公差均符合 ASME Y14.5M-2009 标准。
- (3) 引脚位置标注依据 JESD 95 标准。
- (4) “b” 尺寸是在最大焊球直径处测量，且与主基准 C 平行。
- (5) BGA 焊盘的阻焊膜开口直径为 Ø0.24 毫米。

图 30 BGA100 焊接 Layout 建议

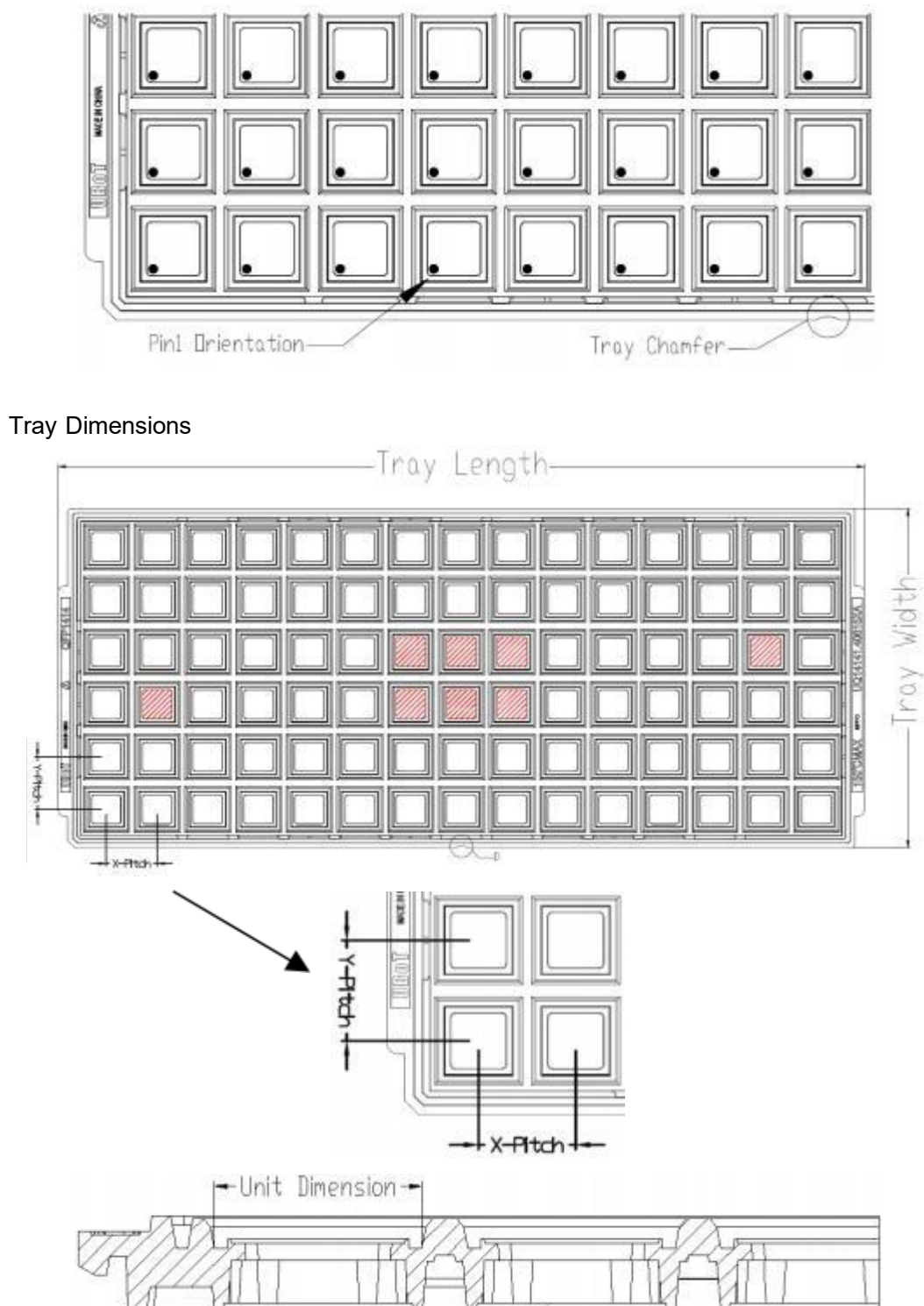


注意：尺寸单位为毫米。

7 包装信息

7.1 托盘包装

图 32 托盘包装示意图



注意：所有照片仅供参考，外观以产品为准。

表格 70 托盘包装参数规格表

Device	Package Type	Pins	SPQ	X-Dimension (mm)	Y-Dimension (mm)	X-Pitch (mm)	Y-Pitch (mm)	Tray Length (mm)	Tray Width (mm)
TLX32F427ZGT6	LQFP	144	600	22.06	22.06	25.4	25.2	322.6	135.9
TLX32F427VGT6	LQFP	100	900	16.6	16.6	20.3	21	322.6	135.9
TLX32F427RGT6	LQFP	64	1600	12.3	12.3	15.2	15.7	322.6	135.9
TLX32F427CGT6	LQFP	48	2500	9.7	9.7	12.2	12.6	322.6	135.9
TLX32F427CGU6	QFN	48	2600	7.25	7.25	11.8	12.8	322.6	135.9
TLX32F427ZGT7	LQFP	144	600	22.06	22.06	25.4	25.2	322.6	135.9
TLX32F427VGT7	LQFP	100	900	16.6	16.6	20.3	21	322.6	135.9
TLX32F427RGT7	LQFP	64	1600	12.3	12.3	15.2	15.7	322.6	135.9
TLX32F427CGT7	LQFP	48	2500	9.7	9.7	12.2	12.6	322.6	135.9
TLX32F427CGU7	QFN	48	2600	7.25	7.25	11.8	12.8	322.6	135.9
TLX32F427VGH7	BGA	100	2600	7.20	7.20	11.8	12.8	322.6	135.9
TLX32F425ZGT6	LQFP	144	600	22.06	22.06	25.4	25.2	322.6	135.9
TLX32F425VGT6	LQFP	100	900	16.6	16.6	20.3	21	322.6	135.9
TLX32F425RGT6	LQFP	64	1600	12.3	12.3	15.2	15.7	322.6	135.9
TLX32F425CGT6	LQFP	48	2500	9.7	9.7	12.2	12.6	322.6	135.9
TLX32F425CGU6	QFN	48	2600	7.25	7.25	11.8	12.8	322.6	135.9
TLX32F425ZGT7	LQFP	144	600	22.06	22.06	25.4	25.2	322.6	135.9
TLX32F425VGT7	LQFP	100	900	16.6	16.6	20.3	21	322.6	135.9
TLX32F425RGT7	LQFP	64	1600	12.3	12.3	15.2	15.7	322.6	135.9
TLX32F425CGT7	LQFP	48	2500	9.7	9.7	12.2	12.6	322.6	135.9
TLX32F425CGU7	QFN	48	2600	7.25	7.25	11.8	12.8	322.6	135.9

注意：SPQ 是最小包装数量。

8 订货信息

表格 71 产品命名定义

产品名			
TLX32F427ZGT6			
命名示例	定义	命名	信息
TLX32	产品系列	TLX32	基于 Arm 的 32 位微控制器
F	产品类型	F	基础型
427	产品子系列	425/427	高性能型
Z	引脚数目	C	48 pins
		R	64 pins
		V	100 pins
		Z	144 pins
G	闪存存储器容量	G	1MB
T	封装	T	LQFP
		U	QFN
		H	BGA
6	温度范围	6	工业级温度范围: -40℃~85℃
		7	工业级温度范围: -40℃~105℃
R	选项	XXX	已编程的器件代号
		R	卷带式包装
		空白	托盘式包装
		T	料管式包装

表格 72 订货信息列表

订货编码	FLASH (KB)	SRAM (KB)	封装	SPQ	质量等级	温度范围
JTLX32F427ZGT	1024	448+4	LQFP144	600	N1	-55°C~125°C
JTLX32F427ZGT(W)	1024	448+4	LQFP144	600	军温级	-55°C~125°C
TLX32F427ZGT6	1024	448+4	LQFP144	600	工业级	-40°C~85°C
JTLX32F427VGT	1024	448+4	LQFP100	900	N1	-55°C~125°C
JTLX32F427VGT(W)	1024	448+4	LQFP100	900	军温级	-55°C~125°C
TLX32F427VGT6	1024	448+4	LQFP100	900	工业级	-40°C~85°C
JTLX32F427RGT	1024	448+4	LQFP64	1600	N1	-55°C~125°C
JTLX32F427RGT(W)	1024	448+4	LQFP64	1600	军温级	-55°C~125°C
TLX32F427RGT6	1024	448+4	LQFP64	1600	工业级	-40°C~85°C
JTLX32F427CGT	1024	448+4	LQFP48	2500	N1	-55°C~125°C
JTLX32F427CGT(W)	1024	448+4	LQFP48	2500	军温级	-55°C~125°C
TLX32F427CGT6	1024	448+4	LQFP48	2500	工业级	-40°C~85°C
JTLX32F427CGU	1024	448+4	QFN48	2600	N1	-55°C~125°C
JTLX32F427CGU(W)	1024	448+4	QFN48	2600	军温级	-55°C~125°C
TLX32F427CGU6	1024	448+4	QFN48	2600	工业级	-40°C~85°C
JTLX32F427ZGT	1024	448+4	LQFP144	600	N1	-55°C~125°C
JTLX32F427ZGT(W)	1024	448+4	LQFP144	600	军温级	-55°C~125°C
TLX32F427ZGT7	1024	448+4	LQFP144	600	工业级	-40°C~85°C
JTLX32F427VGT	1024	448+4	LQFP100	900	N1	-55°C~125°C
JTLX32F427VGT(W)	1024	448+4	LQFP100	900	军温级	-55°C~125°C
TLX32F427VGT7	1024	448+4	LQFP100	900	工业级	-40°C~85°C
JTLX32F427RGT	1024	448+4	LQFP64	1600	N1	-55°C~125°C
JTLX32F427RGT(W)	1024	448+4	LQFP64	1600	军温级	-55°C~125°C
TLX32F427RGT7	1024	448+4	LQFP64	1600	工业级	-40°C~85°C
JTLX32F427CGT	1024	448+4	LQFP48	2500	N1	-55°C~125°C
JTLX32F427CGT(W)	1024	448+4	LQFP48	2500	军温级	-55°C~125°C
TLX32F427CGT7	1024	448+4	LQFP48	2500	工业级	-40°C~85°C
JTLX32F427CGU	1024	448+4	QFN48	2600	N1	-55°C~125°C
JTLX32F427CGU(W)	1024	448+4	QFN48	2600	军温级	-55°C~125°C
TLX32F427CGU7	1024	448+4	QFN48	2600	工业级	-40°C~85°C
JTLX32F427VGH	1024	448+4	BGA100	2600	N1	-55°C~125°C
JTLX32F427VGH(W)	1024	448+4	BGA100	2600	军温级	-55°C~125°C
TLX32F427VGH7	1024	448+4	BGA100	2600	工业级	-40°C~85°C
JTLX32F425ZGT	1024	192+4	LQFP144	600	N1	-55°C~125°C
JTLX32F425ZGT(W)	1024	192+4	LQFP144	600	军温级	-55°C~125°C
TLX32F425ZGT6	1024	192+4	LQFP144	600	工业级	-40°C~85°C

JTLX32F425VGT	1024	192+4	LQFP100	900	N1	-55°C~125°C
JTLX32F425VGT(W)	1024	192+4	LQFP100	900	军温级	-55°C~125°C
TLX32F425VGT6	1024	192+4	LQFP100	900	工业级	-40°C~85°C
JTLX32F425RGT	1024	192+4	LQFP64	1600	N1	-55°C~125°C
JTLX32F425RGT(W)	1024	192+4	LQFP64	1600	军温级	-55°C~125°C
TLX32F425RGT6	1024	192+4	LQFP64	1600	工业级	-40°C~85°C
JTLX32F425CGT	1024	192+4	LQFP48	2500	N1	-55°C~125°C
JTLX32F425CGT(W)	1024	192+4	LQFP48	2500	军温级	-55°C~125°C
TLX32F425CGT6	1024	192+4	LQFP48	2500	工业级	-40°C~85°C
JTLX32F425CGU	1024	192+4	QFN48	2600	N1	-55°C~125°C
JTLX32F425CGU(W)	1024	192+4	QFN48	2600	军温级	-55°C~125°C
TLX32F425CGU6	1024	192+4	QFN48	2600	工业级	-40°C~85°C
JTLX32F425ZGT	1024	192+4	LQFP144	600	N1	-55°C~125°C
JTLX32F425ZGT(W)	1024	192+4	LQFP144	600	军温级	-55°C~125°C
TLX32F425ZGT7	1024	192+4	LQFP144	600	工业级	-40°C~85°C
JTLX32F425VGT	1024	192+4	LQFP100	900	N1	-55°C~125°C
JTLX32F425VGT(W)	1024	192+4	LQFP100	900	军温级	-55°C~125°C
TLX32F425VGT7	1024	192+4	LQFP100	900	工业级	-40°C~85°C
JTLX32F425RGT	1024	192+4	LQFP64	1600	N1	-55°C~125°C
JTLX32F425RGT(W)	1024	192+4	LQFP64	1600	军温级	-55°C~125°C
TLX32F425RGT7	1024	192+4	LQFP64	1600	工业级	-40°C~85°C
JTLX32F425CGT	1024	192+4	LQFP48	2500	N1	-55°C~125°C
JTLX32F425CGT(W)	1024	192+4	LQFP48	2500	军温级	-55°C~125°C
TLX32F425CGT7	1024	192+4	LQFP48	2500	工业级	-40°C~85°C
JTLX32F425CGU	1024	192+4	QFN48	2600	N1	-55°C~125°C
JTLX32F425CGU(W)	1024	192+4	QFN48	2600	军温级	-55°C~125°C
TLX32F425CGU7	1024	192+4	QFN48	2600	工业级	-40°C~85°C

9 常用功能模块命名

表格 73 常用功能模块命名

全称	简称
复位管理单元	RMU
时钟管理单元	CMU
复位和时钟管理	RCM
外部中断	EINT
通用 IO	GPIO
复用 IO	AFIO
唤醒控制器	WUPT
蜂鸣器	BUZZER
独立看门狗定时器	IWDT
窗口看门狗定时器	WWDT
定时器	TMR
CRC 控制器	CRC
电源管理单元	PMU
DMA 控制器	DMA
模拟数字转换器	ADC
实时时钟	RTC
外部存储控制器	EMMC
静态存储控制器	SMC
动态存储控制器	DMC
控制器局域网	CAN
I2C 接口	I2C
串行外设接口	SPI
通用异步收发器	UART
通用异步同步收发器	USART
闪存接口控制单元	FMC
安全数字输入输出	SDIO
四线串行外围接口	QSPI
随机数生成器	RNG

表格 74 文件版本历史

日期	版本	变更历史
2025.7	1.0	新建
2025.8	1.1	(1) 修改 DAC 电气特性数据
2025.10	1.2	(1) 增加 BGA 型号 TLX32F427VGH7 (2) 增加 F425 “零等待” 描述 (3) 修改 ADC 频率和测试数据 (4) 修改 TMR9/10/11/12/13/14 功能说明 (5) 修改 “静态栓锁” 为 “闩锁效应” (6) 修改 “闩锁效应” 温度为 85 度