

无锡泰连芯科技有限公司

TLX41J256M16M 型

4Gb DDR3 同步动态随机存储器

2024 年 06 月

目录

1 产品概述	2
1.1 概述	2
1.2 产品特性	2
1.3 引脚排布	3
1.4 管脚定义	3
1.5 原理框图	5
2 功能描述	6
2.1 真值表	6
2.2 功能说明	7
3 电参数	19
3.1 绝对最大额定值	19
3.2 推荐工作条件	19
3.3 电特性表	20
4 说明事项	35
4.1 运输与储存	35
4.2 开箱与检查	35
4.3 使用操作规程及注意事项	35
4.4 质量保证	35
5 封装	36
5.1 TLX41J256M16M 封装形式	36
5.2 订购信息	37
5.3 器件重量	37
5.4 推荐焊装工艺	37
5.5 焊盘推荐	38

1 产品概述

1.1 概述

TLX41J256M16M 型 4Gb DDR3 同步动态随机存储器，是一款采用差分时钟输入(CK 和 CK#)的双倍速率数据架构实现高速运行的同步动态随机存储器，采用 8 个 bank 结构，每个 bank 大小为 32Mb×16。可通过行地址、列地址对内部存储单元进行选择，通过标准指令激活器件后，进行读写操作。各操作指令序列与 MT41J256M16HA-125 兼容。

1.2 产品特性

- 工作电压： VDD=1.5V±0.075V, VDDQ=1.5V±0.075V
- 存储容量： 4Gbit
- 存储结构： 256Mb×16(32Mb×16×8banks)
- 8-bit 预取结构
- 差分时钟输入： CK 和 CK#，时钟频率 800MHz
- 可编程 CAS 延迟(CAS Latency)
- 可编程的 CAS 附加延迟(Additive Latency)
- 可编程的 CAS 写入延迟(CWL)
- 固定突发长度(BL): 8
- 4-bit 突发突变(Burst Chop)功能
- 兼容 1.5V I/O 标准 (SSTL_15)
- 封装形式： BGA96
- 温度范围： -55°C～+125°C
- 湿度敏感等级： 3 级
- ESD 等级： 2 级(2000V)
- 质量等级： 军温级&N1 级

1.3 引脚排布

引出端排列见图 1-1。

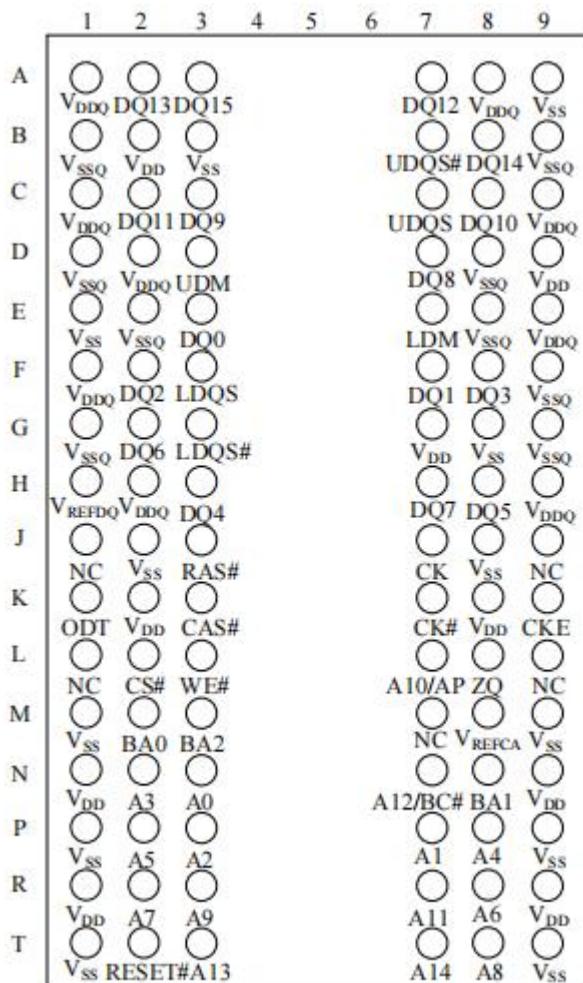


图 1-1 引出端排列图

1.4 管脚定义

表 1-1 管脚定义

符号	类型	功能描述
A[14: 0]	输入	<p>地址输入：</p> <p>在激活命令的时候提供 Row 地址；在读取/写入命令的时候提供 Column 地址和预充电位(A10)；在加载模式寄存器命令的时候提供 op-code。</p> <p>Row 地址：A[14:0]</p> <p>Column 地址：A[9:0]</p> <p>A12/BC#：当在模式寄存器中使能后，A12 在读取/写入命令的时候决定是否执行突发突变(burst chop) 功能。</p>

符号	类型	功能描述
BA[2 : 0]	输入	BANK 地址输入： 在激活、读取、写入或预充电命令操作时，提供 BANK 地址； 在加载模式寄存器命令的时候，决定设置哪种模式寄存器。
CK、CK#	输入	差分时钟输入： 所有地址和命令输入信号在 CK 的上升沿和 CK# 的下降沿的交叉点锁存；输出数据(DQ/DQS/DQS#)参照 CK 和 CK#的交叉点。
CKE	输入	时钟使能输入： CKE 为高时，使能时钟正常工作； CKE 为低时，使能 Power-down 模式或自刷新功能。
CS#	输入	芯片选择使能： CS#为高时，芯片不使能，屏蔽外部所有命令； CS#为低时，使能芯片选择，响应外部命令。
LDM 、 UDM	输入	写入数据掩码： 在写入操作时，如果 DM 信号为高，则写入数据被屏蔽；如果 DM 信号为低，则写入数据正常锁存。 LDM 控制 DQ0~DQ7，UDM 控制 DQ8~DQ15。
ODT	输入	终结电阻控制： ODT 使能 DDR3 内部的终结电阻，当其为高时有效，优化 DQ/DM/DQS 的信号质量。
RAS#,CAS#,WE #	输入	命令输入： RAS#,CAS#,WE#定义 DDR3 芯片的操作命令。
RESET#	输入	复位输入
DQ[15: 0]	I/O	数据总线
LDQS,LDQS#	I/O	低字节数据选通： 作为输出信号时，与读取的数据同步，Edge-aligned， 作为输入信号时，与写入的数据同步，Center-aligned， LDQS#是否使用， 需要在模式寄存器中设置。
UDQS,UDQS#	I/O	高字节数据选通： 作为输出信号时，与读取的数据同步，Edge-aligned， 作为输入信号时，与写入的数据同步，Center-aligned， UDQS#是否使用， 需要在模式寄存器中设置。
VDD	电源	供电电源： 1.5V±0.075V
VDDQ	电源	DQ 供电电源： 1.5V±0.075V
VREFCA	电源	控制、命令和地址信号的参考电压
VREFDQ	电源	数据信号的参考电压
VSS	地	地
VSSQ	地	DQ 地

符号	类型	功能描述
ZQ	---	输出驱动校正的外部参考点

1.5 原理框图

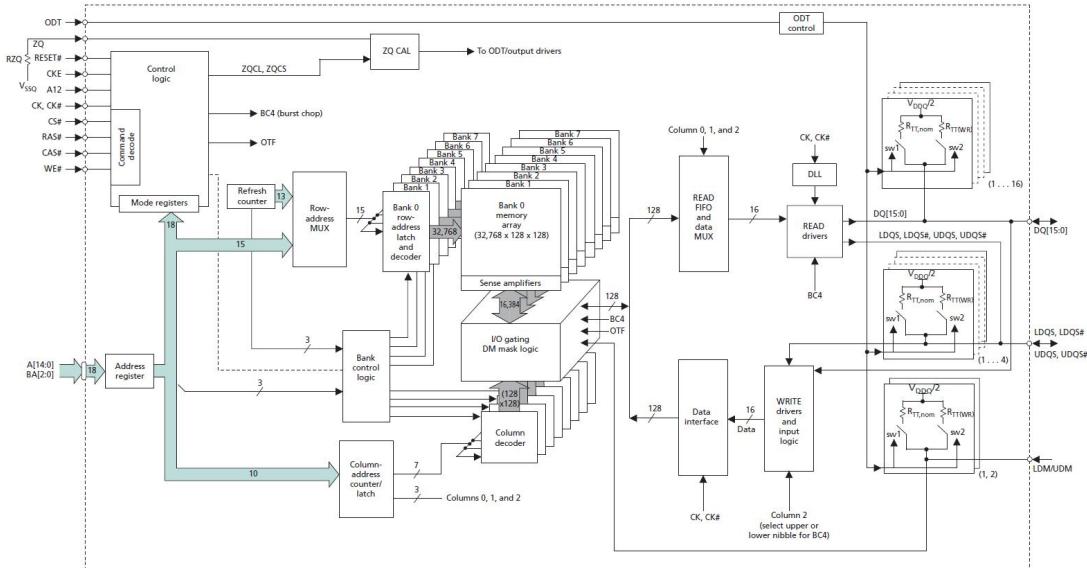


图 1-2 原理框图

2 功能描述

2.1 真值表

表 2-1 描述的是 DDR3 SDRAM 的命令真值表，可对应查询。

表 2-1 DDR3 命令真值表

功能	CK E n-1	CK E n	CS#	RA S#	CA S#	WE #	BA2 - BA0	An	A12	A10	A9-A0		
模式寄存器设置 (MRS)	H	H	L	L	L	L	BA	OP code					
自动刷新(REF)	H	H	L	L	L	H	V	V	V	V	V		
进入自刷新(SRE)	H	L	L	L	L	H	V	V	V	V	V		
退出自刷新(SRX)	L	H	H	V	V	V	V	V	V	V	V		
单 BANK 预充电 (PRE)	H	H	L	L	H	L							
所有 BANK 预充电 (PREA)	H	H	L	L	H	L	V	V	V	H	V		
BANK 激活(ACT)	H	H	L	L	H	H	BA	Row address					
写入操作 (WR)	BL8MR S	H	H	L	H	L	BA	X	V	L	Column address		
	BC4MR S	BC4OTF	H	H	L	H	L	BA	X	L	Column		
	BL8OTF	H	H	L	H	L	BA	X	H	L	Column address		
带自动预 充电写入 操作 (WRAP)	BL8MR S	BL8MR S	H	H	L	H	L	BA	X	V	H	Column address	
	BC4MR S	BC4OTF	H	H	L	H	L	BA	X	L	H	Column address	
	BL8OTF	H	H	L	H	L	BA	X	H	H	H	Column address	
读取操作 (RD)	BL8MR S	BL8MR S	H	H	L	H	L	H	BA	X	V	L	Column address
	BC4MR S	BC4OTF	H	H	L	H	L	H	BA	X	L	L	Column address
	BL8OTF	H	H	L	H	L	H	BA	X	H	L	Column address	
带自动预 充电读取 操作 (RDAP)	BL8MR S	BL8MR S	H	H	L	H	L	H	BA	X	V	H	Column address
	BC4MR S	BC4OTF	H	H	L	H	L	H	BA	X	L	H	Column address
	BL8OTF	H	H	L	H	L	H	BA	X	H	H	H	Column address
不操作(NOP)	H	X	L	H	H	H	V	V	V	V	V	V	
器件不使能(DES)	H	H	H	X	X	X	X	X	X	X	X	X	
进入	H	L	L	H	H	H	V	V	V	V	V	V	

功能	CK E n-1	CK E n	CS#	RA S#	CA S#	WE #	BA2 - BA0	An	A12	A10	A9-A0
Power_down(PDE)			H	V	V	V					
退出 Power_down(PDX)	L	H	L	H	H	H	V	V	V	V	V
			H	V	V	V					
ZQ 长校准(ZQCL)	H	H	L	H	H	L	X	X	X	H	X
ZQ 短校准(ZQCS)	H	H	L	H	H	L	X	X	X	L	X

2.2 功能说明

2.2.1 模式寄存器(MR)

模式寄存器(MR0-MR3)用来定义 DDR3 SDRAM 的工作模式，利用加载模式寄存器(MRS) 命令进行设置，芯片会一直保持所设置的信息直到重新设置、芯片复位或掉电，重新设置模式寄存器不会修改芯片内部所存储的数据。

MR0 模式寄存器用来定义 DDR3 SDRAM 的突发长度(Burst Length)、突发类型(Burst Type)、CAS 延迟(CAS latency)、操作模式、DLL 复位、写恢复和预充电 Power_down 模式，如图 5 所示。

1)Burst Length (BL): 突发长度。DDR3 的读写操作都是突发类型的，突发长度决定了在读取操作或写入操作中列空间的最大个数，可根据要求设置为 4(突变模式)，8(固定)或利用 A12 管脚在读写命令的时候进行设置(on-the-fly)。

2)Burst Type: 突发类型。突发类型分为 sequential 或 interleaved，只在读取操作中有用。由 M3 决定。

3)CAS Latency(CL): 列地址选通脉冲时间延迟。指在读取数据时，读取命令到数据输出需要等待的时钟周期数，可设置为 5~11。

4)DLL Reset: DLL 复位设置，当设置 M8 为 1 时，激活 DLL 复位功能。

5)Write Recovery: 定义写恢复时间，WR=tWR/tCK，可设置为 5~12。

6)Precharge Power-Down 模式：当 M12 设置为 0 时，在预充电 Power-Down 模式下，DLL 关闭，芯片处于待机模式；当 M12 设置为 1 时，在预充电 Power-Down 模式下，DLL 打开，芯片处于快速退出预充电 Power-Down 模式。

7)Mode Register Definition: 模式寄存器定义，由 BA1 和 BA0 决定 LMR 命令所操作的模式寄存器属于哪种模式寄存器。

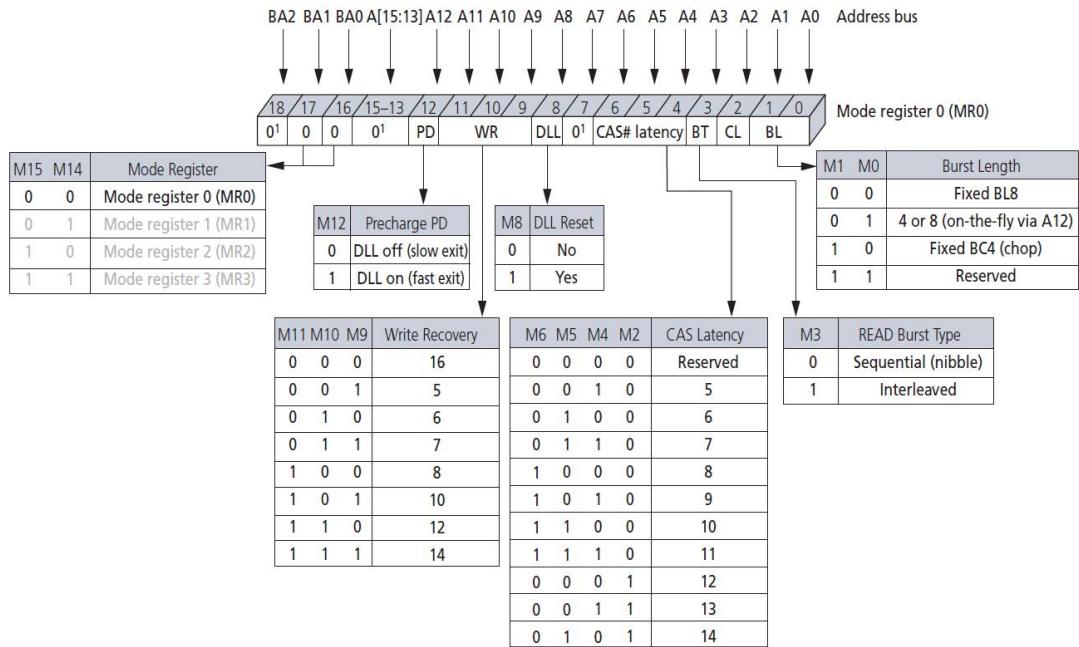


图 5 模式寄存器 MRO 定义

MR1 模式寄存器定义 DDR3 SDRAM 额外的一些设置，有数据输出使能(QOFF)、DLL 使能/禁止、ODT 的电阻值、写入均衡控制、CAS 附加延迟设置和 输出驱动强度选择等，如图 6 所示。

- 1) DLL Enable/Disable: DLL 使能控制。在正常操作时，DLL 必须被使能，在上电初始化的时候进行使能设置。
- 2) Output Drive Strength: 输出驱动强度。正常情况下设置为 RZQ/7 (34Ω [NOM])，为了校准输出驱动阻抗，外部需要有 RZQ 电阻(240Ω±10%)连接 到 ZQ 管脚上。
- 3) CAS# Additive Latency(AL): CAS 附加延迟，可设置为 0 、 CL-1 、 CL-2。
- 4) RTT: ODT 电阻的设置和 RZQ 电阻相关，可按需求设置。
- 5) WL: 写入均衡功能使能，通过 MR1[7]设置。
- 6) TDQS 使能控制：只有在 8bit 模式下才使用。
- 7) 数据输出使能控制: M12 设置是否正常输出， M12=0 时正常输出，否则 输出禁止。
- 8) Mode Register Definition: 模式寄存器定义，由 BA1 和 BA0 决定 LMR 命令所操作的模式寄存器属于哪种模式寄存器。

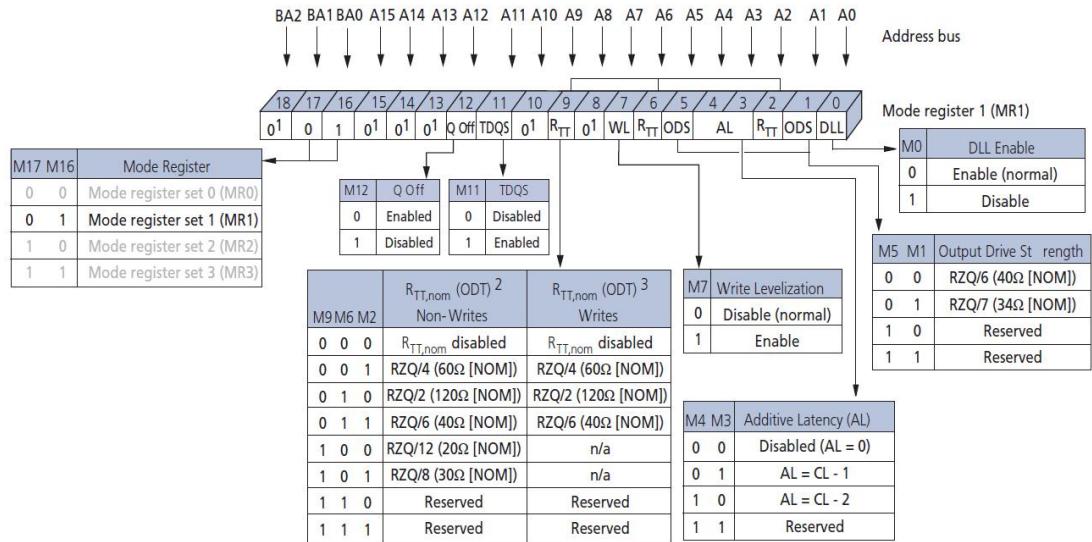


图 6 模式寄存器 MR1 定义

MR2 模式寄存器定义了 DDR3 SDRAM 的其他一些设置，有 CAS 写入延迟、自动自刷新(ASR)、温度自刷新(SRT)、动态 ODT 等，如图 7 所示。

- 1)CWL: CAS 写入延迟。定义在写入操作中，在附件延迟(AL)后增加的 CWL 延迟时钟数，可设置为 5~8。
- 2)ASR: 自刷新使能。
- 3)SRT: 自刷新温度范围使能。
- 4)动态 ODT: 动态 ODT 使能。如果动态 ODT 使能，则在写入操作的时候，DRAM 从正常的 ODT 模式切换到动态 ODT 模式进行工作。
- 5)Mode Register Definition: 模式寄存器定义，由 BA1 和 BA0 决定 LMR 命令所操作的模式寄存器属于哪种模式寄存器。

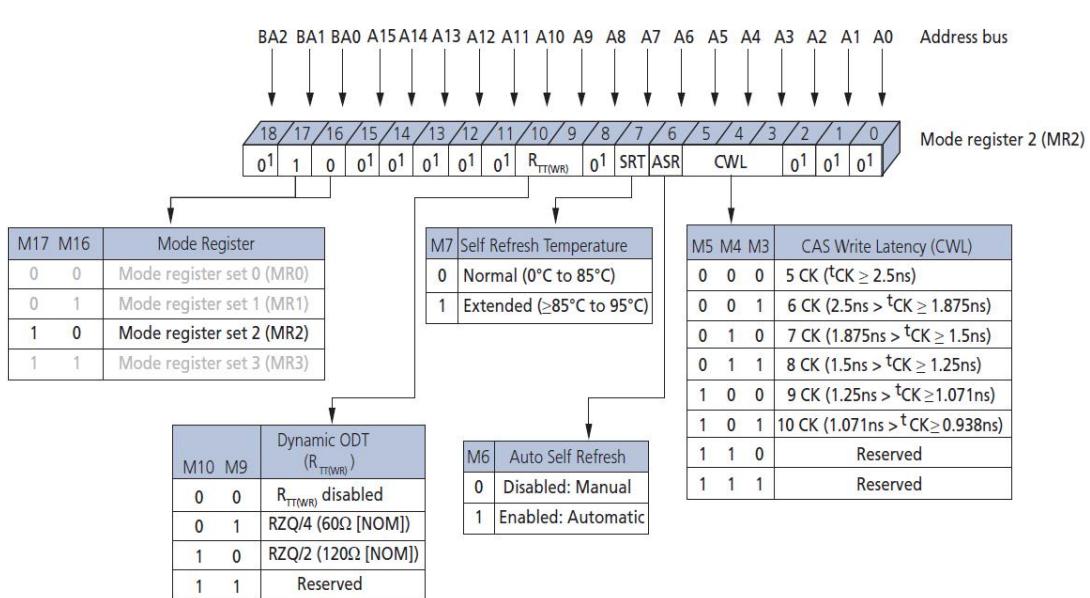


图 7 模式寄存器 MR2 定义

MR3 定义了 MULTIPURPOSE REGISTER (MPR)功能的控制位，如图 8 所示。

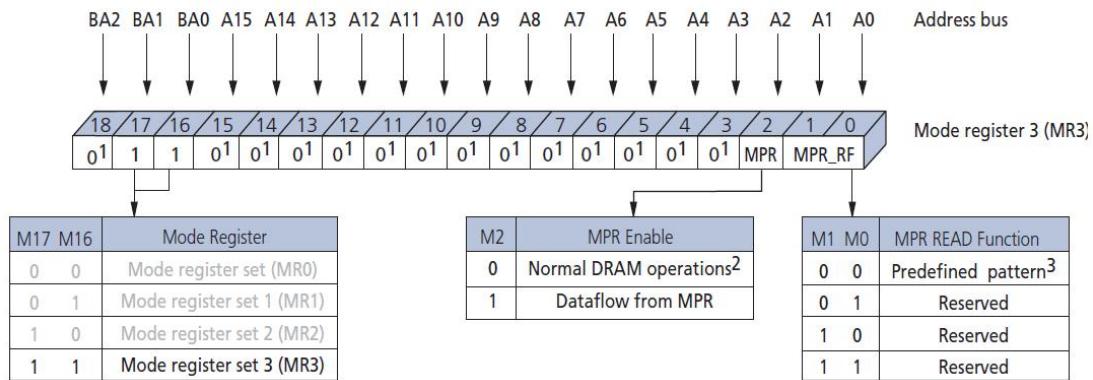


图 8 模式寄存器 MR3 定义

2.2.2 芯片初始化

DDR3 芯片在上电以后，必须运行初始化时序对芯片进行必要的功能配置 后，才能进行正常的读写操作，其初始化时序如图 9 所示。

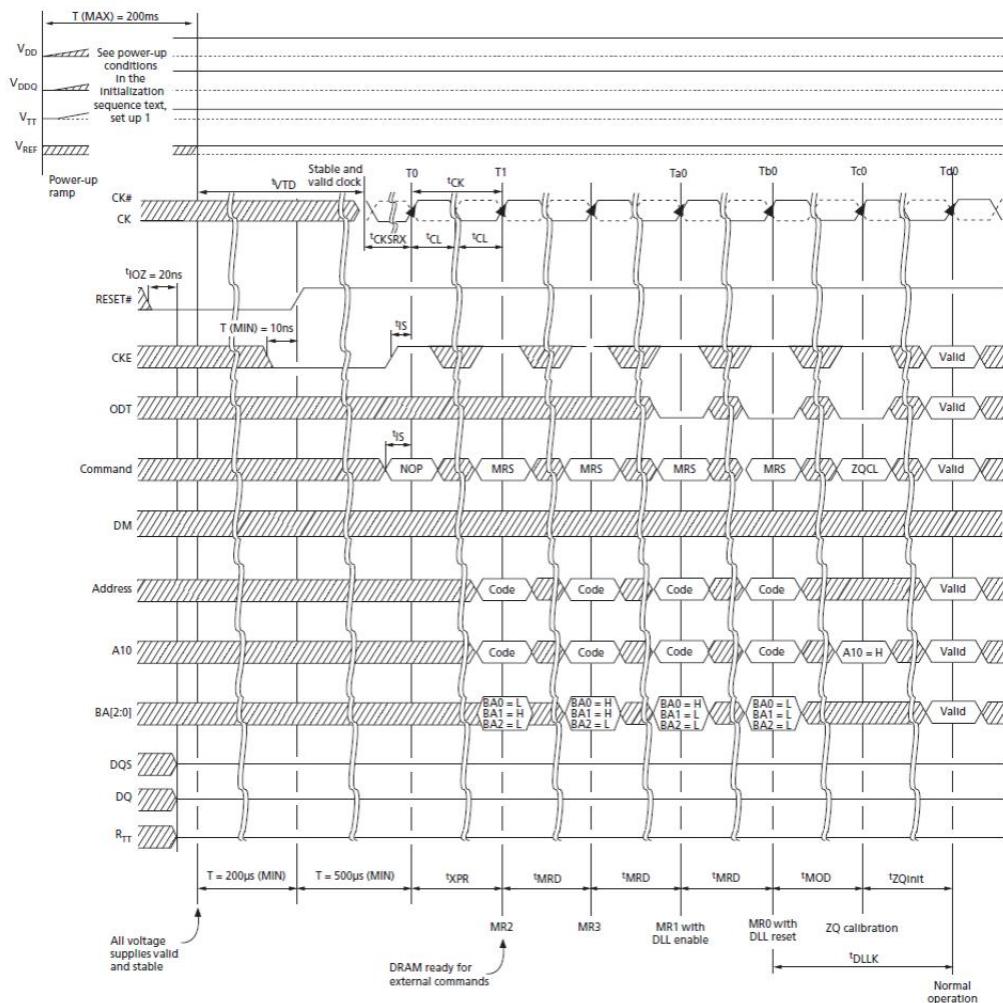


图 9 芯片初始化时序

2.2.3 激活操作

激活操作(ACTIVATE) 是指在读取或者写入操作之前，芯片需要将要操作的 Bank 和 Row 进行激活，方便后续的操作。激活操作是通过激活命令实现的，在激活命令经过时间 tRCD 后，可以进行读取或写入操作，而在不同 Bank 之间 激活命令的间隔时间是 tRRD，如图 10 所示。

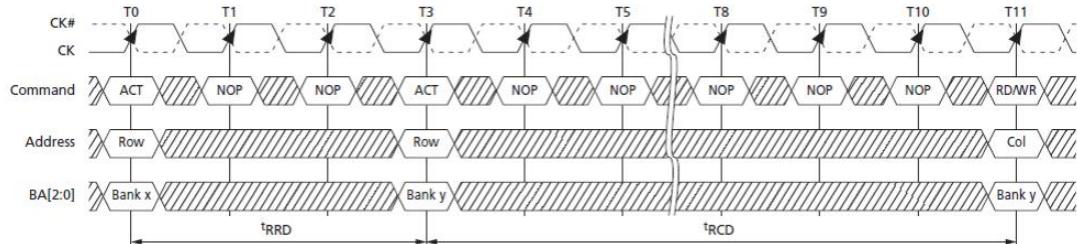


图 10 tRCD 和 tRRD 时序

2.2.4 读取操作

突发读取操作是通过读取命令实现的，在读取命令中提供开始读取数据的 Column 和 Bank，然后经过读取延迟(Read Latency)后，连续读出指定数量的数据。RL 的值由 AL 和 CL 定义， $RL=AL+CL$ 。AL 和 CL 的值可通过 MRS 命令进行定义。图 11 展示了 $CL=8$ ， $AL=0$ 设置下的 RL 时序。

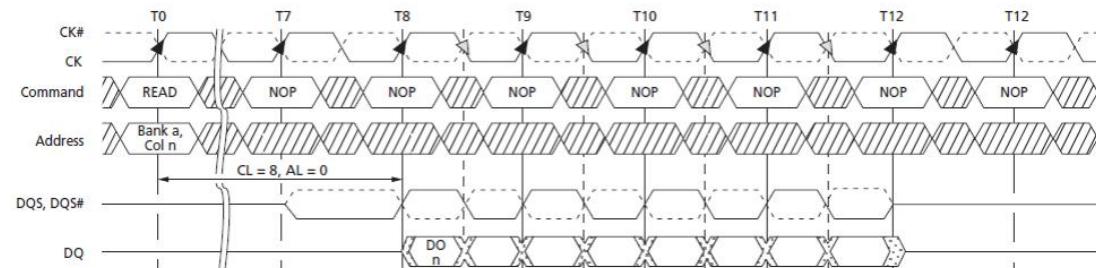


图 11 读取延迟 (Read Latency)

在读取操作中，DQS/DQS#与输出数据同步，在 DQS/DQS#的上升/下降沿都会读取到数据。DDR3 SDRAM 的突发读取操作不允许中断或者删减。在突发读取操作后，需要添加一个预充电（PRECHARGE）命令，来关闭激活的 Row。根据 A10 管脚的不同，决定了预充电命令需要手动添加还是自动添加。在读取操作时，如果地址线 A10 为高，则在读取操作后自动会加一个预充电命令；而如果地址线 A10 为低，则需要在读取命令之后，按照要求添加一个预充电命令，相应时序波形如图 12 和图 13 所示。

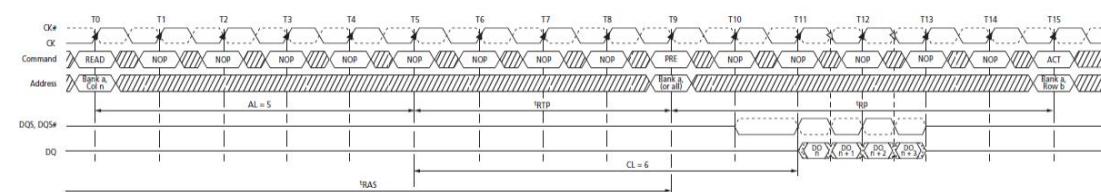


图 12 读取操作-不带自动预充电

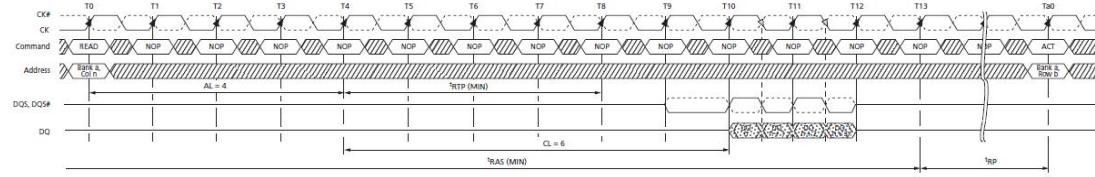


图 13 读取操作-带自动预充电

2.2.5 写入操作

突发写入操作通过写入命令实现，DDR3 利用 WL (Write Latency) 来表明 其延迟时间，与读取操作的 RL 功能一致，而 $WL = AL + CWL$ 。在写入操作的时候，提供要写入的起始 Column 地址和 Bank 地址，同时是否加入自动预充电命令。如果加入自动预充电命令，则完成突发写入操作以后，就会自动关闭激活的 Row。

在突发写入操作中，第一个可用的输入数据在 WL 延时后的 DQS 的第一个上升沿被锁存，而后续的输入数据在每个 DQS 的上升沿/下降沿被锁存。

在写入命令和 DQS 的第一个上升沿之间的时间为 $WL \pm tDQSS$ ，图 14 中所 表示的即为 $tDQSS$ 的值处于正常情况和极限情况下的突发写入操作时序。

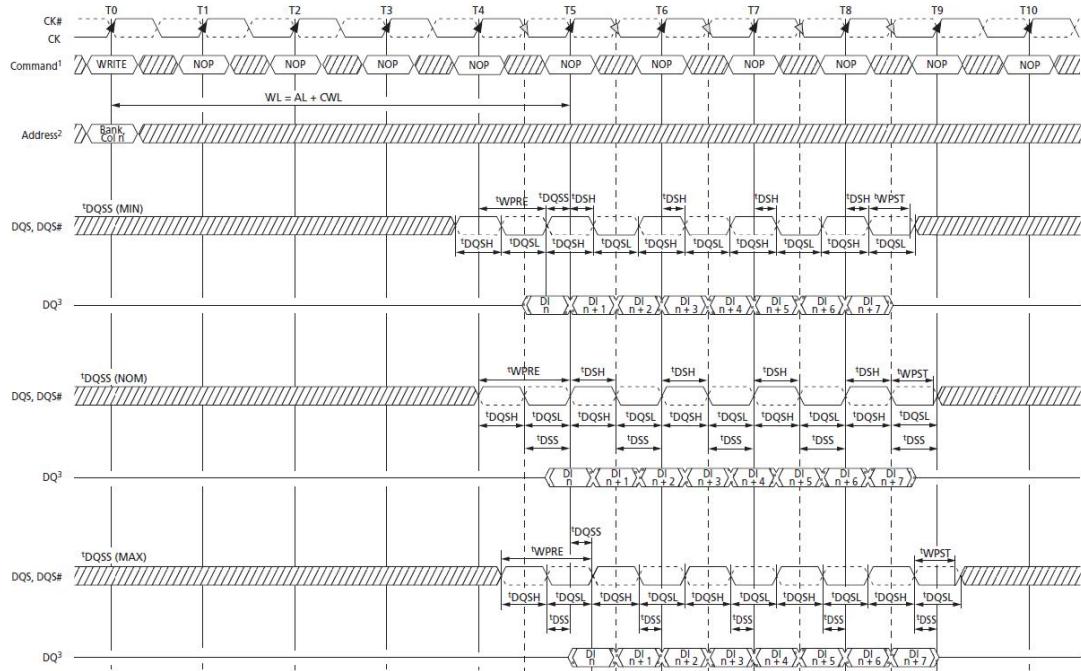


图 14 突发写入操作时序

图 15 是当 BL=8 时的写入操作到预充电时序，可以看出，数据写入之后， 需要等待 tWR 延时后才能加入预充电命令。

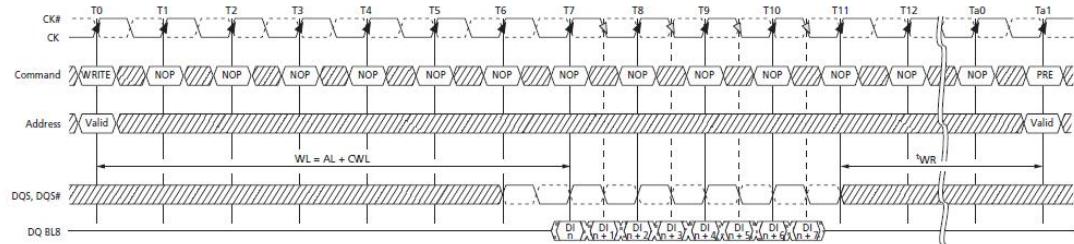


图 15 写入操作-预充电时序

2.2.6 预充电操作 (PRECHARGE)

预充电命令是用来关闭某个 BANK 已经激活的 Row 或者所有 BANK 已经激活的 Row。A10 管脚用来检测是所有激活的 Row 被预充电还是单个 BANK 的 Row 被预充电，当 A10 管脚为高时，表明所有激活的 Row 都需要被预充电，BANK 地址无意义；而 A10 管脚为低时，单一 BANK 的 Row 被预充电，这时 BANK 地址所指代的就是需要预充电 Row 的 BANK 地址。

一旦 BANK 被预充电以后，则整个 BANK 的 Row 都被关闭，处于空闲状态，如果后续需要对 Row 进行读写操作，则需要重新激活后才能使用。

2.2.7 刷新操作 (REFRESH)

DRAM 需要每隔一段时间执行一次刷新操作，以保证存储数据不丢失。刷新操作时，地址由内部刷新控制器自动产生。刷新操作时序如图 16 所示。

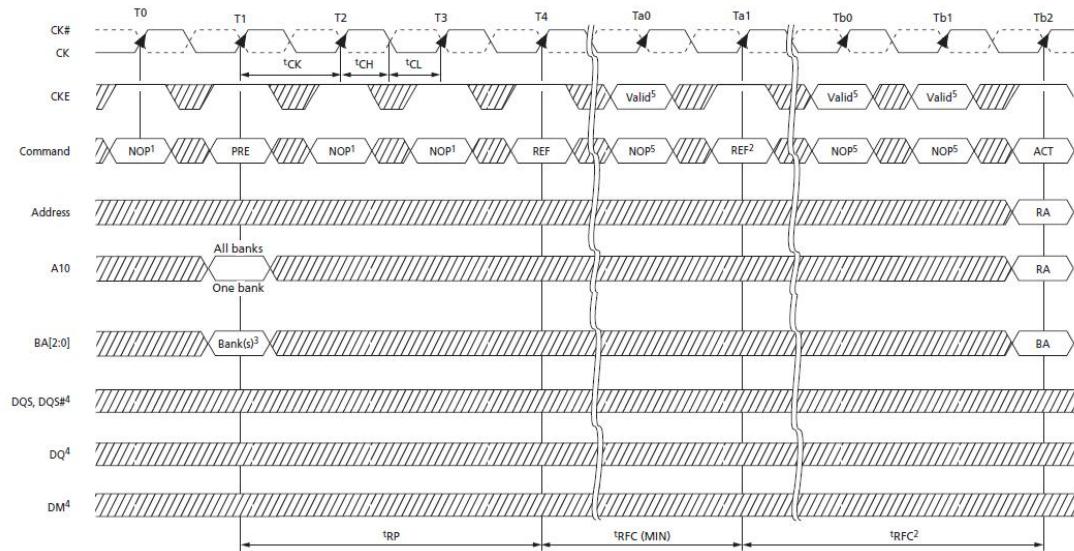


图 16 刷新操作时序

2.2.8 自刷新操作(SELF REFRESH)

自刷新操作也是用来刷新 DRAM 以保存所存储的数据。在自刷新方式下，为了降低功耗，刷新地址和刷新时间全部由器件内部产生。只有通过 CKE 变低才能激活自刷新方式，其他的任何输入都将不起作用。给出退出自刷新方式命令后必须保持一定节拍的空操作输入，以保证器件完成从自刷新方式的退出。如果在正常工作期间采用集中式自动刷新方式，则在退出自刷新模式后必须进行一遍集中的自动刷新操作，以保证 DRAM 的数据不丢失。自刷新时序图如图 17 所示。

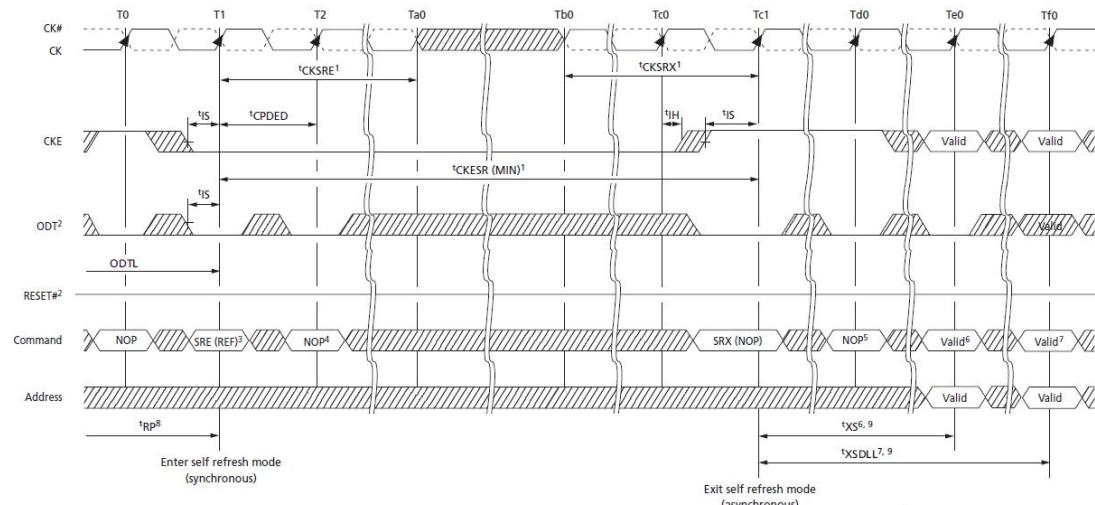


图 17 自刷新进入/退出时序

DDR3 SDRAM 采用了两项新的自刷新设计功能，称为自动自刷新(ASR，Automatic Self-Refresh)和自刷新温度范围(SRT，Self-Refresh Temperature)。当开始 ASR 之后，将通过一个内置于 DRAM 芯片的温度传感器来控制刷新的频率，因为刷新频率高的话，耗电就大，温度也随之升高，而温度传感器则在保证数据不丢失的情况下，尽量减少刷新频率，降低工作温度。自刷新温度范围(SRT，Self-Refresh Temperature)可通过模式寄存器选择两个温度范围，一个是普通的温度范围(例如 0°C 至 85°C)，另一个是扩展温度范围，比如最高到 95°C。对于 DRAM 内部设定的这两种温度范围，DRAM 将以恒定的频率和电流进行刷新操作，其对应的设置和功能说明见表 2-2。

表 2-2 自刷新模式总结

MR2[6] (ASR)	MR2[7] (SRT)	自刷新操作	允许的温度访问
0	0	自刷新模式工作在正常的温度范围内	0°C~85°C
0	1	自刷新模式工作在正常的温度范围内和扩展的温度访问，当 SRT 使能以后，会提高自刷新的功耗	0°C~95°C
1	0	自刷新模式工作在正常的温度范围内和扩	0°C~95°C
1	1	不能设置	

2.2.9 输入时钟频率改变

在 DDR3 初始化以后，外部时钟必须保持稳定，才能保证芯片正常工作。如果需要改变外部输入的时钟频率，只有两种方式：自刷新模式或预充电 Power-down 模式。在自刷新模式下，外部时钟无意义，则可以在退出自刷新模式之前，改变输入的时钟频率。而在预充电 Power-down 模式下，CKE 为低，同样外部时钟不使能，则可以改变输入时钟频率，当在退出预充电 Power-down 模式以后，必须执行一次 MRS 命令，设置复位 DLL，如图 18 所示。

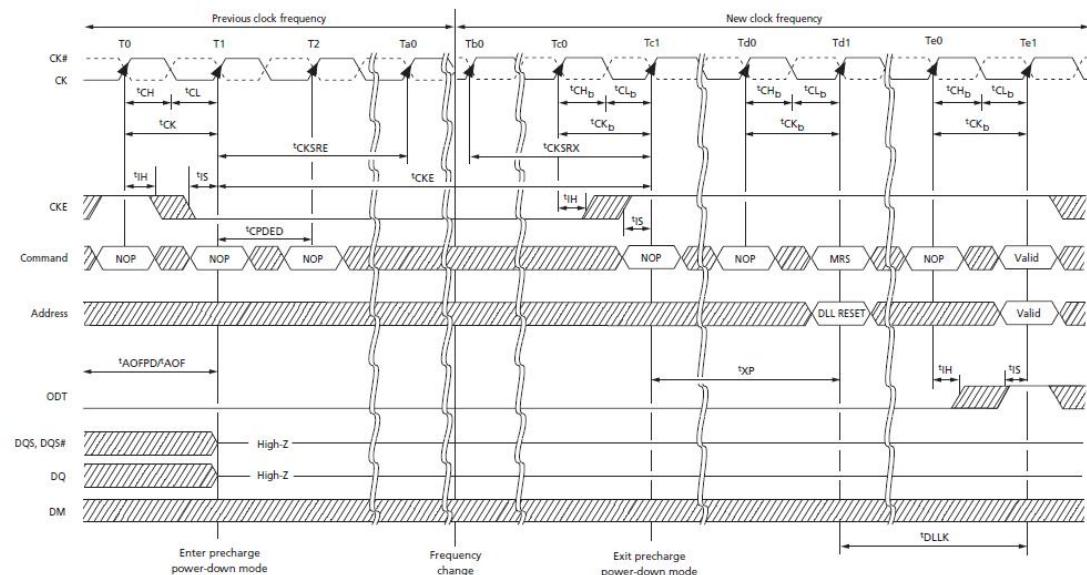


图 18 预充电 Power-down 过程中，改变时钟频率

2.2.10 Power-Down 模式

当 CKE 拉低后执行 NOP 或 DES 指令，芯片就进入 Power-down 模式。进入 Power-down 模式以后，芯片禁止所有的输入输出信号，包括 CK、CK#、ODT、CKE 和 RESET#。

假如 Power-Down 模式发生的时候，所有 BANK 处于空闲状态，此时的 Power-Down 模式称为预充电 Power-Down，如图 19 所示；而当 Power-Down 模式发生的时候，有任何 Row 激活在任意 BANK，此 Power-Down 模式称为激活 Power-Down，如图 20 所示。

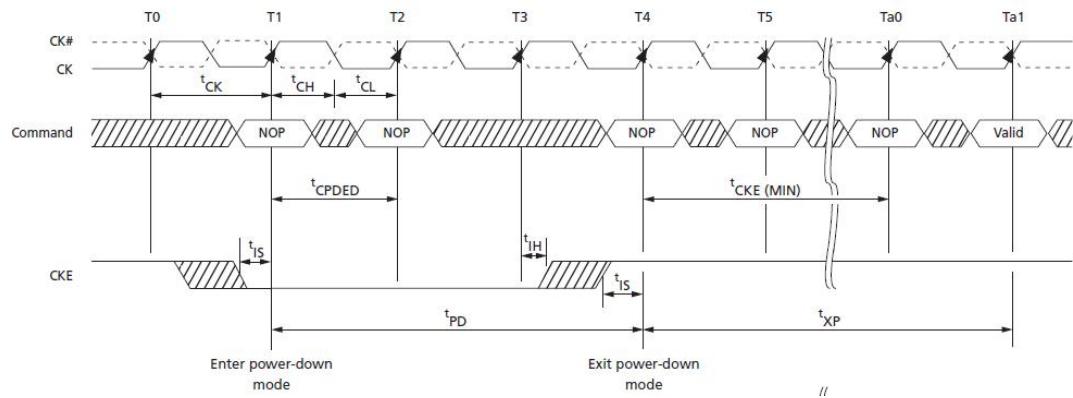


图 19 预充电 Power-down 过程进入/退出

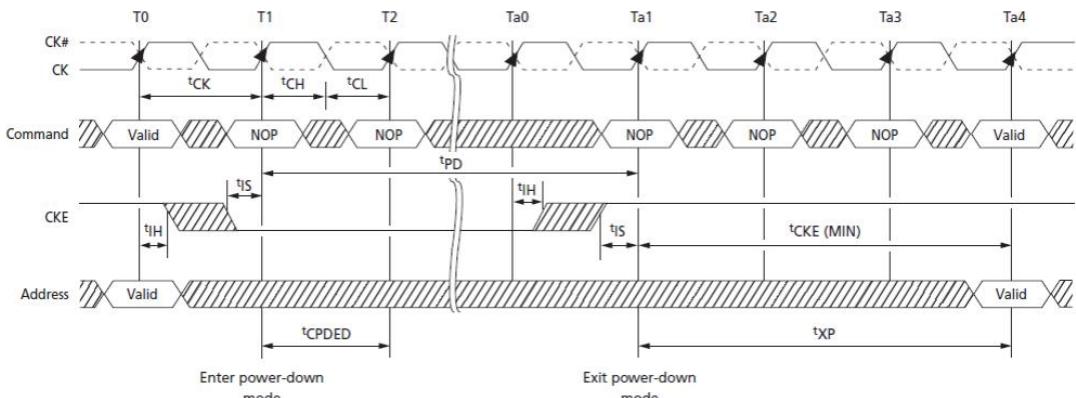


图 20 激活 Power-down 过程进入/退出

2.2.11 复位操作

当外部复位管脚 RESET#拉低，保持 100ns 的时间，芯片就执行复位操作。在此过程中，芯片输出禁止，ODT 关闭，芯片复位。当退出复位操作以后，芯片必须重新初始化后才能工作，内部计数器也复位，而芯片内部数据也会变化。复位时序图如图 21 所示。

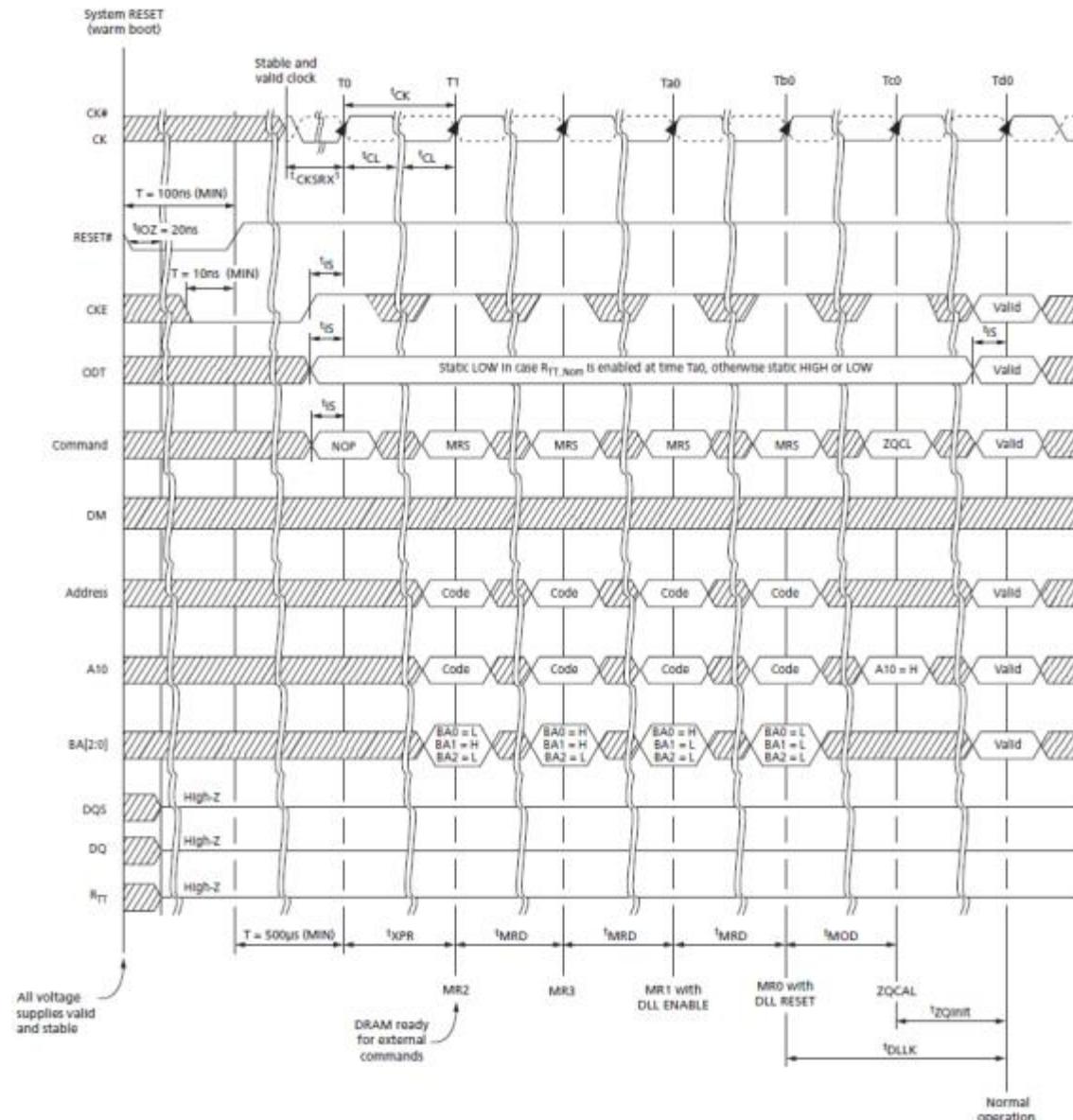


图 21 复位操作时序

2.2.12 终端电阻(ODT)设置

DRAM 存储控制器利用终端电阻(ODT)功能打开或者关闭 DRAM 芯片某些信号的终端电阻，包括 DQ、DQS、DM 信号，用来提高 DRAM 存储器的信号完整性，其示意图如图 22 所示。

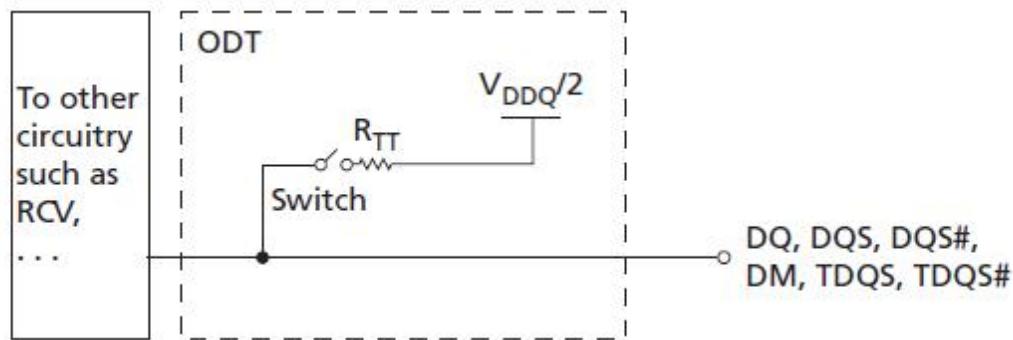


图 22 ODT 功能示意图

终端电阻 RTT 的电阻值在模式寄存器中进行设置。当芯片进入自刷新模式或者在模式寄存器中将 ODT 功能禁止时，外部的 ODT 控制管脚就无意义。ODT 包括普通 ODT 模式和动态 ODT 模式，正常情况下 DRAM 都工作在普通 ODT 模式，此时的 RTT 电阻值为 RTT.nom；当写入命令或者需要 ODT 功能转换的时候，就会用到动态 ODT 模式，此时的电阻值变为 RTT.WR，当完成写入命令以后，RTT 值又回到 RTT.nom，如图 23 所示。

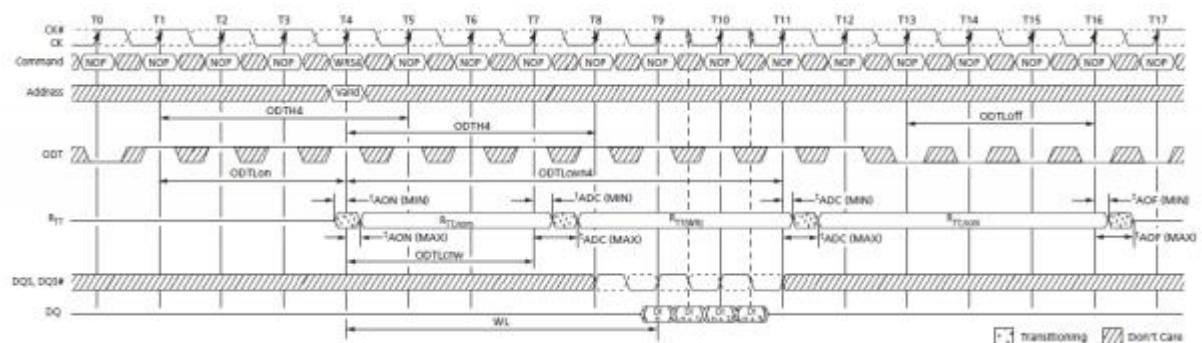


图 23 动态 ODT 操作，BC4

3 电参数

3.1 绝对最大额定值

绝对最大额定值如下：

电源电压 (V_{DD} 、 V_{DDQ})	-0.4V~1.8V
输入/输出电压(V_{IN} 、 V_{OUT})	-0.4V~1.8V
贮存温度范围 (T_{stg})	-65 °C ~ +150 °C
结温 (T_J)	150 °C

3.2 推荐工作条件

推荐工作条件如下：

电源电压 (V_{DD} 、 V_{DDQ})	1.5V±0.075V
参考电压(V_{REFCA} 、 V_{REFDQ})	0.5VDD±0.01VDD
命令/地址端接电压(系统)(V_{TT})	0.5VDDQ
工作环境温度(T_A)	-55 °C ~ +125 °C

3.3 电特性表

3.3.1 DC 特性表

表 3-1 DC 特性表

特性	符号	除另有规定外 $V_{REFCA}=V_{REFDQ}=V_{DD}/2$, $V_{DD}=V_{DDQ}=1.5V \pm 0.075V$, $V_{SS}=V_{SSQ}=0V$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$	极限值		单位
			最小	最大	
命令和地址					
DC 输入高电平	$V_{IH(DC100)^a}$	—	$V_{REF}+0.100$	1.5	V
DC 输入低电平	$V_{IL(DC100)^a}$	—	0	$V_{REF}-0.100$	V
AC 输入高电平	$V_{IH(AC175)}$	—	$V_{REF}+0.175$	—	V
AC 输入低电平	$V_{IL(AC175)}$	—	—	$V_{REF}-0.175$	V
AC 输入高电平	$V_{IH(AC150)}$	—	$V_{REF}+0.150$	—	V
AC 输入低电平	$V_{IL(AC150)}$	—	—	$V_{REF}-0.150$	V
数据(DQ and DM)					
DC 输入高电平	$V_{IH(DC100)^a}$	—	$V_{REF}+0.100$	1.5	V
DC 输入低电平	$V_{IL(DC100)^a}$	—	0	$V_{REF}-0.100$	V
AC 输入高电平	$V_{IH(AC150)}$	—	$V_{REF}+0.150$	—	V
AC 输入低电平	$V_{IL(AC150)}$	—	—	$V_{REF}-0.150$	V
漏电流参数					
输入漏电流	I_{IL}	$0V \leq V_{IN} \leq V_{DD}$	-5	+5	μA
输出漏电流	I_{OL}	$0V \leq V_{OUT} \leq V_{DDQ}$	-5	+5	μA
电流参数					
操作单 Bank 激活-预充电电流	I_{DD0}	时钟正常输入; $CKE=1$; $CL=11$, $BL=8$, $AL=0$; $CS\#$ 在激活命令和预充电命令之间为高; 命令、地址输入部分 01 跳转; 数据端口悬空; $DM=0$; 某一时刻只激活单 Bank 操作; 使能 DQ 输出和 RTT_Nom; $ODT=0$	—	130	mA
操作单 Bank 激活-读取-预充电电流	I_{DD1}	时钟正常输入; $CKE=1$; $CL=11$, $BL=8$, $AL=0$; $CS\#$ 在激活命令、读取命令、预充电命令之间为高; 命令、地址输入、数据端口部分 01 跳转; $DM=0$; 某一时刻只激活单 Bank 操作; 使能 DQ 输出和 RTT_Nom; $ODT=0$	—	125	mA

特性	符 号	除另有规定外 $V_{REFCA}=V_{REFDQ}=V_{DD}/2$, $V_{DD}=V_{DDQ}=1.5V\pm0.075V$, $V_{SS}=V_{SSQ}=0V$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$	极限值		单位
			最小	最大	
预充电 Power-down 电流(slow)	I_{DD2P0}	时钟正常输入; CKE=0; CL=11 , BL=8 , AL=0; CS#=1; 所有命令和地址输入为 0; 数据端口悬空; DM=0; 关闭所有 BANK; 使能 DQ 输出和 RTT_Nom; ODT=0; 预充 电 Power-Down 模式: Slow	—	33	mA
预充电 Power-down 电流(fast)	I_{DD2P1}	时钟正常输入; CKE=0; CL=11 , BL=8 , AL=0; CS#=1; 所有命令和地址输入为 0; 数据端口悬空; DM=0; 关闭 所有 BANK; 使能 DQ 输出和 RTT_Nom; ODT=0; 预充 电 Power-Down 模式: Fast	—	51	mA
预充电 静态待机电流	I_{DD2Q}	时钟正常输入; CKE=1 ; CL=11 , BL=8 , AL=0; CS#=1; 所有命令和地址输入为 0; 数据端口悬空; DM=0; 关闭 所有 BANK; 使能 DQ 输出和 RTT_Nom; ODT=0	—	68	mA
预充电待机电流	I_{DD2N}	时钟正常输入; CKE=1 ; CL=11 , BL=8 , AL=0; CS#=1; 命令、地址输入部分 01 跳转; 数据端口悬空; DM=0; 关 闭所有 BANK; 使能 DQ 输出和 RTT_Nom; ODT=0	—	70	mA
预充电待机 ODT 电 流	I_{DD2NT}	时钟正常输入; CKE=1 ; CL=11 , BL=8 , AL=0; CS#=1; 命令、地址输入部分 01 跳转; 数据端口悬空; DM=0; 关闭所有 BANK; 使能 DQ 输出和 RTT_Nom; ODT 信号 01 跳转	—	72	mA

特性	符号	除另有规定外 $V_{REFCA}=V_{REFDQ}=V_{DD}/2$, $V_{DD}=V_{DDQ}=1.5V\pm0.075V$, $V_{SS}=V_{SSQ}=0V$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$	极限值		单位
			最小	最大	
激活 Power-down 电流	I_{DD3P}	时钟正常输入; CKE=0; CL=11 , BL=8 , AL=0; CS#=1; 所有命令和地址输入为 0; 数据端口悬空; DM=0; 所有 BANK 打开; 使能 DQ 输出和 RTT_Nom; ODT=0;	—	69	mA
激活待机电流	I_{DD3N}	时钟正常输入; CKE=1; CL=11 , BL=8 , AL=0; CS#=1; 命令、地址输入部分 01 跳转; 数据端口悬空; DM=0; 所有 BANK 打开; 使能 DQ 输出和 RTT_Nom; ODT=0	—	90	mA
读取操作工作电流	I_{DD4R}	时钟正常输入; CKE=1 ; CL=11 , BL=8 , AL=0 ; CS#在 读取命令之间为 1; 命令、地址输入部分 01 跳转; 突发数 据读取方式; DM=0; 所有 BANK 打开, BANK 之间读取命令循环, 0, 0, 1, 1, 2, 2, ...; 使能 DQ 输出和 RTT_Nom; ODT=0	—	235	mA
写入操作工作电流	I_{DD4W}	时钟正常输入; CKE=1 ; CL=11 , BL=8 , AL=0 ; CS#在 写入命令之间为 1; 命令、地址输入部分 01 跳转; 突发数 据写入方式; DM=0; 所有 BANK 打开, BANK 之间写入命令循环, 0, 0, 1, 1, 2, 2, ...; 使能 DQ 输出和 RTT_Nom; ODT=1	—	190	mA
突发刷新电流	I_{DD5B}	时钟正常输入; CKE=1 ; CL=11 , BL=8 , AL=0 ; CS#在 刷新命令之间为 1; 命令、地址输入部分 01 跳转; 数据端口悬空; DM=0; 每个 nRFC 周期一次刷新命令; 使能 DQ 输出和 RTT_Nom; ODT=0	—	235	mA

特性	符号	除另有规定外 $V_{REFCA}=V_{REFDQ}=V_{DD}/2$, $V_{DD}=V_{DDQ}=1.5V\pm0.075V$, $V_{SS}=V_{SSQ}=0V$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$	极限值		单位
			最小	最大	
室温自刷新电流	I_{DD6}	自动自刷新功能关闭; 正常的自刷新温度范围; $CKE=0$; 无时钟输入; $CK/CK\#=0$; $CL=11$, $BL=8$, $AL=0$; CS#悬空; 命令、地址输入和数据端口悬空; $DM=0$; 正常温度 自刷新操作; 使能 DQ 输出和 RTT_Nom; ODT 悬空;	—	40	mA
扩展温度自刷新电流	I_{DD6ET}	自动自刷新功能关闭; 扩展的自刷新温度范围; $CKE=0$; 无时钟输入; $CK/CK\#=0$; $CL=11$, $BL=8$, $AL=0$; CS#悬空; 命令、地址输入和数据端口悬空; $DM=0$; 扩展温度 自刷新操作; 使能 DQ 输出和 RTT_Nom; ODT 悬空;	—	40	mA
Bank interleave read 工作电流	I_{DD7}	时钟正常输入; $CKE=1$; $CL=11$, $BL=8$, $AL=CL-1$; CS# 在激活和读取加自动预充电为 1; 命令、地址输入部分 01 跳转; 突发数据读取方式; $DM=0$; BANK 交错激活; 使能 DQ 输出和 RTT_Nom; ODT=0;	—	300	mA
复位电流	I_{DD8}	RESET=0; $CK/CK\#=0$; CKE 悬空; 无时钟输入; CS#悬空; 命令、地址输入和数据端口悬空; ODT 悬空;	—	34	mA

3.3.2 AC 特性表

表 3-2 AC 特性表

特性	符 号	条件 除另有规定外 $V_{REFCA}=V_{REFDQ}=V_{DD}/2$, $V_{DD}=V_{DDQ}=1.5V\pm0.075V$, $V_{SS}=V_{SSQ}=0V$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$	极限值		单 位
			最 小	最 大	
时钟参数					
时钟周期:DLL enable 模式	$t_{CK(avg)}$	图 18	1.25	1.5	ns

特性	符 号	条件 除另有规定外 $V_{REFCA}=V_{REFDQ}=V_{DD}/2$, $V_{DD}=V_{DDQ}=1.5V \pm 0.075V$, $V_{SS}=V_{SSQ}=0V$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$	极限值		单 位
			最 小	最 大	
时钟高电平宽度	$t_{CH(\text{avg})}$	图 18	0.47	0.53	$t_{CK(\text{avg})}$
时钟低电平宽度	$t_{CL(\text{avg})}$	图 18	0.47	0.53	$t_{CK(\text{avg})}$
时钟周期 抖动	DLL locked	t_{JITper}^a	—	-70	70 ps
	DLL locking	$t_{JITper,lck}^a$	—	-60	60 ps
Absolute 时钟周期	$t_{CK(\text{abs})}^a$	—	1180	1570	ps
Absolute 时钟高脉冲宽度	$t_{CH(\text{abs})}^a$	—	0.43	—	$t_{CK(\text{avg})}$
Absolute 时钟低脉冲宽度	$t_{CL(\text{abs})}^a$	—	0.43	—	$t_{CK(\text{avg})}$
周期间抖 动	DLL locked	t_{JITcc}^a	—	—	140 ps
	DLL locking	$t_{JITcc,lck}^a$	—	—	120 ps
累积误差	2 周期	$t_{ERR2per}^a$	—	- 103	103 ps
	3 周期	$t_{ERR3per}^a$	—	- 122	122 ps
	4 周期	$t_{ERR4per}^a$	—	- 136	136 ps
	5 周期	$t_{ERR5per}^a$	—	- 147	147 ps
	6 周期	$t_{ERR6per}^a$	—	- 155	155 ps
	7 周期	$t_{ERR7per}^a$	—	- 163	163 ps
	8 周期	$t_{ERR8per}^a$	—	- 169	169 ps
	9 周期	$t_{ERR9per}^a$	—	- 175	175 ps
	10 周期	$t_{ERR10per}^a$	—	- 180	180 ps
	11 周期	$t_{ERR11per}^a$	—	- 184	184 ps
	12 周期	$t_{ERR12per}^a$	—	- 188	188 ps
	n=13 , 14..49, 50 周期	$t_{ERRnper}^a$	—	(1+0.68ln[n]) \times t_{JITper} MIN	(1+0.68l n[n]) \times t_{JITper} MAX ps
DQ 输入时间参数					
DQ/DM 输入建立时间	$t_{DS(\text{base})(AC150)}^a$	图 25	10	—	ps
DQ/DM 输入保持时间	$t_{DH(\text{base})(DC100)}^a$	图 25	45	—	ps
DQ/DM 输入脉冲宽度	t_{DIPW}^a	—	360	—	ps
DQ 输出时间参数					
DQS, DQS#与 DQ 偏斜	t_{DQSQ}^a	图 24	—	100	ps
DQ 输出保持时间	t_{QH}^a	图 24	0.38	—	$t_{CK(\text{avg})}$
DQ Low-Z 时间	t_{LZDQ}^a	图 24	-450	225	ps
DQ High-Z 时间	t_{HZDQ}^a	图 24	—	225	ps
DQS 输入时间参数					
DQS, DQS#上升沿到时钟 CK, CK#上升沿	t_{DQSS}	图 14	-0.27	+0.27	$t_{CK(\text{avg})}$

特性	符 号	条件 除另有规定外 $V_{REFCA}=V_{REFDQ}=V_{DD}/2$, $V_{DD}=V_{DDQ}=1.5V \pm 0.075V$, $V_{SS}=V_{SSQ}=0V$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$	极限值		单 位
			最 小	最 大	
DQS , DQS#输入低脉冲宽度	t_{DQSL}	图 14	0.45	+0.55	$t_{CK(\text{avg})}$
DQS, DQS#输入高脉冲宽度	t_{DQSH}	图 14	0.45	+0.55	$t_{CK(\text{avg})}$
DQS, DQS#建立时间	t_{DSS}^a	图 14	0.18	—	$t_{CK(\text{avg})}$
DQS, DQS#保持时间	t_{DSH}^a	图 14	0.18	—	$t_{CK(\text{avg})}$
DQS, DQS#写前同步时间	t_{WPRE}	图 14、28、29	0.9	—	$t_{CK(\text{avg})}$
DQS, DQS#写后同步时间	t_{WPST}	图 14、28、29	0.3	—	$t_{CK(\text{avg})}$
DQS 输出时间参数					
DQS, DQS#上升沿输出存取时间到时钟 CK,CK#上升沿	t_{DQSCK}	图 26	-225	225	ns
DQS, DQS#输出高时间	t_{QSH}^a	图 26	0.4	—	$t_{CK(\text{avg})}$
DQS, DQS#输出低时间	t_{QSL}^a	图 26	0.4	—	$t_{CK(\text{avg})}$
DQS, DQS# Low-Z 时间(RL-1)	t_{LZDQS}^a	图 26	-450	225	ps
DQS, DQS# High-Z 时间(RL+BL/2)	t_{HZDQS}^a	图 26	—	225	ps
DQS, DQS#读前同步时间	t_{RPRE}^a	图 26	0.9	—	$t_{CK(\text{avg})}$
DQS, DQS#读后同步时间	t_{RPST}^a	图 26	0.3	—	$t_{CK(\text{avg})}$
命令和地址时间参数					
DLL 锁定时间	t_{DLLK}^a	图 9	512	—	nCK
控制、命令、地址输入建立时间	$t_{IS(\text{base})(AC175)}^a$	图 18	45	—	ps
控制、命令、地址输入建立时间	$t_{IS(\text{base})(AC150)}^a$	图 18	170	—	ps
控制、命令、地址输入保持时间	$t_{IH(\text{base})(DC100)}^a$	图 18	120	—	ps
控制、命令、地址输入脉冲宽度	t_{PW}^a	—	0.75	—	$t_{CK(\text{avg})}$
激活到内部读或写延迟	t_{RCD}	图 10	13.75	—	ns
预充电命令周期	t_{RP}	图 12	13.75	—	ns
激活到预充电命令周期	t_{RAS}^a	图 12	35	$9 \times t_{REFI}$	ns
激活到激活命令周期	t_{RC}^a	—	48.75	—	ns
激活到激活最小命令周期	t_{RRD}^a	图 10、27	7.5	—	ns
4 个激活序列周期	t_{FAW}^a	图 27	40	—	ns
写恢复时间	t_{WR}^a	图 15	15	—	ns
写命令到读命令延迟时间	t_{WTR}^a	图 28	7.5	—	ns
读命令到预充电命令时间	t_{RTP}^a	图 12	7.5	—	ns
列地址命令延迟时间	t_{CCD}^a	图 29	4	—	nCK
自动预充电写恢复+预充电时间	t_{DAL}^a	—	WR+roundup($t_{RP}/t_{CK(\text{avg})}$)	—	nCK

特性	符 号	条件 除另有规定外 $V_{REFCA}=V_{REFDQ}=V_{DD}/2$, $V_{DD}=V_{DDQ}=1.5V \pm 0.075V$, $V_{SS}=V_{SSQ}=0V$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$	极限值		单 位
			最 小	最 大	
模式寄存器设置命令时间	t_{MRD} ^a	图 9	4	—	nCK
模式寄存器设置命令更新延 迟	t_{MOD} ^a	图 9	12	—	nCK
多用寄存器恢复时间	t_{MPRR} ^a	—	1	—	nCK
校准时间参数					
ZQCL 命令: 长校 准时间	上电和复位操作 正常操作	t_{ZQinit} ^a t_{ZQoper} ^a	图 9、30 图 30	640 320	— —
ZQCS 命令: 短校准时间		t_{ZQCS} ^a	图 30	80	—
初始化和复位时间参数					
退出复位从 CKE 高到可用 命令时间		t_{XPR} ^a	图 21	270	—
刷新时间参数					
刷新命令周期		t_{RFC}	图 16	260	—
最大刷新周期 ($-55^{\circ}C \leq T_A \leq +85^{\circ}C$)		t_{REF} ^a	—	64	ms
最大刷新周期 ($85^{\circ}C \leq T_A \leq +105^{\circ}C$)		t_{REF} ^a	—	32	ms
最大刷新周期 ($105^{\circ}C \leq T_A \leq +125^{\circ}C$)		t_{REF} ^a	—	16	ms
最大平均周期刷新 $-55^{\circ}C \leq T_A \leq +85^{\circ}C$		t_{REFI} ^a	—	7.8	μs
最大平均周期刷新 $+85^{\circ}C \leq T_A \leq +105^{\circ}C$		t_{REFI} ^a	—	3.9	μs
最大平均周期刷新 $+105^{\circ}C \leq T_A \leq +125^{\circ}C$		t_{REFI} ^a	—	1.95	μs
退出自刷新到命令 不锁定 DLL 时间		t_{XS} ^a	图 18、31	270	—
退出自刷新到命令锁定 DLL 时间		t_{XSDLL} ^a	图 18	$t_{DLLK(min)}$	nCK
最小 CKE 低脉冲宽度从自 刷新进入到退出时间		t_{CKESR} ^a	图 18、31	6.25	—
自刷新进入/Power_down 进 入后时钟可用时间		t_{CKSRE} ^a	图 18、31	10	—
自刷新退出/Power_down 退 出/复位退出到时钟可用时 间		t_{CKSRX} ^a	图 18、31	10	—
Power-Down 时序					
CKE 最小脉冲宽度		$t_{CKE(MIN)}$ ^a	图 19、20	5	—
命令通过禁止延时时间		t_{CPDED} ^a	图 19、20	1	—
Power_down 进入到退出时 间		t_{PD} ^a	图 19、20	5	$9 \times t_{REFI}$
Power-Down 进入最小时序					
激活命令到 Power-Down 时 间		$t_{ACTPDEN}$ ^a	图 36	1	—
预充电命令到 Power-Down		$t_{PREPDEN}$ ^a	图 37	1	—

特性	符 号	条件 除另有规定外 $V_{REFCA}=V_{REFDQ}=V_{DD}/2$, $V_{DD}=V_{DDQ}=1.5V \pm 0.075V$, $V_{SS}=V_{SSQ}=0V$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$	极限值		单 位
			最 小	最 大	
时间					
刷新命令到 Power-Down 时间	$t_{REFPDEN}$ ^a	图 35	1	—	nCK
模式寄存器命令到 Power-Down 时间	$t_{MRSPDEN}$ ^a	图 37	'MOD(MI N)	—	—
读/读加自动预充电命令到 Power-Down 时间	t_{RDPDEN} ^a	图 32	RL+4+1	—	nCK
写命令到 Power-Do wn 时间	BL8OTF, BL8MRS, BC4OTF	t_{WRPDEN} ^a	图 33	WL+4+W R /t _{CK(avg)}	nCK
	BC4MRS	t_{WRPDEN} ^a	图 33	WL+2+W R / t _{CK(avg)}	nCK
写命令加 自动预充 电 到 Power-Do wn 时间	BL8OTF, BL8MRS, BC4OTF	$t_{WRAPDEN}$ ^a	图 34	WL+4+W R+1	nCK
	BC4MRS	$t_{WRAPDEN}$ ^a	图 34	WL+2+W R+1	nCK
Power-Down 退出时序					
DLL 打开、命令可用时间或 DLL 关闭到不需要锁定 DLL 命令时间	t_{XP} ^a	图 20	6	—	ns
预充电 Power-down 带 DLL 关闭到 DLL 锁定命令 时间	$t_{XP DLL}$ ^a	图 20	24	—	ns
Write Leveling 时序 ^a					
ODT 时序 ^a					
RTT 打开时间	t_{AON}	图 39	-225	225	ps
RTT 关断时间	t_{AOF}	图 39	0.3	0.7	t _{CK(avg)}
异步 RTT 打开延时	t_{AONPD}	图 40	2	8.5	ns
异步 RTT 关断延时	t_{AOFPD}	图 40	2	8.5	ns
ODT 高时间用写命令和 BL8	<i>ODTH8</i>	图 41	6	—	nCK
ODT 高时间不用写命令/用 写命令和 BC4	<i>ODTH4</i>	图 39	4	—	nCK
Dynamic ODT 时序 ^a					
RTT 动态改变偏斜	t_{ADC}	图 41	0.3	0.7	t _{CK(avg)}
写入均衡时序					
写入均衡时序的第一个 DQS, DQS# 脉冲上升沿时 间	t_{WLMRD}	图 42	40	—	nCK
写入均衡时序的 DQS , DQS#延迟	$t_{WL DQSEN}$	图 42	25	—	nCK
写入均衡时序建立时间	t_{WLS}	图 42	165	—	ps
写入均衡时序保持时间	t_{WLH}	图 42	165	—	ps
写入均衡时序输出延迟时间	t_{WLO}	图 42	0	7.5	ns

特性	符 号	条件 除另有规定外 $V_{REFCA}=V_{REFDQ}=V_{DD}/2$, $V_{DD}=V_{DDQ}=1.5V \pm 0.075V$, $V_{SS}=V_{SSQ}=0V$, $-55^{\circ}C \leq T_A \leq 125^{\circ}C$	极限值		单 位
			最 小	最 大	
写入均衡时序输出错误时间	t_{WLOE}	图 42	0	2	ns

3.3.3 时序图

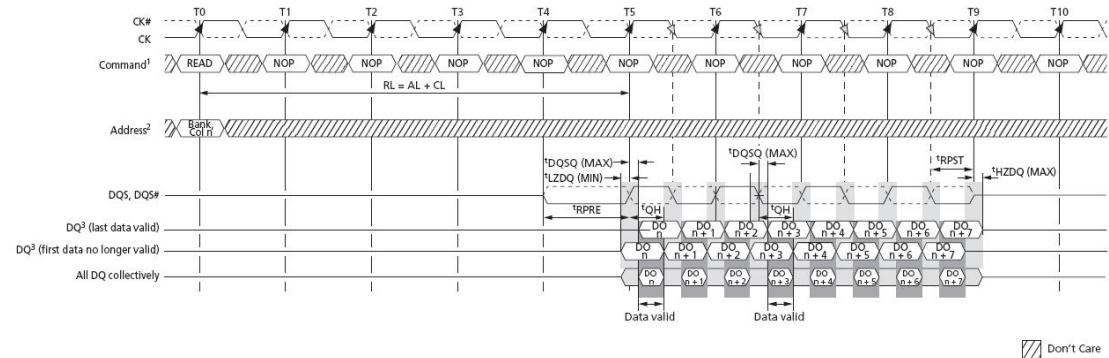


图 24 数据输出时序

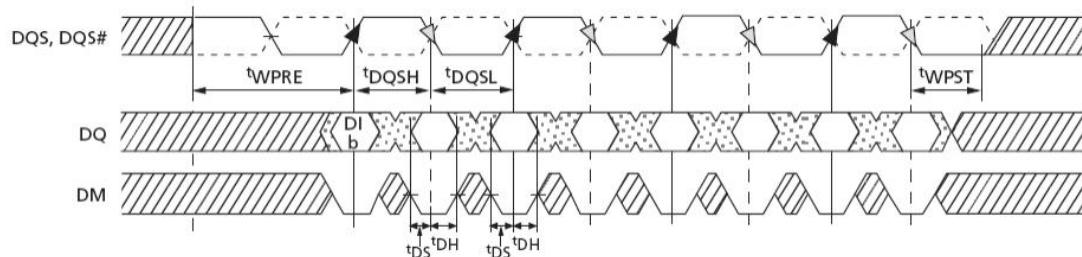


图 25 数据输入时序

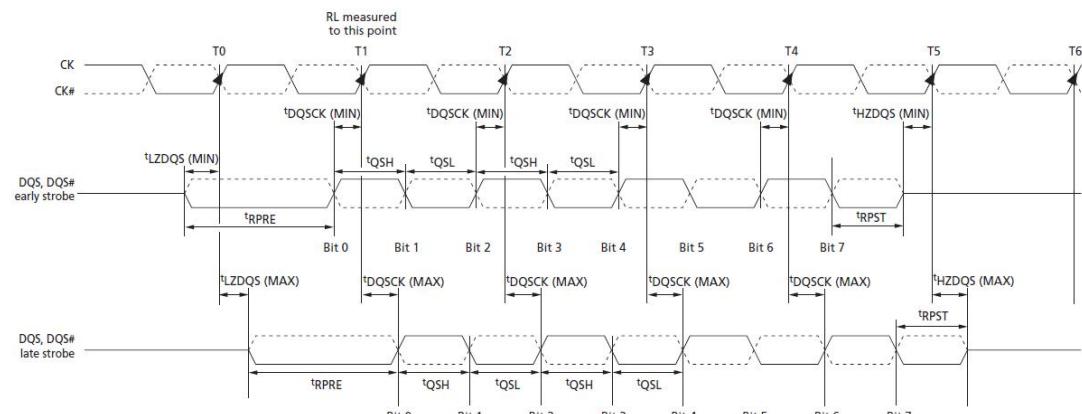


图 26 DQS 时序-读取操作

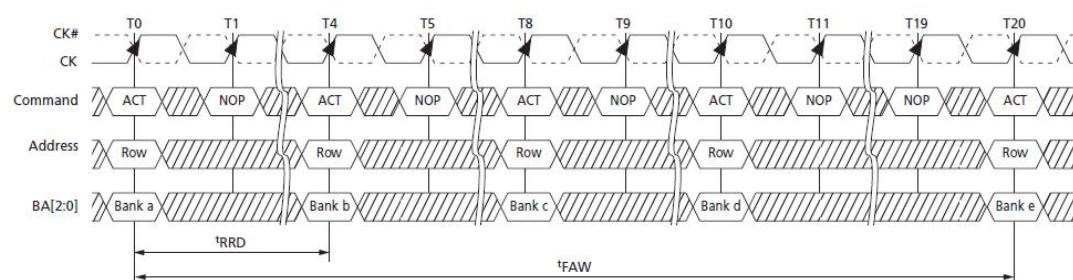


图 27 fFAW 时序

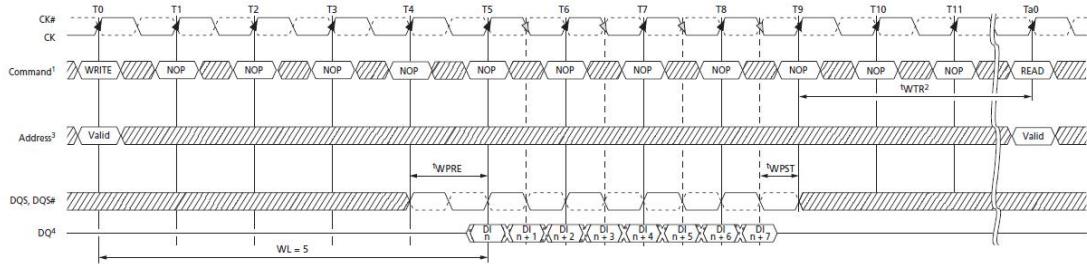


图 28 写入操作到读取操作时序 (BL8)

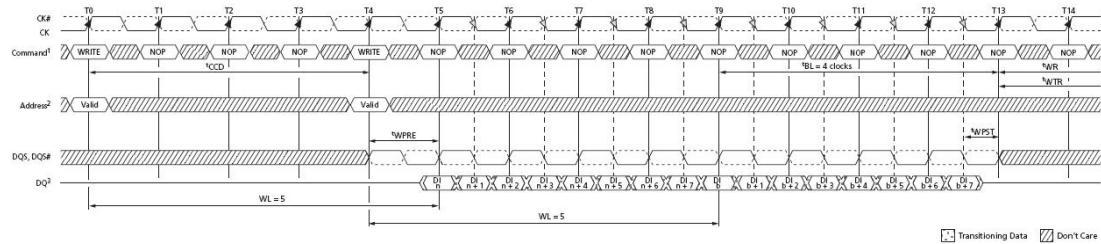


图 29 连续写入操作 (BL8)

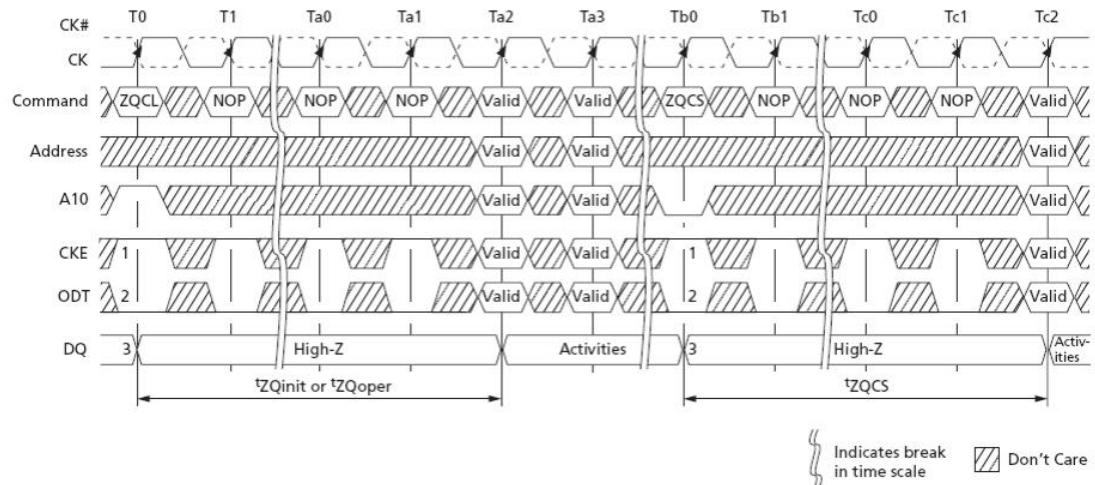


图 30 ZQ 校准时序 ((ZQCL and ZQCS))

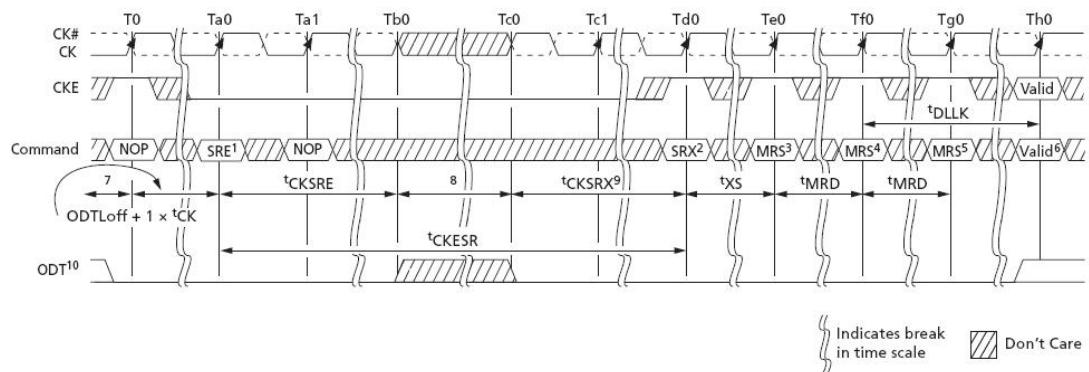


图 31 DLL Disable 模式到 DLL enable 模式

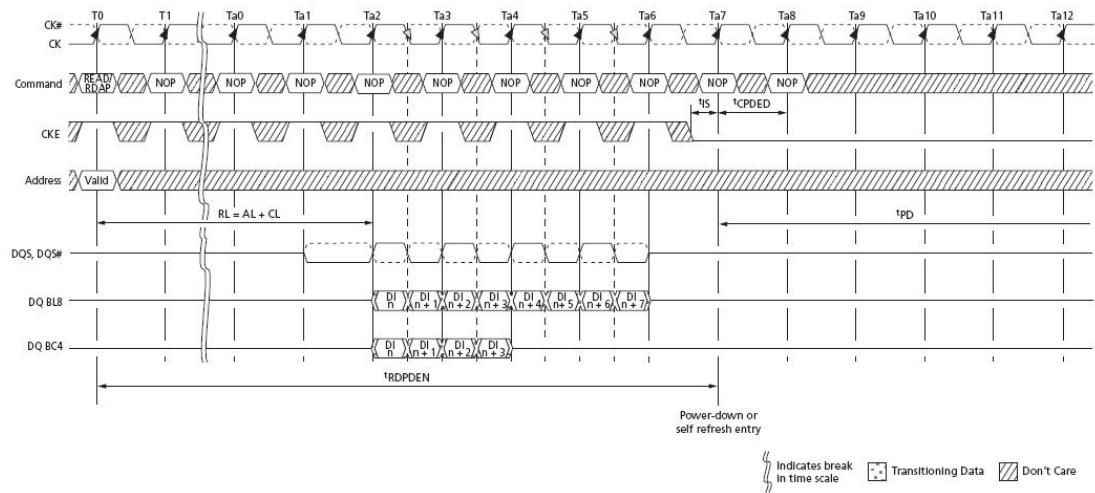


图 32 读命令/读命令加预充电后进入 Power-Down 时序 (RDAP)

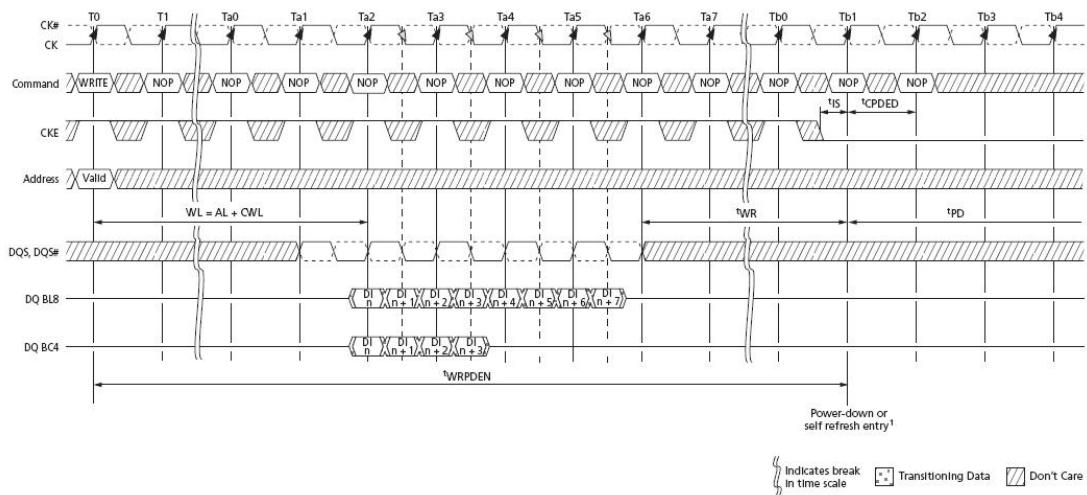


图 33 写命令后进入 Power-Down 时序

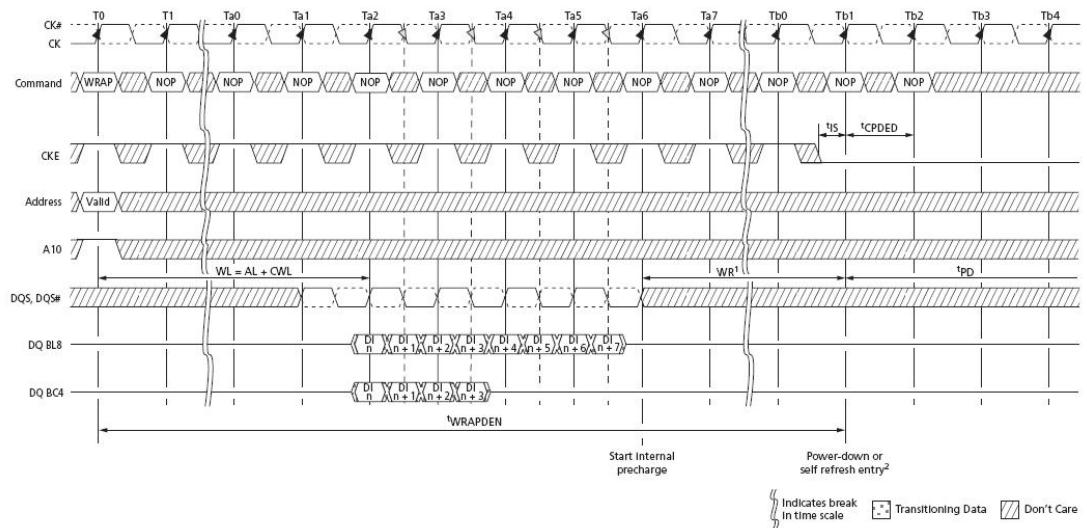


图 34 写命令加自动预充电后进入 Power-Down 时序 (WRAP)

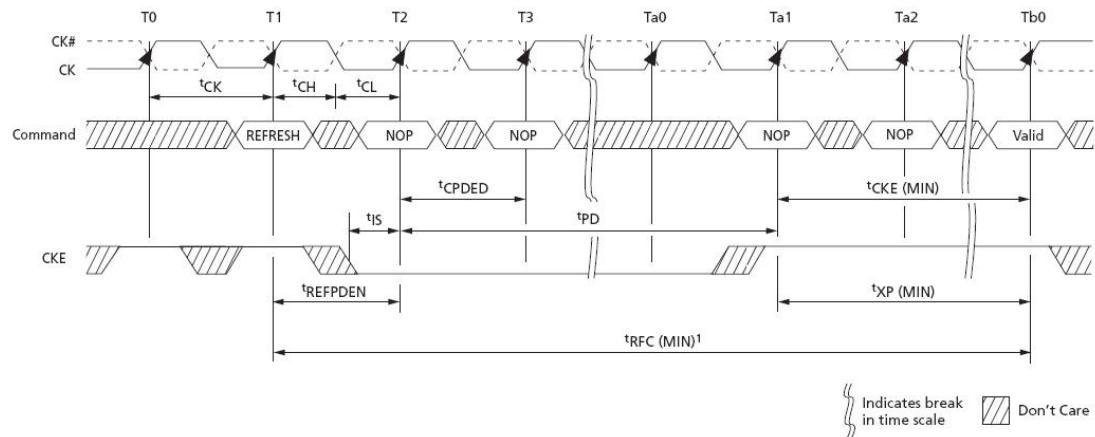


图 35 刷新后进入 Power-Down 时序

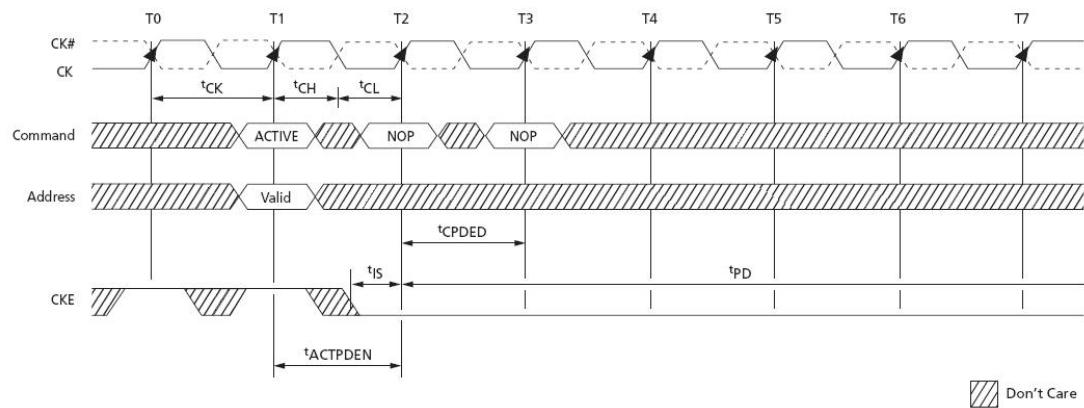


图 36 激活后进入 Power-Down 时序

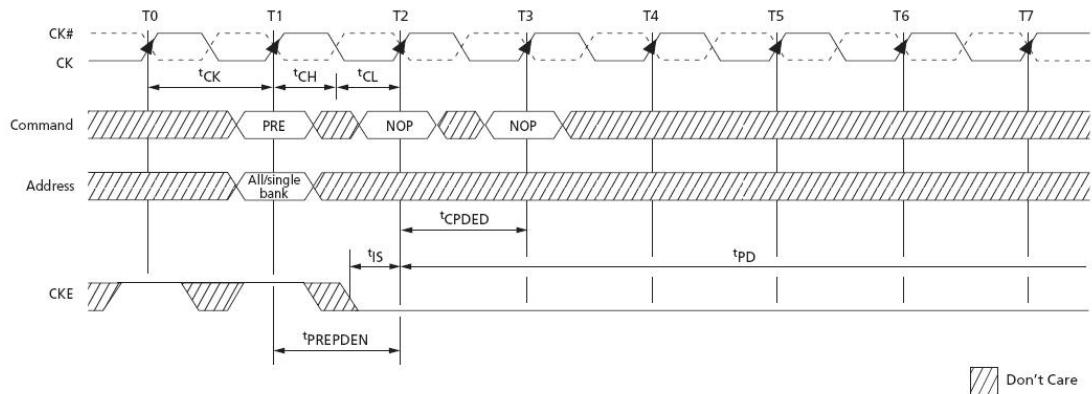
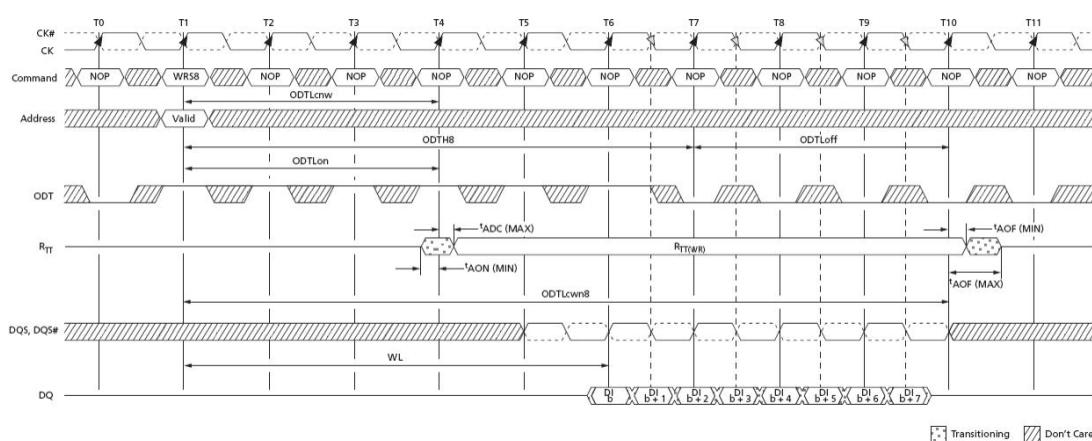
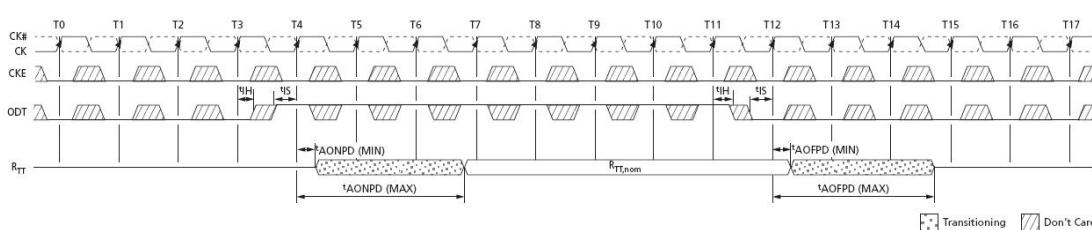
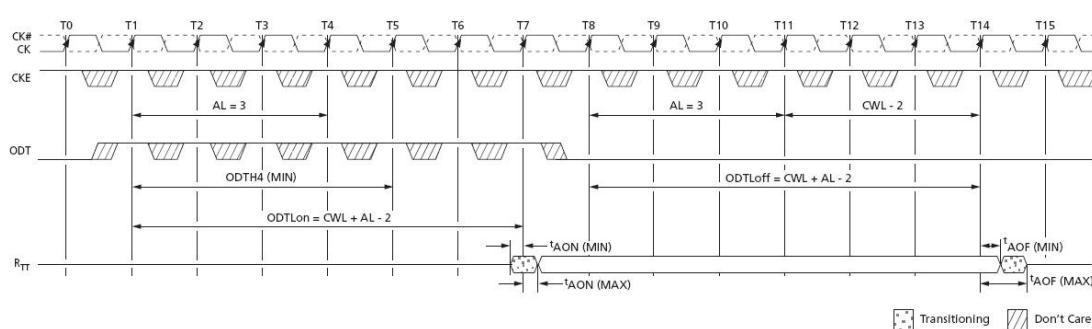
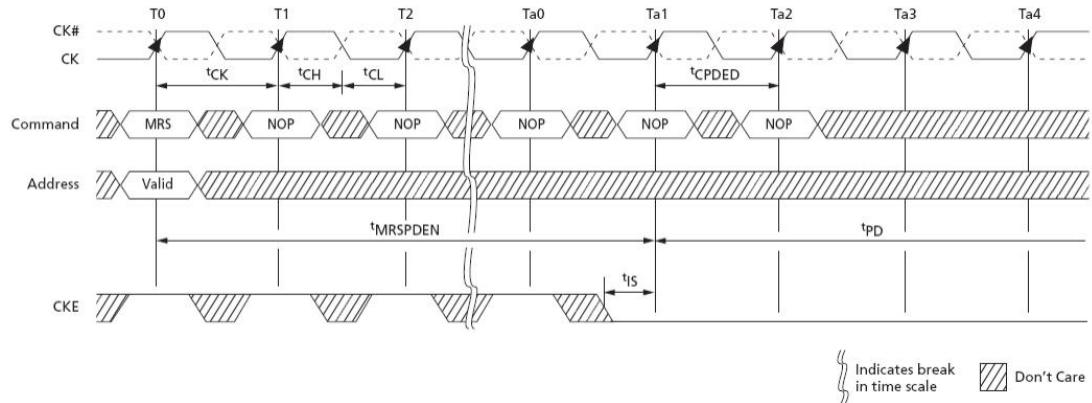


图 37 预充电后进入 Power-Down 时序



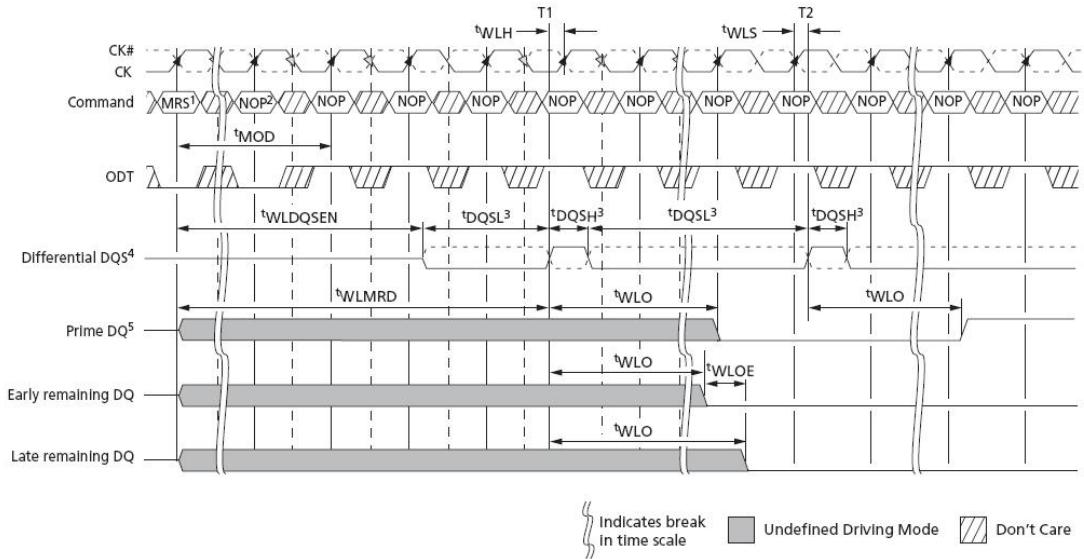


图 42 写入均衡时序

4 说明事项

4.1 运输与储存

芯片在适宜环境下储运。

使用指定的防静电包装盒进行产品的包装和运输。在运输过程中，确保芯片不要与外物发生碰撞。

4.2 开箱与检查

开箱使用芯片时，请注意观察产品标识。确定产品标识清晰，无污迹，无擦痕。同时，注意检查无损坏，无伤痕，管脚整齐，无缺失，无变形。

4.3 使用操作规程及注意事项

器件必须采取防静电措施进行操作。取用芯片时应佩戴防静电手套，防止人体电荷对芯片的静电冲击，损坏芯片。将芯片插入电路板上的底座时以及将芯片从电路板上的底座取出时，应注意施力方向以确保芯片管脚均匀受力。不要因为用力过猛，损坏芯片管脚，导致无法使用。

推荐下列操作措施：

- a) 器件应在防静电的工作台上操作，或带指套操作；
- b) 试验设备和器具应接地；
- c) 此不能触摸器件引线；
- d) 器件应存放在导电材料制成的容器中（如：集成电路专用盒）；
- e) 生产、测试、使用以及转运过程中应避免使用引起静电的塑料、橡胶或丝织物；
- f) 相对湿度尽可能保持在 50%±30%。

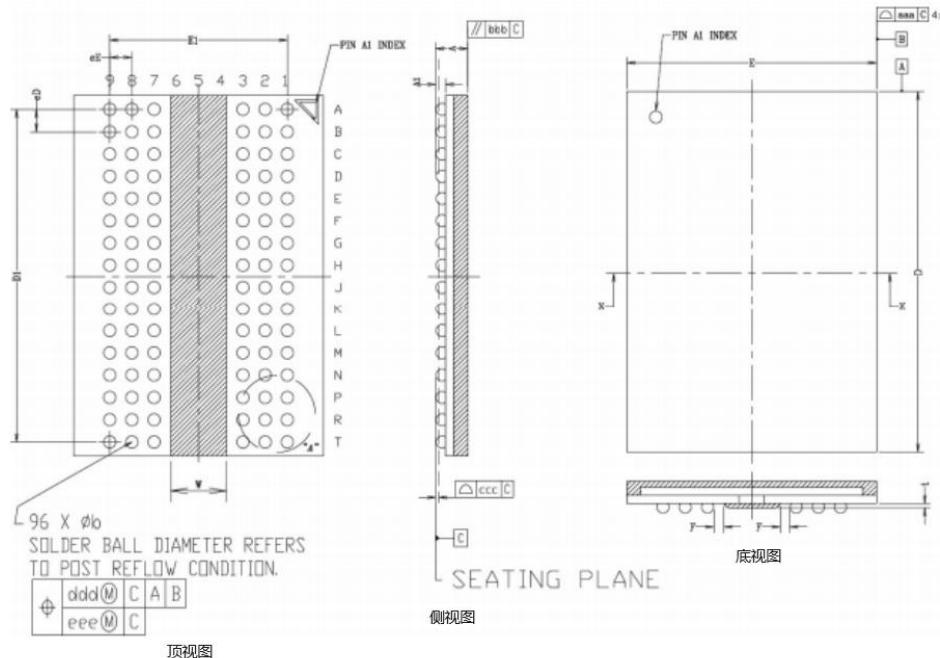
4.4 质量保证

公司质量管理体系根据国军标 GJB9001 要求制定了完善的质量管理工作流程，对产品的设计、生产和销售进行日常质量管理。产品制定依据 GJB7400《合格制造厂认证用半导体集成电路通用规范》裁剪后的标准进行设计和生产，并按照 GJB548《微电子器件试验方法和程序》的要求进行试验和检验。产品兼容性好、可靠性高。

5 封装

5.1 TLX41J256M16M 封装形式

TLX41J256M16M 产品采用 BGA96 塑料封装，引线基材为 SAC305。封装形式如图 5-1



尺寸	数值：单位（mm）		
	最小值	典型值	最大值
A	--	--	1.20
A1	0.25	0.33	0.40
b	0.40	0.45	0.50
D	12.90	13.00	13.10
E	8.90	9.00	9.10
D1	12.00 BSC		
E1	6.40 BSC		
eE	0.80 BSC		
eD	0.80 BSC		
aaa	--	--	0.15
bbb	--	--	0.20
ccc	--	--	0.12
ddd	--	--	0.15
eee	--	--	0.08
F	0.10	--	--
t	--	--	0.20
W	--	--	2.00

图 5-1 封装形式图

5.2 订购信息

订购型号	温度等级	封装类型	MSL	质量等级
JTLX41J256M16M	-55 °C ~+125 °C	BGA96	MSL1/3	N1/军温级
TLX41J256M16M	-40 °C ~+125 °C	BGA96	MSL1/3	工业级

5.3 器件重量

TLX41J256M16M 的器件重量约 0.2g。

5.4 推荐焊装工艺

TLX41J256M16M 采用无铅回流温度曲线图，如图 5-2 所示。

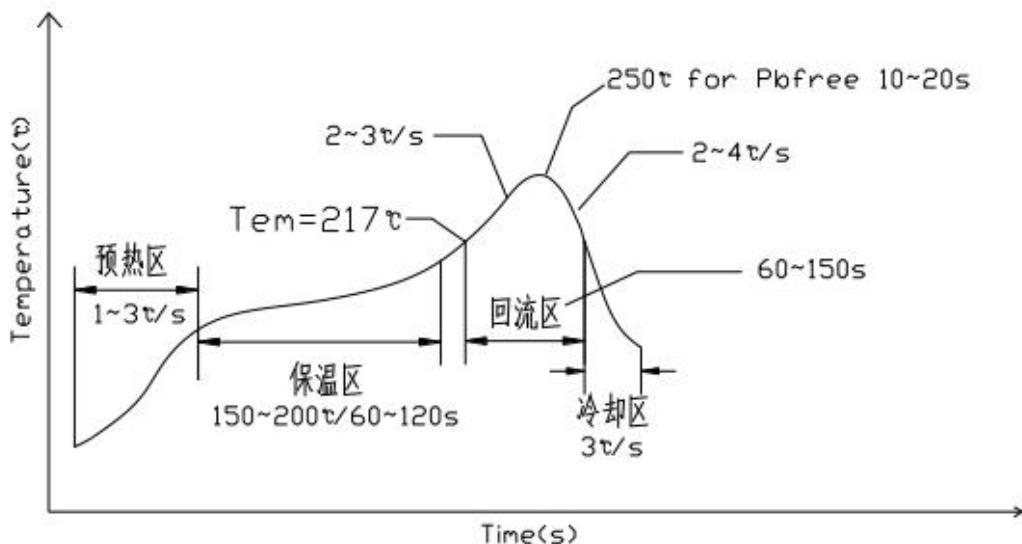
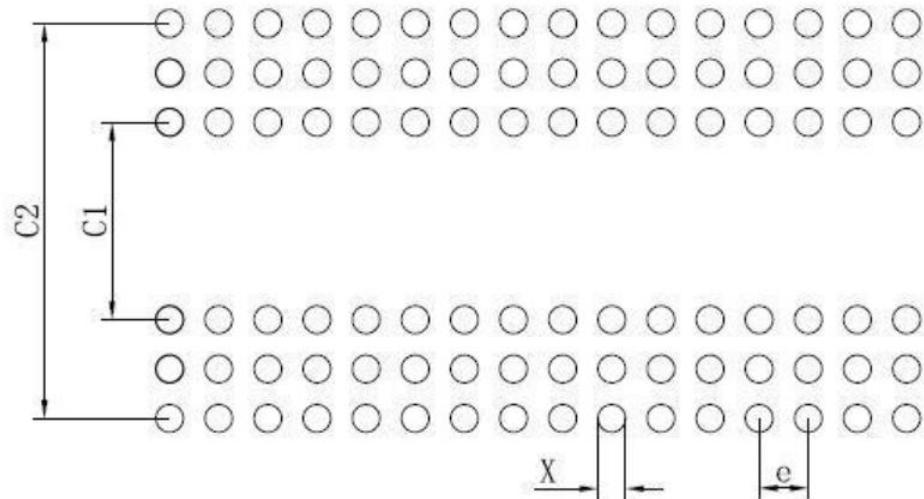


图 5-2 无铅回流焊曲线图

该器件采用塑封工艺，属于非气密性封装，具有水密性。

5.5 焊盘推荐

产品推荐的焊盘如下图：



单位：mm

器件型号	封装形式	X	e	C1	C2
TLX41J256M16M	BGA96	0.4	0.8	3.2	6.4