

无锡泰连芯科技有限公司

TLX1324 型

12 位微功率四路数模转换器

2024 年 06 月

12 位微功率四路数模转换器

1 特点

- 确保单调性
- 低功耗运行
- 轨到轨电压输出
- 上电复位至 0V
- 同时输出更新
- 宽电源范围：2.7V 至 5.5V
- 业界最小的封装
- 断电模式
- 分辨率：12 位
- INL：+1.2 /-1.2 LSB (TYP)
- 非线性(DNL)：+ 0.3 /-0.2 LSB (TYP)
- 设置时间：2 μs (TYP)
- 零代码误差：4.3 mV (TYP)
- 满量程误差：±0.01 % FS (TYP)
- 供电：
 - 正常：3V 时 1.13 mW 或 5V 时 2.54 mW (TYP)
 - 断电：3V 时 0.03 μW 或 5V 时 0.15 μW (TYP)

2 应用

- 电池供电仪器
- 数字增益和偏移调整
- 可编程电压和电流源
- 可编程衰减器

3 描述

TLX1324 器件是一款功能齐全、通用、四路、12 位、电压输出数模转换器 (DAC)，可从单个 2.7 V 至 5.5 V 供应并消耗 1.13 3 V 时为 mW 或 2.54 5 V 时为 mW。TLX1324 采用 MSOP10 封装。

片上输出放大器支持轨到轨输出摆幅，三线串行接口在整个电源电压范围内以高达 40 MHz 的时钟频率工作。该串行接口兼容标准 SPI、QSPI、MICROWIRE 和 DSP 接口。

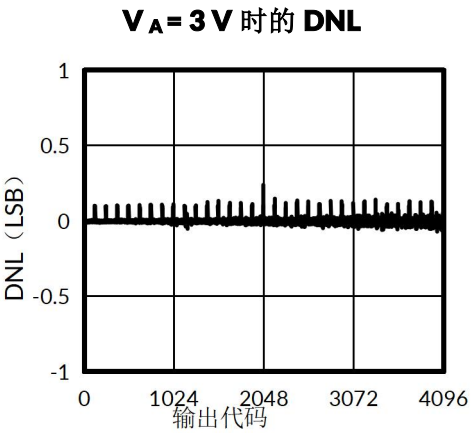
TLX1324 的基准电压源服务于所有四个通道，电压可在 1 V 至 V_A 之间变化，从而提供尽可能宽的输出动态范围。TLX1324 具有一个 16 位输入移位寄存器，用于控制要更新的输出、工作模式、断电条件和二进制输入数据。所有四个输出可以同时更新，也可以单独更新，具体取决于两个工作模式位的设置。

质量等级：军温级&企军标

设备信息⁽¹⁾

产品编号	封装	主体尺寸 (标称)
TLX1324	MSOP10	3.00mm × 3.00mm

(1) 对于所有可用的封装，请参阅数据表末尾的可订购附录。



目录

1 特点	2
2 应用	2
3 描述	2
4 修订历史	5
5 包装/订购信息(1)	6
6 引脚配置和功能	7
7 规格	8
7.1 绝对最大额定值	8
7.2 ESD 额定值	8
7.3 建议工作条件	9
7.4 热信息	9
7.5 电气特性	10
7.6 交流和时序特性	13
7.7 典型特性	15
8 详细描述	20
8.1 概述	20
8.2 功能框图	20
8.3 特性描述	21
8.3.1 DAC 部分	21
8.3.2 输出放大器	21
8.3.3 参考电压	21
8.3.4 上电复位	22
8.4 设备功能 模式	22
8.4.1 断电 模式	22
8.5 编程	22
8.5.1 串行接口	22
8.5.2 输入移位寄存器	22
8.5.3 微线接口	23
8.5.4 双极操作	23
9 布局	26
9.1 布局 指南	26
9.2 布局示例	26
10 封装外形尺寸	27
11 卷带信息	28

4 修订历史

注意：以前修订的页码可能与当前版本的页码不同。

版本	更改日期	更改项目
A.0	2025/01/02	初步版本完成
A.0.1	2025/08/21	1.更新电气特性和典型特性 2.添加热信息 3.添加应用曲线和布局示例

5 包装/订购信息⁽¹⁾

订购型号	温度等级	封装类型	丝印标记 ⁽²⁾	MSL	质量等级
JTLX1324XN	-55 ℃ ~+125 ℃	MSOP10	TLX1324	MSL1/3	企军标
JTLX1324XN(W)	-55 ℃ ~+125 ℃	MSOP10	TLX1324	MSL1/3	军温级
TLX1324XN	-40 ℃ ~+125 ℃	MSOP10	TLX1324	MSL1/3	工业级

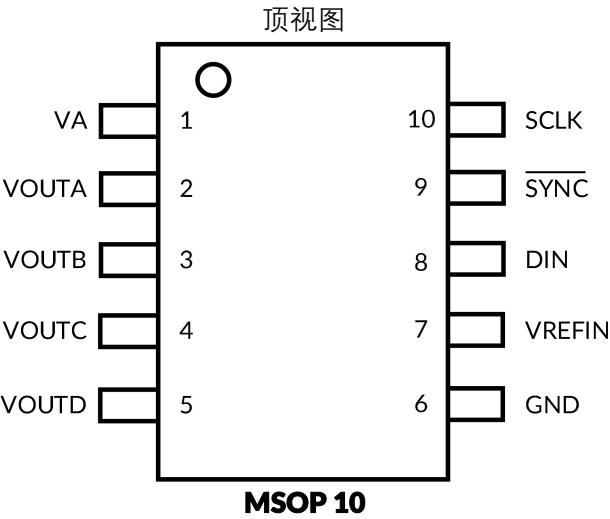
笔记:

(1) 此信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，亦不会修订本文档。如需此数据表的浏览器版本，请参阅右侧导航栏。

(2) 可能有额外的标记，涉及设备上的批次跟踪代码信息（数据代码和供应商代码）、徽标或环境类别。

(3) TLXIC 在其组装工厂中使用符合 JEDEC 工业标准 J-STD- 20F 的通用预处理设置来划分 MSL 等级。如果您的最终应用对预处理设置至关重要，或者您有特殊要求，请与 TLXIC 合作。

6 引脚配置和功能



引脚描述

代码	编号	类型 ⁽¹⁾	描述
V _A	1	S	电源输入。必须与 GND 去耦。
V _{OUTA}	2	O	通道 A 模拟输出电压。
V _{OUTB}	3	O	B 通道模拟输出电压。
V _{OUTC}	4	O	通道 C 模拟输出电压。
V _{OUTD}	5	O	通道 D 模拟输出电压。
GND	6	G	所有片上电路的接地参考。
V _{REFIN}	7	I	非缓冲参考电压。必须与 GND 去耦。
D _{IN}	8	I	下降沿之后的SYNC SCLK 下降沿被输入到 16 位移位寄存器中。
SYNC	9	I	数据输入的帧同步输入。当此引脚变为低电平时，启用输入移位寄存器，并在 SCLK 的下降沿传输数据。DAC 在第 16 个时钟周期更新，除非 SYNC 在第 16 个时钟周期之前变为高电平，在这种情况下，的上升沿 SYNC 将充当中断，DAC 会忽略写入序列。
SCLK	10	I	串行时钟输入。数据在该引脚的下降沿被输入到输入移位寄存器。

(1) G = 接地，I = 输入，O = 输出，S = 电源。

7 规格

7.1 绝对最大额定值

在自然通风工作温度范围内（除非另有说明）⁽¹⁾⁽²⁾

	最小值	最大值	单位
电源电压， V_A		6.5	V
任何输入引脚上的电压	-0.3	6.5	V
任意引脚的输入电流 ⁽³⁾		10	mA
封装输入电流 ⁽³⁾		20	mA
$T_A = 25^{\circ}\text{C}$ 时的功耗	See ⁽⁴⁾		
结温， T_J ⁽⁴⁾		150	$^{\circ}\text{C}$
储存温度， T_{stg}	-65	150	$^{\circ}\text{C}$

- (1) 超出绝对最大额定值所列的应力可能会对器件造成永久性损坏。这些应力仅为额定值，并不代表器件在这些条件下或任何其他超出建议工作条件的条件下能够正常工作。长时间暴露于绝对最大额定值条件下可能会影响器件的可靠性。
- (2) 所有电压均相对于 $\text{GND} = 0\text{ V}$ 进行测量。
- (3) 当任何引脚的输入电压超过 5.5 V 或低于 GND 时，该引脚的电流必须限制为 10 mA 。 20 mA 的最大封装输入电流额定值将能够安全超过 10 mA 输入电流电源的引脚数量限制为两个。
- (4) 该器件的绝对最大结温 (T_{Jmax}) 为 150°C 。最大允许功耗由 T_{Jmax} 、结至环境热阻 (θ_{JA}) 和环境温度 (T_A) 决定，可使用公式 $P_{\text{DMAX}} = (T_{\text{Jmax}} - T_A) / \theta_{\text{JA}}$ 计算。仅当器件在严重故障条件下工作时（即，当输入或输出引脚驱动超过工作额定值，或电源极性反转时），才会达到最大功耗值。

7.2 ESD 额定值

以下ESD信息仅适用于在ESD保护区内处理ESD敏感设备。

			数值	单位
$V_{\text{(ESD)}}$	静电放电	人体模型 (HBM)，符合 ANSI/ ESDA / JEDEC JS -001 ⁽¹⁾	± 2500	V
		充电设备 模型 (CDM)，符合 JEDEC 规范 JESD22 - C101 ⁽²⁾	± 1000	

- (1) JEDEC 文件 JEP155 指出， 500 V HBM 允许使用标准 ESD 控制流程进行安全制造。
- (2) JEDEC 文件 JEP157 指出， 250 V CDM 允许使用标准 ESD 控制流程进行安全制造。



ESD 敏感度警告

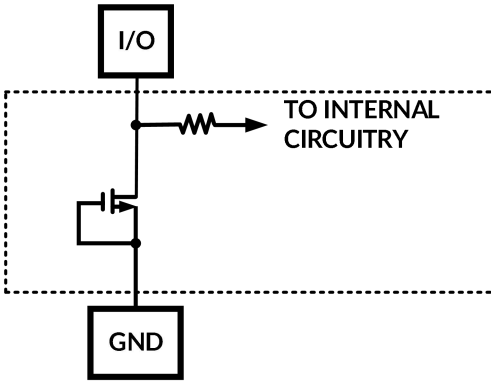
ESD损害的范围很广，从轻微的性能下降到器件的彻底失效。精密集成电路更容易受到损坏，因为即使很小的参数变化也可能导致器件不符合其公布的规格。

7.3 建议工作条件

在自然通风工作温度范围内（除非另有说明）⁽¹⁾

		最小值	最大值	单位
V _A	电源电压	2.7	5.5	V
V _{REFIN}	参考电压	1	V _A	V
	数字输入电压 ⁽²⁾	0	5.5	V
	输出 加载	0	1500	pF
	SCLK 频率		40	MHz
T _A	工作温度	-55	125	°C

- (1) 所有电压均相对于 GND = 0V 进行测量。
(2) 输入保护如下所示。无论 V_A 是多少，高达 5.5V 的输入电压幅度都不会导致转换结果出现错误。例如，如果 V_A 为 3V，则数字输入引脚可以用 5V 逻辑器件驱动。



7.4 热信息

热指标 ^{(1) (2)}		TLX1324 XN	单位
		MSOP10	
		10 PINS	
R _{θJA}	结至环境热阻	240	°C/W
R _{θJC (顶部)}	结至外壳（顶部）热阻	53.3	°C/W
R _{θJB}	结至环境热阻	78.9	°C/W
ψ _{JT}	结顶特性参数	4.8	°C/W
ψ _{JB}	结到板特性参数	77.6	°C/W
R _{θJC (底部)}	结至外壳（底部）热阻	—	°C/W

- (1) 有关传统和新热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。
(2) 无铅封装的回流温度曲线有所不同。

7.5 电气特性

$T_A = 25^\circ\text{C}$ 、 $V_A = 2.7\text{ V}$ 至 5.5 V 、 $V_{\text{REFIN}} = V_A$ 、 $C_L = 200\text{ pF}$ 至 GND 、 $f_{\text{SCLK}} = 30\text{ MHz}$ ，输入代码范围为 48 至 4047（除非另有说明）。

范围		测试条件		最小	典型 ⁽¹⁾	最大	单位
静态性能							
	分辨率	-55°C ≤ T _A ≤ 125°C		12			Bits
	单调性	-55°C ≤ T _A ≤ 125°C		12			Bits
INL	积分非线性	T _A = 25°C		-3.1	+1.2/-1.2	2.3	LSB
		-55°C ≤ T _A ≤ 125°C			+2/-1.3		LSB
DNL	微分非线性	V _A = 2.7 V to 4.5 V	T _A = 25°C	-0.5	+0.3/-0.2	0.7	LSB
			-55°C ≤ T _A ≤ 125°C		+0.35/-0.2		
		V _A = 4.5 V to 5.5 V	T _A = 25°C		+0.15/-0.1		LSB
			-55°C ≤ T _A ≤ 125°C		+0.2/-0.2		
ZE	零代码错误	I _{OUT} = 0 mA	T _A = 25°C		4.3		mV
			-55°C ≤ T _A ≤ 125°C		4.7		
			T _A = 25°C, V _A = 2.7 V			4.7	
FSE	满量程误差	I _{OUT} = 0 mA	T _A = 25°C		-0.01	±0.1	%FSR
			-55°C ≤ T _A ≤ 125°C		-0.04		
GE	增益误差	All ones Loaded to DAC register	T _A = 25°C		-0.1	±0.25	%FSR
			-55°C ≤ T _A ≤ 125°C		-0.2		
ZCED	零码误差漂移				8		μV/°C
TC GE	增益误差温度系数	V _A = 3 V			-0.3		ppm
		V _A = 5 V			-0.2		FSR/°C
输出特性 (V _{OUT})							
	输出电压范围 ⁽²⁾	-55°C ≤ T _A ≤ 125°C		0		V _{REFIN}	V
I _{OZ}	高阻抗输出漏电流 ⁽²⁾	-55°C ≤ T _A ≤ 125°C			+1		μA
ZCO	零代码输出	V _A = 2.7 V, I _{OUT} = 200 μA			9	11	mV
		V _A = 2.7 V, I _{OUT} = 1 mA			38	45	
		V _A = 5.5 V, I _{OUT} = 200 μA			5	7	
		V _A = 5.5 V, I _{OUT} = 1 mA			21	23	
FSO	满量程输出	V _A = 2.7 V, I _{OUT} = 200 μA		2.686	2.687		V
		V _A = 2.7 V, I _{OUT} = 1 mA		2.638	2.642		
		V _A = 5.5 V, I _{OUT} = 200 μA		5.492	5.493		
		V _A = 5.5 V, I _{OUT} = 1 mA		5.466	5.468		
I _{OS}	输出短路电流 (I _{SOURCE})	V _A = 3 V, V _{OUT} = 0 V, Input Code = FFFh			-38		mA
		V _A = 5 V, V _{OUT} = 0 V, Input Code = FFFh			-40		
I _{OS}	输出短路电流 (I _{SINK})	V _A = 3 V, V _{OUT} = 3 V, Input Code = 000h.			60		mA
		V _A = 5 V, V _{OUT} = 5 V, Input Code = 000h.			62		
I _O	连续输出电流	Available on each DAC output, -55°C ≤ T _A ≤ 125°C				10	mA
C _L	最大负载电容	R _L = ∞			1500		pF
		R _L = 2 kΩ			1500		
Z _{OUT}	直流输出阻抗	V _A = 2.7V, Input Code = 7FFh			0.42		Ω
		V _A = 5.5V, Input Code = 7FFh			0.35		

电气特性 (续)

$T_A = 25^\circ\text{C}$ 、 $V_A = 2.7\text{ V}$ 至 5.5 V 、 $V_{\text{REFIN}} = V_A$ 、 $C_L = 200\text{ pF}$ 至 GND、 $f_{\text{SCLK}} = 30\text{ MHz}$ ，输入代码范围为 48 至 4047（除非另有说明）。

范围		测试条件		最小	典型 ⁽¹⁾	最大	单位
参考输入特性							
V _{REFIN} ⁽³⁾	输入范围最小值	T _A = 25°C			0.2		V
		-55°C ≤ T _A ≤ 125°C		1			
	最大输入范围	-55°C ≤ T _A ≤ 125°C				V _A	V
	输入阻抗				30		kΩ
逻辑输入特性							
I _{IN}	输入电流	-55°C ≤ T _A ≤ 125°C			+1		μA
V _{IL}	输入低电压	V _A = 3 V	T _A = 25°C		0.7		V
			-55°C ≤ T _A ≤ 125°C			0.6	
		V _A = 5 V	T _A = 25°C		1.3		V
			-55°C ≤ T _A ≤ 125°C			0.8	
V _{IH}	输入高电压	V _A = 3 V	T _A = 25°C		1.4		V
			-55°C ≤ T _A ≤ 125°C		2.1		
		V _A = 5 V	T _A = 25°C		2.1		V
			-55°C ≤ T _A ≤ 125°C		2.4		
C _{IN}	输入电容	-55°C ≤ T _A ≤ 125°C			3		pF
电源要求							
V _A ⁽³⁾	最小电源电压	-55°C ≤ T _A ≤ 125°C		2.7			V
	最大电源电压	-55°C ≤ T _A ≤ 125°C				5.5	V
I _N ⁽⁴⁾	正常供电电流	f _{SCLK} = 30 MHz, output unloaded, V _A = 2.7 V to 3.6 V	T _A = 25°C		376		μA
			-55°C ≤ T _A ≤ 125°C			438	
		f _{SCLK} = 30 MHz, output unloaded, V _A = 4.5 V to 5.5 V	T _A = 25°C		508		μA
			-55°C ≤ T _A ≤ 125°C			586	
		f _{SCLK} = 0 MHz, output unloaded,	V _A = 2.7 V		233	257	μA
			V _A = 5.5 V		273	306	
I _{PD}	断电电源电流	All PD modes, output unloaded, SYNC = DIN = 0 V after PD mode loaded, V _A = 2.7 V to 3.6 V	T _A = 25°C		0.01	0.06	μA
			-55°C ≤ T _A ≤ 125°C			1	
		All PD modes, output unloaded, SYNC = DIN = 0 V after PD mode loaded, V _A = 4.5 V to 5.5 V	T _A = 25°C		0.03	0.08	μA
			-55°C ≤ T _A ≤ 125°C			2	
P _N ⁽⁴⁾	正常供电	f _{SCLK} = 30 MHz, output unloaded, V _A = 2.7 V to 3.6 V	T _A = 25°C		1.13		mW
			-55°C ≤ T _A ≤ 125°C			1.58	
		f _{SCLK} = 30 MHz, output unloaded, V _A = 4.5 V to 5.5 V	T _A = 25°C		2.54		mW
			-55°C ≤ T _A ≤ 125°C			3.22	
		f _{SCLK} = 0 MHz, output unloaded	V _A = 2.7 V to 3.6 V		0.61	0.71	mW
			V _A = 4.5 V to 5.5 V		1.50	1.73	

电气特性 (续)

$T_A = 25^{\circ}\text{C}$ 、 $V_A = 2.7\text{ V}$ 至 5.5 V 、 $V_{\text{REFIN}} = V_A$ 、 $C_L = 200\text{pF}$ 至 GND、 $f_{\text{SCLK}} = 30\text{ MHz}$ ，输入代码范围为 48 至 4047（除非另有说明）。

范围		测试条件		最小	典型 ⁽¹⁾	最大	单位
P _{PD}	掉电电源	所有 PD 模式， 输出无负载， SYNC = DIN = 0 伏 PD 模式加载后	$V_A = 2.7\text{ V to }3.6\text{ V}$		0.03	0.17	μW
			$V_A = 4.5\text{ V to }5.5\text{ V}$		0.15	0.44	μW

(1) 典型值基于 $T_J = 25^{\circ}\text{C}$ ，代表最可能的参数标准。测试限值指定为 AOQL（平均出厂质量水平）。

(2) 该参数由设计和/或特性确保，并且未在生产中测试。

(3) 为了确保准确性，要求 V_A 和 V_{REFIN} 可以很好地绕过。

(4) SCLK 和 SYNC 的频率而变化，是在 $f_{\text{SCLK}} = 30\text{MHz}$ 和 $f_{\text{SYNC}} = 588\text{KHz}$ 。

7.6 交流和时序特性

$T_A = 25^\circ\text{C}$ 、 $V_A = 2.7\text{ V}$ 至 5.5 V 、 $V_{\text{REFIN}} = V_A$ 、 $C_L = 200\text{ pF}$ 至 GND 、 $f_{\text{SCLK}} = 30\text{ MHz}$ ，输入代码范围为 48 至 4047（除非另有说明）。

范围		测试条件		最小	典型 ⁽¹⁾	最大	单位
f_{SCLK}	SCLK 频率	$T_A = 25^\circ\text{C}$			40		MHz
		$-55^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$			30		
t_s	输出电压稳定时间 ⁽²⁾	400h to C00h code change $R_L = 2\text{ k}\Omega$, $C_L = 200\text{ pF}$	$T_A = 25^\circ\text{C}$		2		μs
			$-55^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$		3		
SR	输出斜率				1		$\text{V}/\mu\text{s}$
	故障脉冲	Code change from 800h to 7FFh			25		$\text{nV}\cdot\text{sec}$
	数字馈通				0.5		$\text{nV}\cdot\text{sec}$
	数字串扰				1		$\text{nV}\cdot\text{sec}$
	DAC 间串扰				3		$\text{nV}\cdot\text{sec}$
	倍增带宽	$V_{\text{REF}} = 2.5\text{ V} \pm 0.1\text{ Vpp}$			450		kHz
	总谐波失真	$V_{\text{REFIN}} = 2.5\text{ V} \pm 0.1\text{ Vpp}$ Input frequency = 10 kHz			90		dB
t_{WU}	唤醒时间	$V_A = V_{\text{REF}} = 3\text{ V}$			4		μs
		$V_A = V_{\text{REF}} = 5\text{ V}$			8		
$1/f_{\text{SCLK}}$	串行时钟频率	$T_A = 25^\circ\text{C}$			33		ns
		$-55^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$			33		
t_{CH}	SCLK 高电平时间	$T_A = 25^\circ\text{C}$			7		ns
		$-55^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$		10			
t_{CL}	SCLK 低电平时间	$T_A = 25^\circ\text{C}$			7		ns
		$-55^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$		10			
t_{SS}	$\overline{\text{SYNC}}$ SCLK 下降沿之前的设置时间	$T_A = 25^\circ\text{C}$			7		ns
		$-55^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$		10			
t_{DS}	SCLK 下降沿之前的数据建立时间	$T_A = 25^\circ\text{C}$			4		ns
		$-55^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$		5			
t_{DH}	数据保持时间 SCLK 下降沿之后	$T_A = 25^\circ\text{C}$			4		ns
		$-55^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$		5			
t_{CFSR}	SCLK 下降先于上升 $\overline{\text{SYNC}}$	$T_A = 25^\circ\text{C}$			3		ns
		$-55^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$		4			
t_{SYNC}	$\overline{\text{SYNC}}$ 高电平时间	$T_A = 25^\circ\text{C}$			9		ns
		$-55^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$		10			

(1) 典型值基于 $T_J = 25^\circ\text{C}$ ，代表最可能的参数标准。测试限值确保符合 AOQL（平均出厂质量水平）。

(2) 该参数由设计和/或特性确保，并且未在生产中测试。

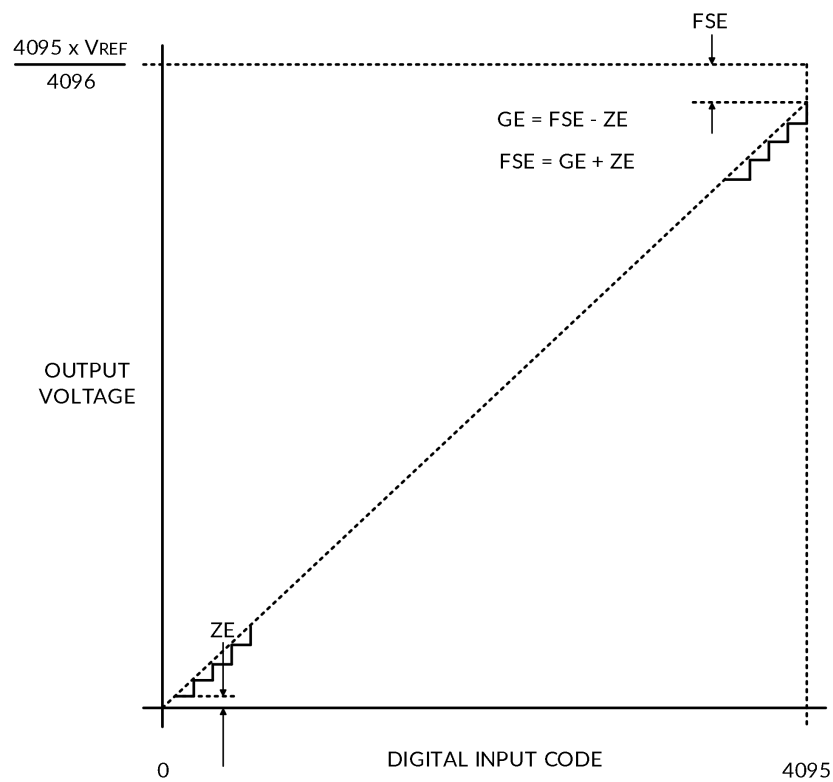


图 1. 输入/输出传输特性

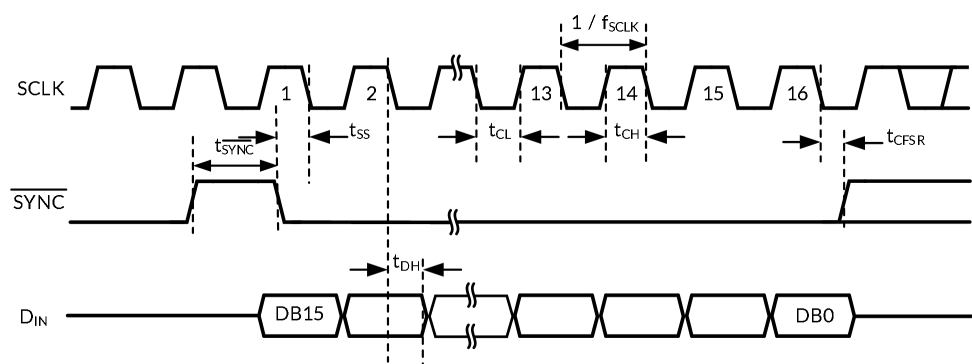


图 2. 串行时序图

7.7 典型特性

注意：本说明后面提供的图表是基于有限数量样本的统计摘要，仅供参考。
 $T_A = 25^{\circ}\text{C}$ ， $V_{\text{REF}} = V_A$ ， $f_{\text{SCLK}} = 30\text{ MHz}$ ，输入代码范围为 48 至 4047（除非另有说明）

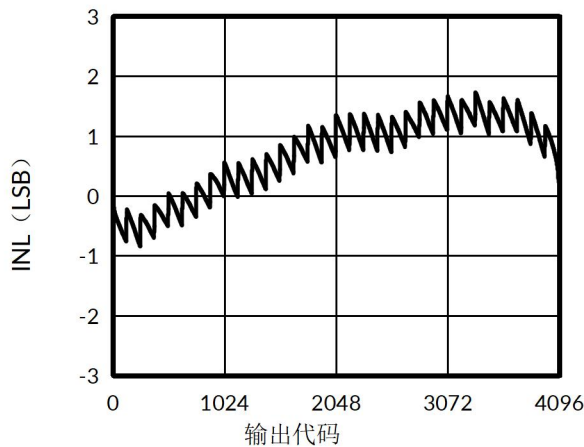


图 3. INL 在 $V_A = 3\text{ V}$ 时

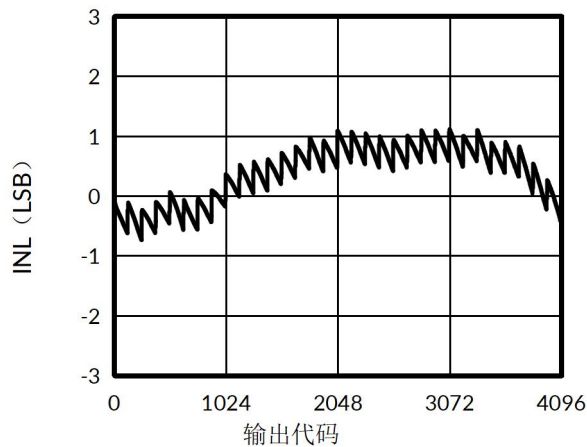


图 4. $V_A = 5\text{ V}$ 时的 INL

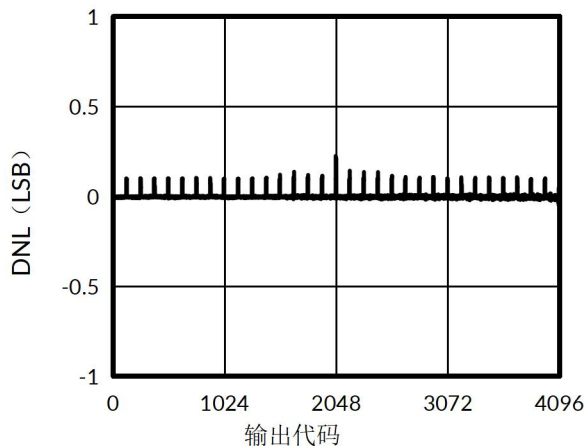


图 5. $V_A = 3\text{ V}$ 时的 DNL

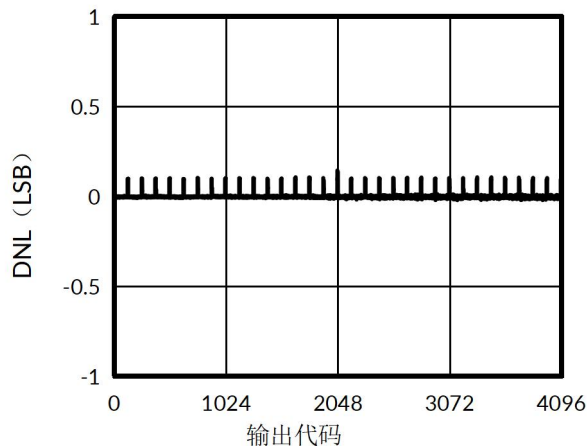


图 6. $V_A = 5\text{ V}$ 时的 DNL

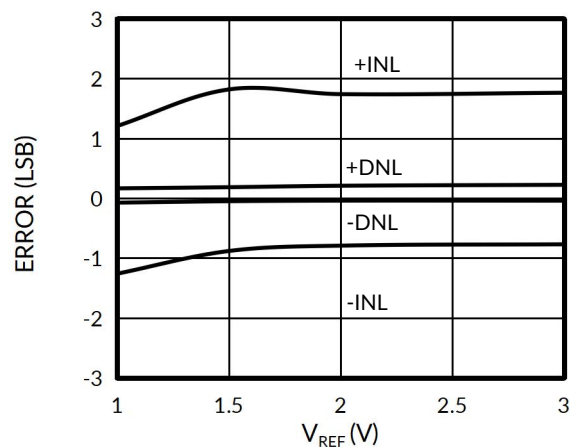


图 7. INL / DNL 与 V_{REF} 在 $V_A = 3\text{ V}$ 时

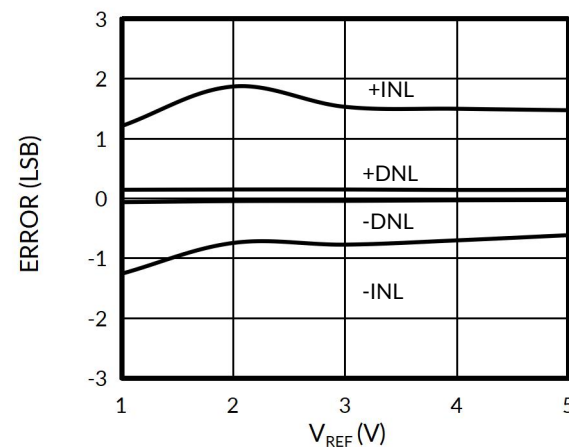


图 8. INL / DNL 与 V_{REF} 在 $V_A = 5\text{ V}$ 时

典型特性（续）

注意：本说明后面提供的图表是基于有限数量样本的统计摘要，仅供参考。

$T_A = 25^{\circ}\text{C}$ ， $V_{\text{REF}} = V_A$ ， $f_{\text{SCLK}} = 30\text{ MHz}$ ，输入代码范围为 48 至 4047（除非另有说明）

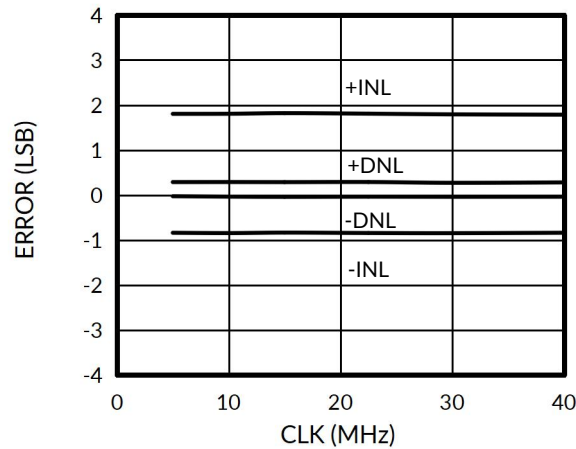


图 9. $V_A = 2.7\text{ V}$ 时 INL / DNL 与 f_{SCLK} 的关系

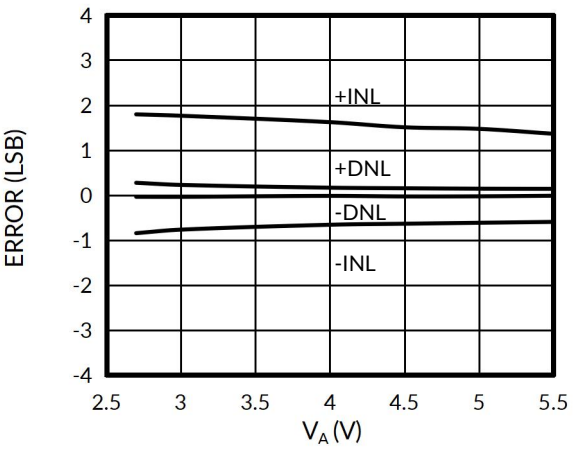


图 10. INL / DNL 与 V_A

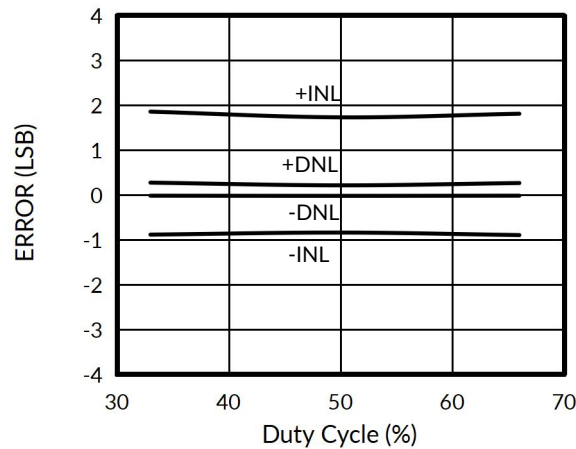


图 11. INL / DNL 与时钟占空比
在 $V_A = 3\text{ V}$ 时

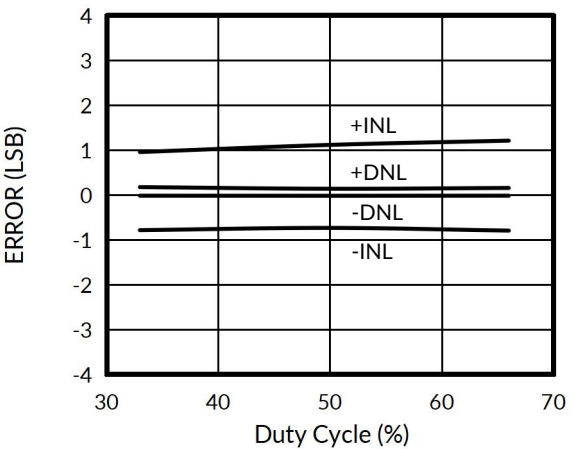


图 12. INL / DNL 与时钟占空比
在 $V_A = 5\text{ V}$ 时

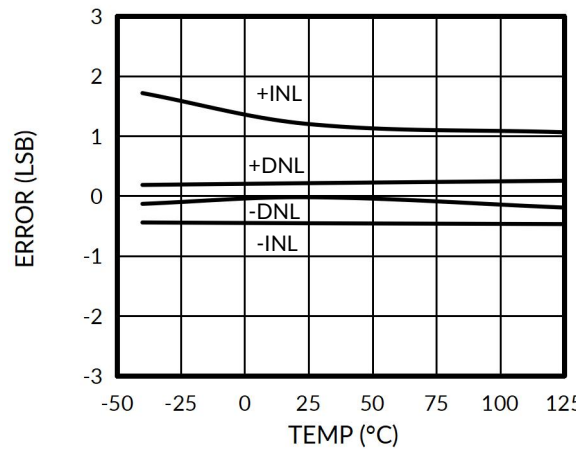


图 13. INL / DNL 与温度的关系
在 $V_A = 3\text{ V}$ 时

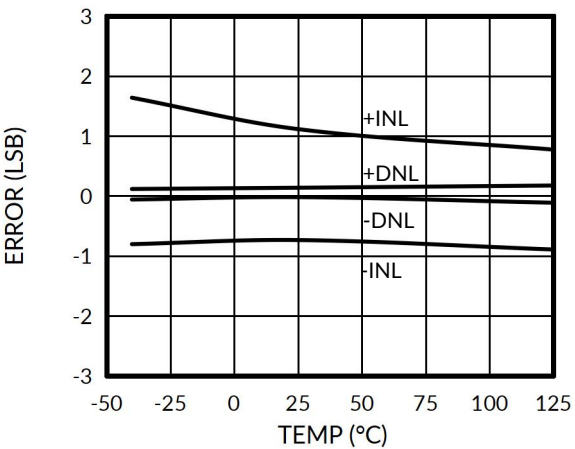


图 14. INL / DNL 与温度的关系
在 $V_A = 5\text{ V}$ 时

典型特性（续）

注意：本说明后面提供的图表是基于有限数量样本的统计摘要，仅供参考。

$T_A = 25^\circ\text{C}$ ， $V_{\text{REF}} = V_A$ ， $f_{\text{SCLK}} = 30\text{ MHz}$ ，输入代码范围为 48 至 4047（除非另有说明）

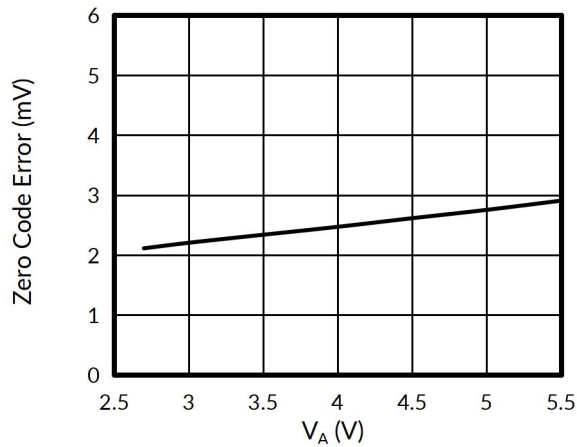


图 15. 零代码误差与 V_A

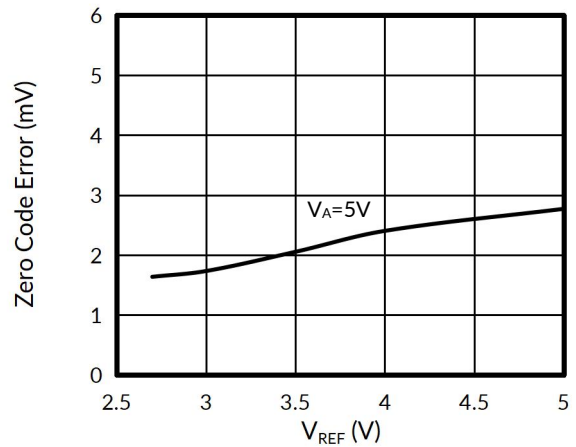


图 16. 零代码误差与 V_{REF}

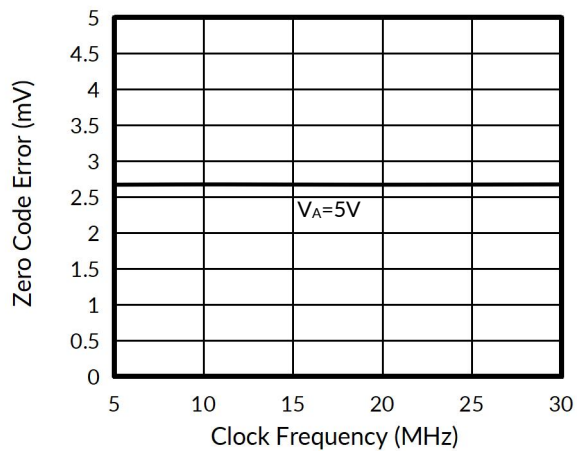


图 17. 零代码误差与 f_{SCLK}

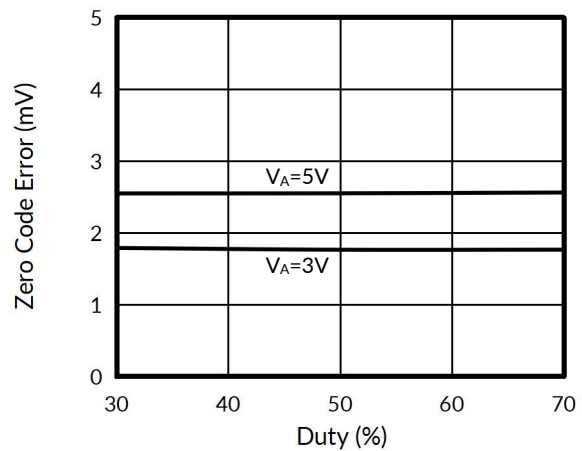


图 18. 零代码错误与时钟占空比

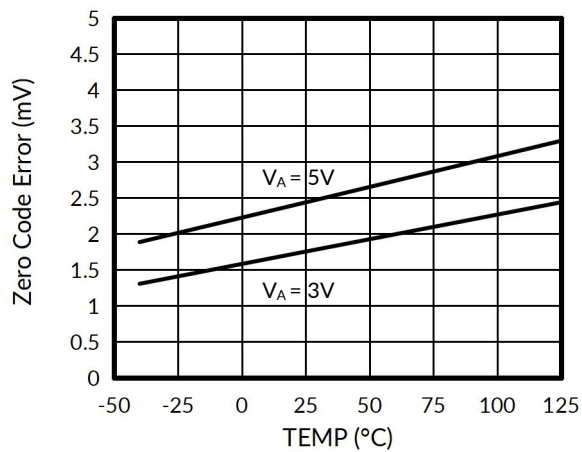


图 19. 零代码误差与温度的关系

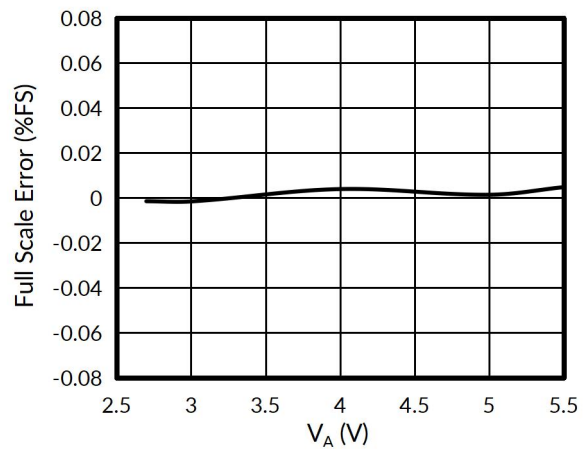


图 20. 满量程误差与 V_A

典型特性 (续)

注意：本说明后面提供的图表是基于有限数量样本的统计摘要，仅供参考。

$T_A = 25^\circ\text{C}$ ， $V_{\text{REF}} = V_A$ ， $f_{\text{SCLK}} = 30\text{ MHz}$ ，输入代码范围为 48 至 4047（除非另有说明）

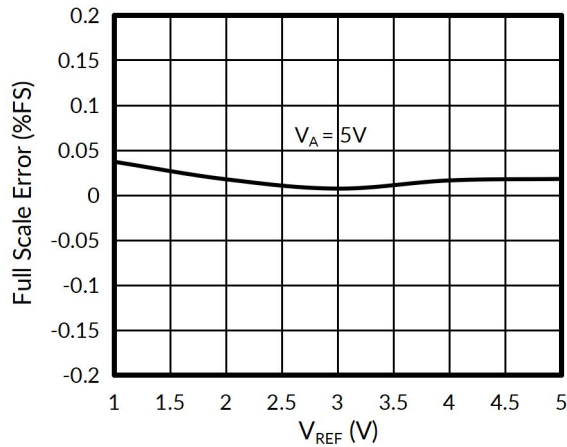


图21. 满量程误差与 V_{REFIN} 的关系

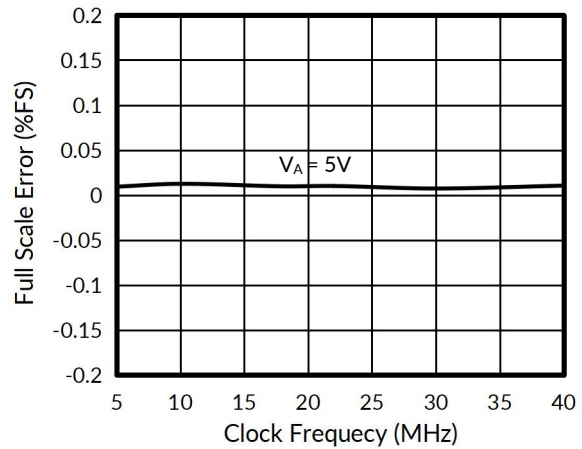


图22. 满量程误差与 f_{SCLK} 的关系

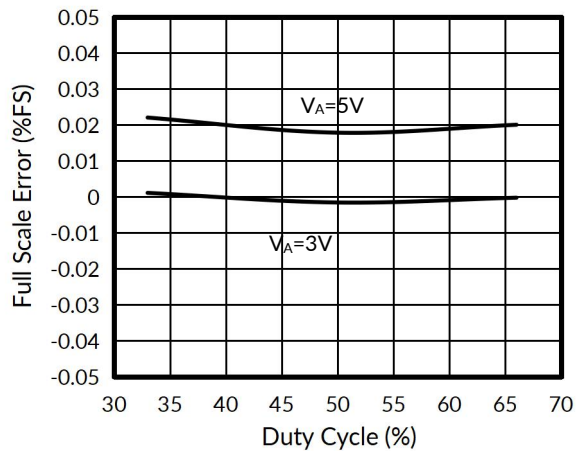


图23. 满量程误差与时钟占空比

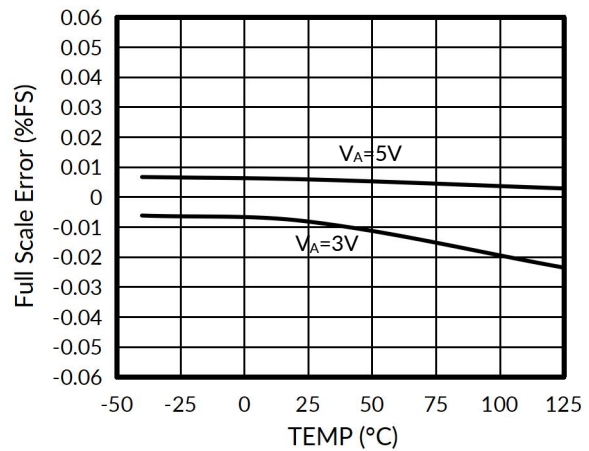


图24. 满量程误差与温度的关系

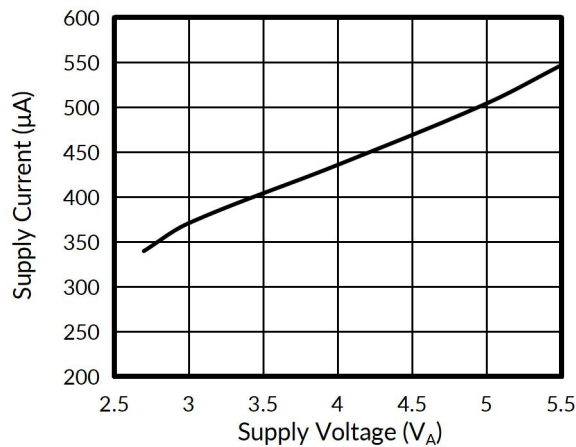


图25. 电源电流与 V_A

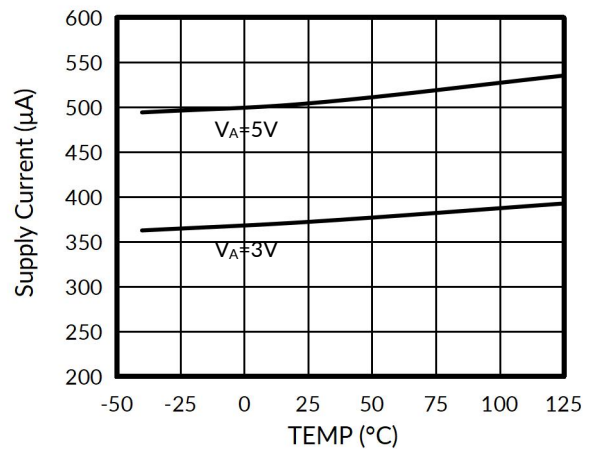


图 26. 电源电流与温度

典型特性（续）

注意：本说明后面提供的图表是基于有限数量样本的统计摘要，仅供参考。

$T_A = 25^\circ\text{C}$ ， $V_{\text{REF}} = V_A$ ， $f_{\text{SCLK}} = 30\text{ MHz}$ ，输入代码范围为 48 至 4047（除非另有说明）

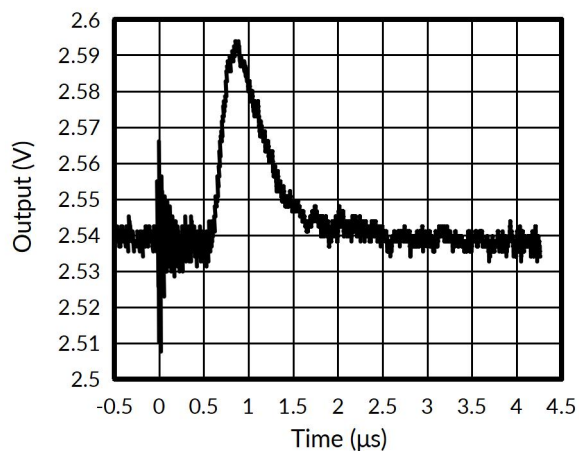


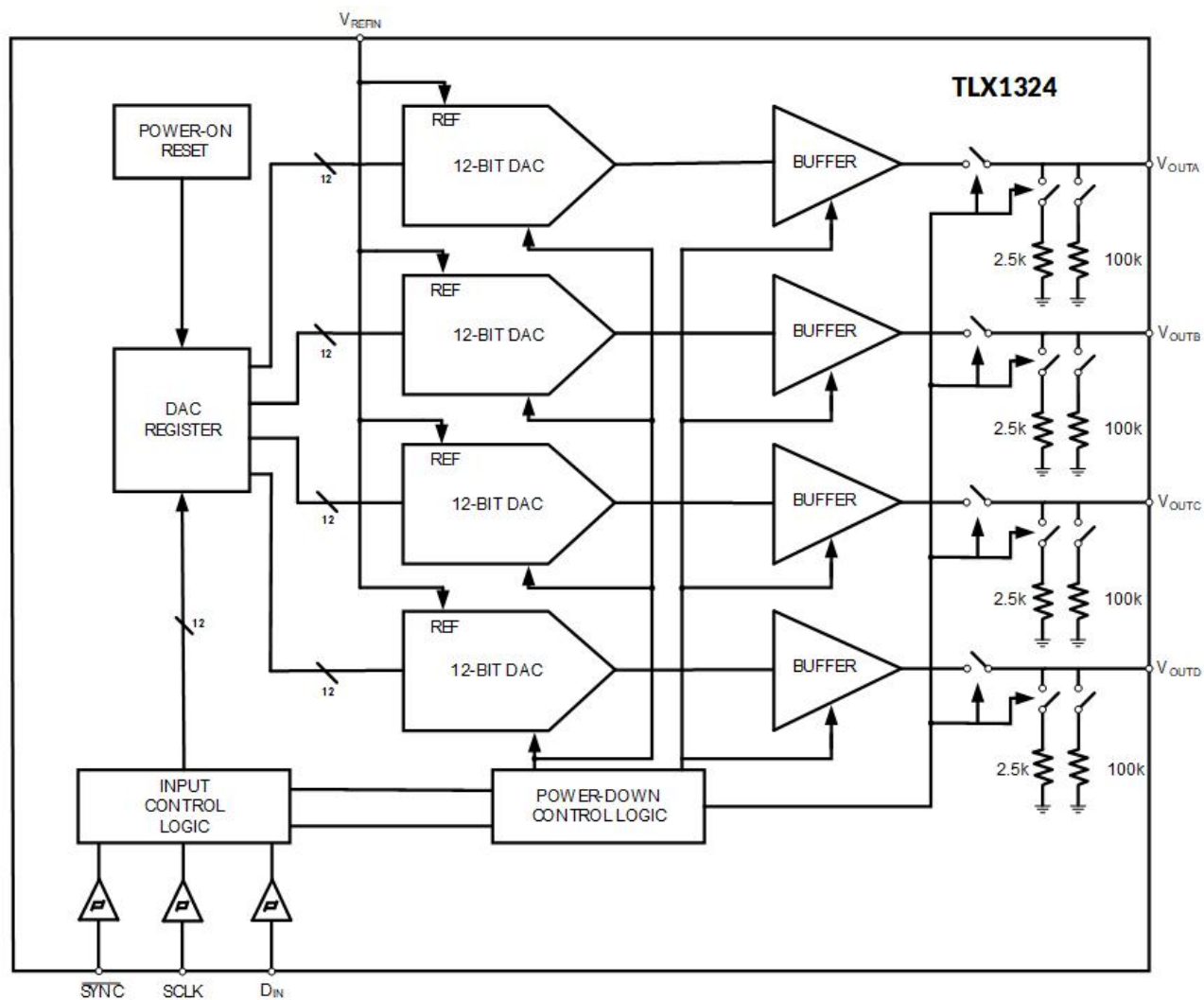
图27. 5V故障响应

8 详细描述

8.1 概述

TLX1324 采用 CMOS 工艺制造，其架构由开关和电阻串以及后面的输出缓冲器组成。

8.2 功能框图



8.3 特性描述

8.3.1 DAC 部分

图 28 显示了单个电阻串。该电阻串由 4096 个等值电阻组成，两个电阻的每个连接点处都有一个开关，另加一个接地开关。加载到 DAC 寄存器中的代码决定哪个开关闭合，从而将正确的节点连接到放大器。输入编码为标准二进制，理想输出电压为：

$$V_{OUTA,B,C,D} = V_{REFIN} \times (D / 4096)$$

在哪里

- D 是加载到 DAC 寄存器中的二进制代码的十进制等效值 (1)

D 可以取 0 到 4095 之间的任意整数值。此配置确保 DAC 是单调的。

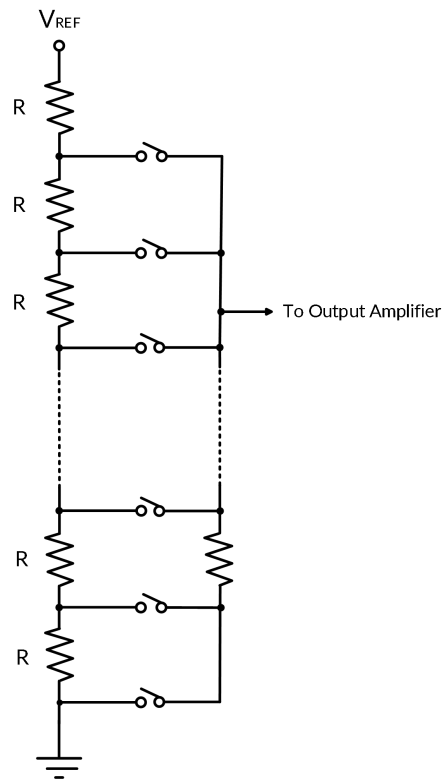


图 28. DAC 电阻串

8.3.2 输出放大器

输出放大器为轨到轨输出，当参考电压为 V_A 时，输出电压范围为 $0V$ 至 V_A 。所有放大器，即使是轨到轨放大器，在输出接近电源轨（本例中为 $0V$ 和 V_A ）时，都会出现线性度损失。因此，线性度的指定范围小于 DAC 的整个输出范围。但是，如果参考电压低于 V_A ，则仅在最低代码处会出现线性度损失。放大器的输出能力在电气特性中进行了描述。

输出放大器能够驱动 $2k\Omega$ 负载，并联 $1500pF$ 电容至地或 V_A 。给定负载电流的零码和满量程输出可在电气特性中找到。

8.3.3 参考电压

TLX1324 使用单个外部基准电压源，所有四个通道共用。基准电压引脚 V_{REFIN} 未经缓冲，输入阻抗为 $30k\Omega$ 。RS 建议使用低输出阻抗的电压源驱动 V_{REFIN} 。基准电压范围为 $1V$ 至 V_A ，可提供尽可能宽的输出动态范围。

功能描述（持续）

8.3.4 上电复位

上电复位电路控制四个 DAC 在上电期间的输出电压。上电后，DAC 寄存器将填充零，输出电压为 0 V。输出将保持 0 V，直到对 DAC 进行有效的写入序列。

8.4 设备功能 模式

8.4.1 断电 模式

TLX1324 具有四种断电模式，其中两种相同。在断电模式下，电源电流在 25 °C 时降至 3 V 时 0.06 μ A 和 5 V 时 0.08 μ A。通过将 OP1 和 OP0 设置为 11，可将 TLX1324 置于断电模式。由于此模式会关闭所有四个 DAC，因此地址位 A1 和 A0 用于为 DAC 输出选择不同的输出端接。将 A1 和 A0 设置为 00 或 11 会导致输出处于三态（高阻抗状态）。而将 A1 和 A0 设置为 01 或 10 会导致输出分别以 2.5k Ω 或 100 k Ω 电阻接地（见表 1）。

表 1. 断电模式

A1	A0	OP1	OP0	操作模式
0	0	1	1	高阻输出
0	1	1	1	2.5 k Ω 至 GND
1	0	1	1	100 k Ω 至 GND
1	1	1	1	高阻输出

在任何掉电模式下，偏置发生器、输出放大器、电阻串和其他线性电路均会关闭。但是，掉电时 DAC 寄存器的内容不受影响。每个 DAC 寄存器的值在 TLX1324 掉电之前保持不变，除非在指示其从掉电状态恢复的写入序列期间发生变化。在掉电模式下 $\overline{\text{SYNC}}$ ，当 DIN 处于空闲低电平且 SCLK 禁用时，可实现最低功耗。退出掉电状态的时间（唤醒时间）通常为 t_{wu} ，具体时间在“时序要求”中说明。

8.5 编程

8.5.1 串行接口

该三线接口兼容 SPI、QSPI 和 MICROWIRE 以及大多数 DSP，工作时钟频率高达 40 MHz。有关写入序列的信息，请参阅时序要求。

写入序列的启动需要先将 $\overline{\text{SYNC}}$ 拉低。当 $\overline{\text{SYNC}}$ 处于低电平时，DIN 上的数据会在 SCLK 信号的下降沿被同步输入到 16 位串行输入寄存器中。在第 16 个时钟下降沿，最后一位数据锁存完成，此时将执行预设功能（如改变工作模式或调整 DAC 寄存器内容）。此时，该 $\overline{\text{SYNC}}$ 线可以保持低电平或拉高。第 16 个下降时钟沿之后的任何数据和时钟脉冲都将被忽略。无论哪种情况， $\overline{\text{SYNC}}$ 都必须在 的下降沿启动下一个写入序列之前，拉高至少指定的时间 $\overline{\text{SYNC}}$ 。

由于 $\overline{\text{SYNC}}$ 和 DIN 缓冲器在高电平时会消耗更多电流，因此它们必须在写入序列之间处于空闲状态，以最大限度地降低功耗。

8.5.2 输入移位寄存器

输入移位寄存器（图 29）有 16 位。前两位是地址位，用于确定寄存器数据是用于 DAC A、DAC B、DAC C 还是 DAC D。地址位之后是两位，用于确定工作模式（写入 DAC 寄存器但不更新所有四个 DAC 的输出、写入 DAC 寄存器并更新所有四个 DAC 的输出、写入所有四个 DAC 的寄存器并更新其输出，或关闭所有四个输出）。移位寄存器的最后 12 位是数据位。

编程（续）

数据格式为标准二进制（MSB 在前，LSB 在后），全 0 对应 0 V 输出，全 1 对应 $V_{REFIN} - 1\text{ LSB}$ 的满量程输出。串行输入寄存器的内容在 SCLK 的第 16 个下降沿传输到 DAC 寄存器。

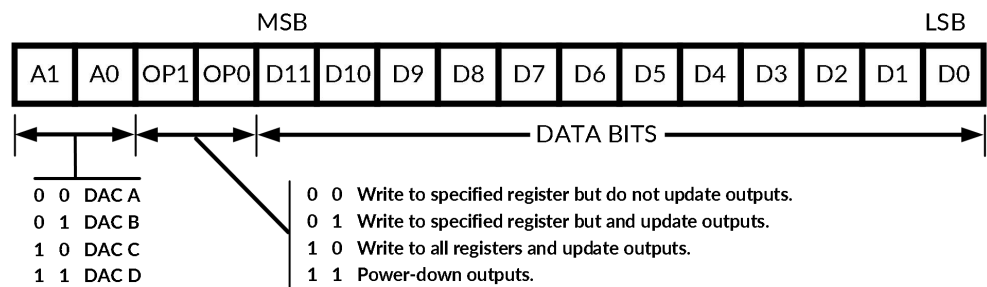


图 29.输入寄存器内容

通常情况下，该线至少在 $\overline{\text{SYNC}}\text{SCLK}$ 的 16 个下降沿保持低电平，DAC 在第 16 个 SCLK 下降沿更新。但是，如果 $\overline{\text{SYNC}}$ 在第 16 个下降沿之前变为高电平，则向移位寄存器的数据传输将被中止，写入序列无效。在这种情况下，DAC 寄存器不会更新，工作模式或 DAC 输出电压也不会发生变化。

8.5.3 微线接口

Microwire 兼容设备与 TLX1324 之间的接口。数据在 SK 信号的上升沿输出。因此，在驱动 TLX1324 的 SCLK 之前，必须先反转 Microwire 设备的 SK。

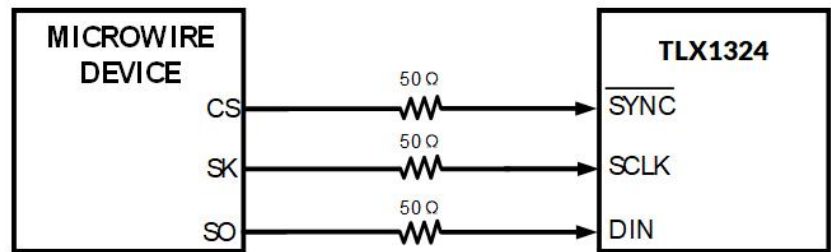


图 30. Microwire接口

8.5.4 双极操作

TLX1324 设计为单电源供电，因此具有单极性输出。但是，图 31 中的电路可以获得双极性输出。该电路可提供 $\pm 5\text{ V}$ 的输出电压范围。如果放大器电源限制为 $\pm 5\text{ V}$ ，则必须使用轨到轨放大器。

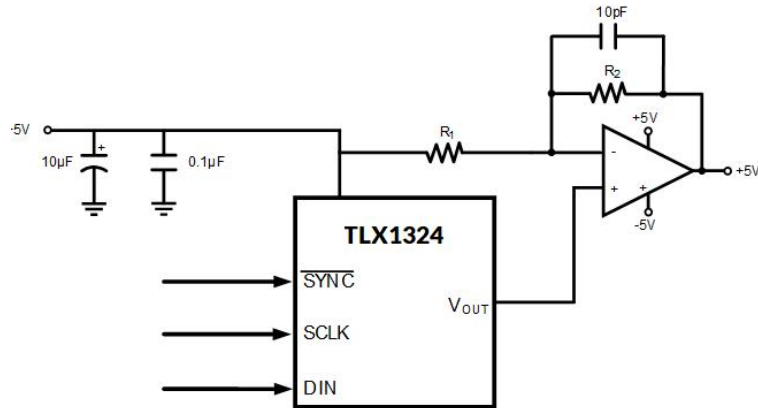


图31.双极操作

编程（续）

8.5.4.1 设计要求

- TLX1324 使用单电源。
- 输出要求为双极性，电压范围为 $\pm 5\text{ V}$ 。
- 输出放大器采用双电源供电。

8.5.4.2 详细设计流程

对于任何代码，该电路的输出电压为

$$V_O = (V_A \times (D / 4096) \times ((R1 + R2) / R1) - V_A \times R2 / R1$$

在哪里

- D 是十进制形式的输入代码。

(2)

当 $V_A = 5\text{ V}$ 且 $R1 = R2$ 时，

$$V_O = (10 \times D / 4096) - 5\text{ V} \quad (3)$$

8.5.4.3 应用曲线

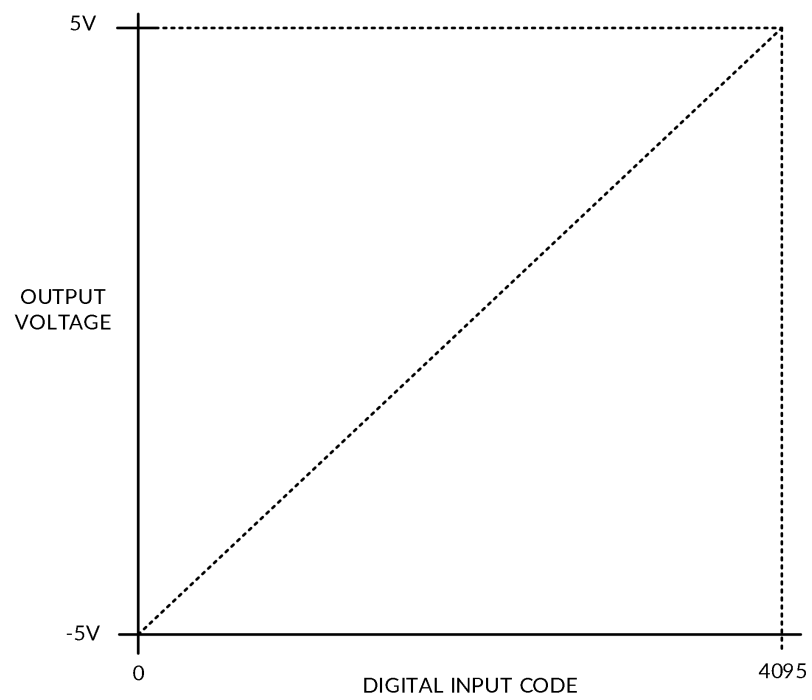


图32.双极输入和输出传输特性

9 布局

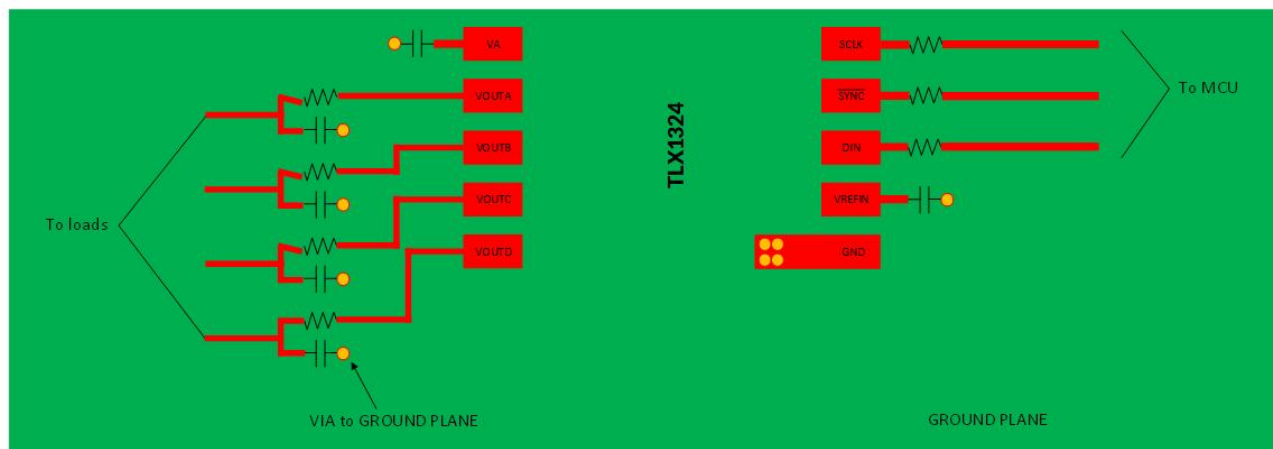
9.1 布局 指南

TLX1324 的印刷电路板应具有独立的模拟区域和数字区域。这些区域由模拟和数字电源层的位置定义。这两个平面应位于同一板层。应该有一个接地平面。如果数字返回电流不流经模拟接地区域，则最好使用单接地平面。单接地平面设计通常使用围栏技术来防止模拟和数字接地电流混合。仅当围栏技术不够用时才应使用独立的接地平面。独立的接地平面必须连接在一个地方，最好靠近 TLX1324。需要特别注意确保具有快速边沿速率的数字信号不会通过分割的接地平面。它们必须始终在其走线下方具有连续的返回路径。

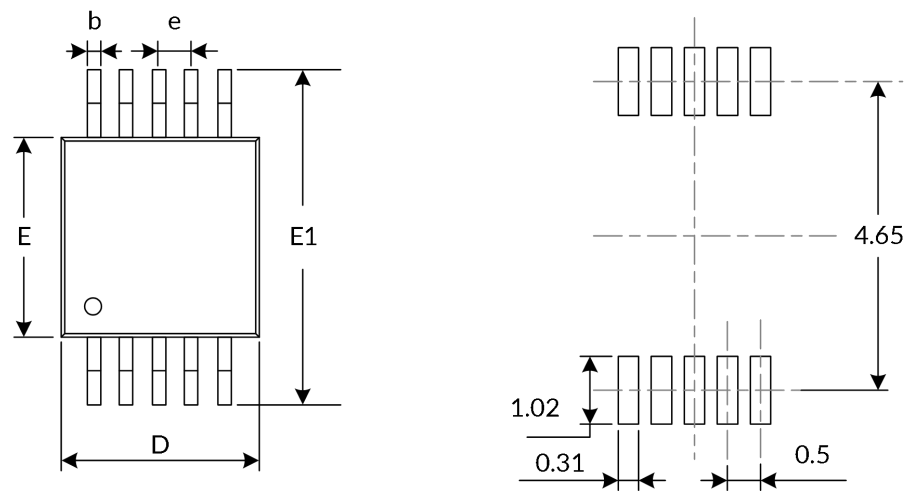
TLX1324 电源应使用一个 10 μF 和一个 0.1 μF 电容进行旁路，该电容应尽可能靠近设备，其中 0.1 μF 电容应位于设备电源引脚正上方。10 μF 电容应为钽电容，0.1 μF 电容应为低 ESL、低 ESR 电容。TLX1324 的电源仅应用于模拟电路。

避免模拟信号和数字信号交叉，并将时钟线和数据线保持在电路板的元件侧。这些时钟线和数据线应具有可控阻抗。

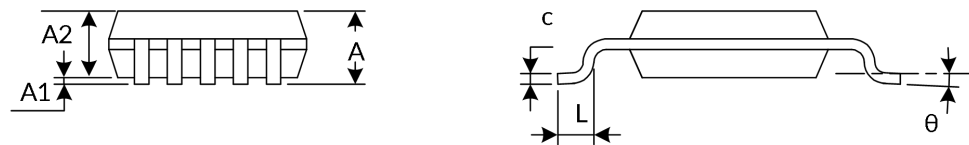
9.2 布局示例



10 封装外形尺寸
MSOP10⁽³⁾



RECOMMENDED LAND PATTERN (Unit: mm)

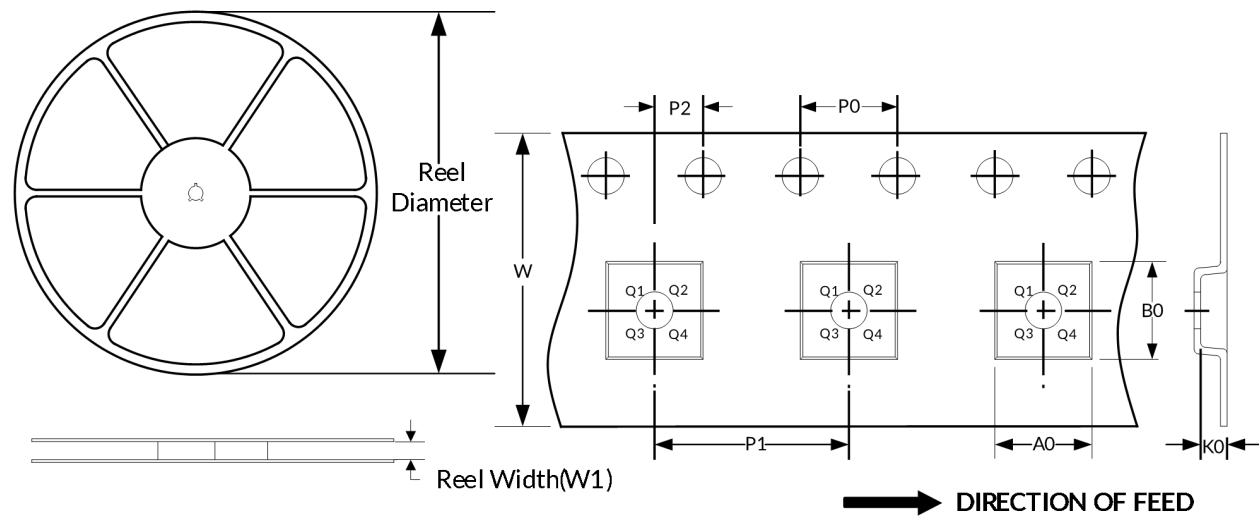


代码	尺寸（毫米）		尺寸（英寸）	
	最小值	最大值	最小值	最大值
A ⁽¹⁾	0.820	1.100	0.032	0.043
A1	0.020	0.150	0.001	0.006
A2	0.750	0.950	0.030	0.037
b	0.180	0.280	0.007	0.011
c	0.090	0.230	0.004	0.009
D ⁽¹⁾	2.900	3.100	0.114	0.122
e	0.50(BSC) ⁽²⁾		0.020(BSC) ⁽²⁾	
E ⁽¹⁾	2.900	3.100	0.114	0.122
E1	4.750	5.050	0.187	0.199
L	0.400	0.800	0.016	0.031
θ	0°	6°	0°	6°

笔记：
不包括每侧最大0.15 毫米的塑料或金属突出物。
2.BSC（中心间基本间距），“基本”间距是标称的。
3. 本图纸如有更改，恕不另行通知。

11 卷带信息

卷轴尺寸 胶带尺寸



注：图片仅供参考，请以实物为准。

卷带包装关键参数表

封装类型	卷轴直径	卷轴宽度(mm)	A0(mm)	B0(mm)	K0(mm)	P0(mm)	P1(mm)	P2(mm)	W(mm)	Pin1 Quadrant
MSOP10	13"	12.4	5.20	3.30	1.20	4.0	8.0	2.0	12.0	Q1

笔记：
1. 所有尺寸均为标称尺寸。
不包括每侧最大0.15 毫米的塑料或金属突出物。