

无锡泰连芯科技有限公司

TLX1328 型

12 位低功耗八进制数模转换器 具有轨到轨输出的转换器

2025 年 08 月

12 位低功耗八进制数模转换器 具有轨到轨输出的转换器

1 特点

- 确保单调性
- 低功耗运行
- 轨到轨电压输出
- 菊花链功能
- 上电复位至 **0 V**
- 同时输出更新
- 单个通道断电功能
- 宽电源范围 (**2.7V 至 5.5V**)
- 双参考电压范围为 **0.5 V 至 V_A**
- 工作温度范围: **-55°C 至 125°C**
- 业界最小的封装
- 分辨率 **12 位**
- **INL ±2 LSB** (典型值)
- **DNL +0.3 / -0.15 LSB** (典型值)
- 稳定时间 **2 微秒** (典型的)
- 零码错误 **4 mV** (典型值)
- 满量程误差 **-0.04 %FSR** (典型值)
- 电源
2.典型值: **10 mW (3V) / 4.55 mW (5V)**
- 掉电功耗: **0.3 μW (3V) / 1 μW (5V)** (典型值)

2 应用

- 电池供电仪器
- 数字增益和偏移调整
- 可编程电压源和电流源
- 可编程衰减器
- **ADC** 的电压基准
- 传感器供电电压
- 测距探测器

3 描述

TLX1328 是一款功能齐全的通用型八进制 12 位电压输出型数模转换器 (DAC), 可在 2.7V 至 5.5V 单电源供电下工作, 3V 时功耗为 2.10 mW, 5V 时功耗为 4.55 mW。TLX1328 采用 16 引脚封装。铅 TSSOP 包。片上输出放大器可实现轨到轨输出摆幅, 并且这 3 线串行接口以时钟频率运行 在整个供电电压范围内, 频率可达 40MHz。串行接口为 兼容标准 SPI™、QSPI MICROWIRE 和 DSP 接口。TLX1328 还支持菊花链连接手术, 在哪里一个 无限数量 使用单个串行接口可以同时更新 TLX1328 的多个数据。

那里 以下是 TLX1328 的两个参考文献。一个参考输入通道为 A 至 D, 尽管 另一个参考通道服务于通道 E 到 H。每个参考电压均可独立设置在 0.5 V 至 V_A 之间, 从而提供尽可能宽的输出动态范围。TLX1328 具有一个 16 位输入移位寄存器, 用于控制 DAC 通道的工作模式、断电状态和寄存器/输出值。所有八个 DAC 输出均可同时或单独更新。

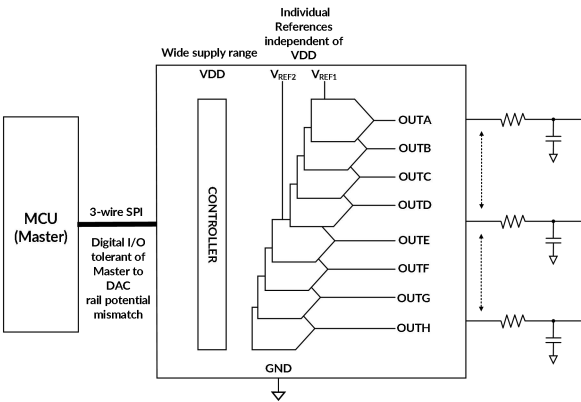
质量等级: 军温级&企军标

设备信息 (1)

产品编号	封装	封装尺寸 (标准)
TLX1328	TSSOP16	5.00mm×4.40mm

(1) 有关所有可用套餐, 请参阅数据表末尾的订购附录。

Simplified Schematic



目录

1 特点	2
2 应用	2
3 描述	2
4 修订历史	4
5 描述	5
6 封装/订购信息 ⁽¹⁾	6
7 引脚配置及功能（俯视图）	7
8. 技术规格	8
8.1 绝对最大额定值	8
8.2 静电放电防护等级	8
8.3 推荐操作条件	9
8.4 电气特性	10
8.5 交流和时序特性	13
8.6 典型特征	15
9. 详细描述	20
9.1 概述	20
9.2 功能框图	20
9.3 功能描述	21
9.3.1 DAC 架构	21
9.3.2 输出放大器	22
9.3.3 参考电压	22
9.3.4 串行接口	22
9.3.5 菊花链操作	22
9.3.6 DAC 输入数据更新机制	24
9.3.7 开机复位	25
9.3.8 传递特性	25
9.4 设备功能模式	26
9.4.1 关机模式	26
9.5 编程	26
9.5.1 TLX1328 编程	26
10 应用与实施	28
10.1 应用信息	28
10.1.1 利用参考物作为电源	28
10.2 应用信息	28
10.2.1 设计要求	28
10.2.2 设计要求	28
11 电源建议	29
12 布局	29
12.1 布局 指南	29
12.2 布局示例	29
13 包装外形尺寸	30
14 磁带和卷盘信息	31

4 修订历史

注意：先前版本的页码可能与当前版本的页码不同。

版本	更改日期	更改项目
A.0	2025/07/ 09	初步版本已完成
A .0.1	2025/08/28	更新电气特性

5 描述

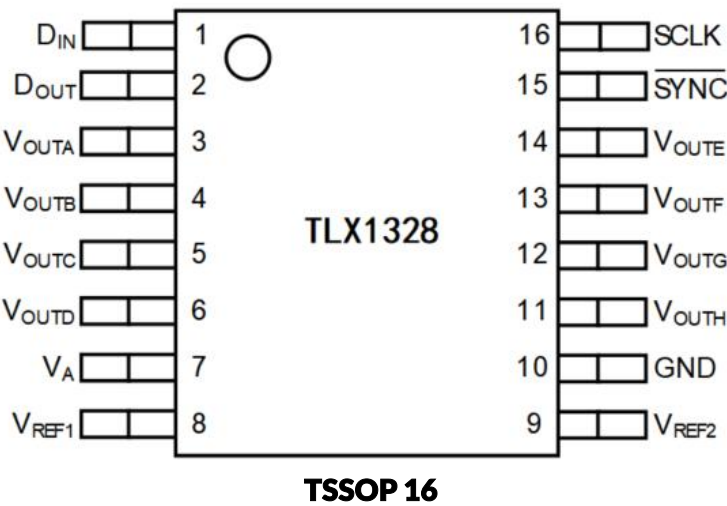
上电复位电路确保 DAC 输出电压降至零伏，并保持在该电压状态，直到有有效写入操作。TLX1328 的断电功能允许每个 DAC 独立供电，并提供三种不同的终端选项。所有 DAC 通道断电后，功耗在 3V 时降至 0.3 μW 以下，在 5V 时降至 1 μW 以下。TLX1328 的低功耗和小尺寸封装使其成为电池供电设备的理想选择。TLX1328 的工作电压范围为 1.0V 至 1.8V。扩展的工业温度范围为 -55°C 至 125°C。

6 封装/订购信息⁽¹⁾

订购型号	温度等级	封装类型	MSL	质量等级
JTLX1328XTSS16	-55 ℃ ~+125 ℃	TSSOP16	MSL1/3	企军标
JTLX1328XTSS16(W)	-55 ℃ ~+125 ℃	TSSOP16	MSL1/3	军温级
TLX1328XTSS16	-40 ℃ ~+125 ℃	TSSOP16	MSL1/3	工业级

- 笔记:
- (1) 此信息为指定设备的最新可用数据。数据如有更改，恕不另行通知，本文档亦可能进行修订。如需查看基于浏览器的数据表版本，请参阅右侧导航栏。
 - (2) 设备上可能还有其他标记，例如批次追溯代码信息（数据代码和供应商代码）、徽标或环境类别。
 - (3) TLXIC 使用符合 JEDEC 工业标准 J-STD-20F 的通用预处理设置，在我们装配工厂对 MSL 等级进行分类。如果您的最终应用对预处理设置要求非常严格，或者您有特殊要求，请与 TLXIC 保持一致。

7 引脚配置及功能（俯视图）



引脚说明

代码	引脚	类型	描述
D _{IN}	1	数字输入	串行数据输入。数据在 $\overline{\text{SYNC}}$ 信号下降沿之后，于 SCLK 信号下降沿被时钟输入到 16 位移位寄存器中。
D _{OUT}	2	数字输出	串行数据输出。D _{OUT} 用于菊花链连接，并直接连接到另一台 TLX1328 的 D _{IN} 引脚。只有当 D _{OUT} $\overline{\text{SYNC}}$ 保持低电平超过 16 个 SCLK 周期时，数据才能从 D _{OUT} 获取。
V _{OUTA}	3	模拟输出	A 通道模拟输出电压。
V _{OUTB}	4	模拟输出	B 通道模拟输出电压。
V _{OUTC}	5	模拟输出	C 通道模拟输出电压。
V _{OUTD}	6	模拟输出	D 通道模拟输出电压。
V _A	7	模拟输出	电源输入端必须与地线隔离。
V _{REF1}	8	模拟输入	通道 A、B、C 和 D 共享的非缓冲参考电压。必须与地线解耦。
V _{REF2}	9	模拟输入	通道 E、F、G 和 H 共用的非缓冲参考电压。必须与地线 (GND) 解耦。
GND	10	地面	为所有片上电路提供接地参考。
V _{OUTH}	11	模拟输出	H 通道模拟输出电压。
V _{OUTG}	12	模拟输出	G 通道模拟输出电压。
V _{OUTF}	13	模拟输出	F 通道模拟输出电压。
V _{OUTE}	14	模拟输出	E 通道模拟输出电压。
$\overline{\text{SYNC}}$	15	数字输入	SCLK 的下降沿写入 DAC 的输入移位寄存器。在 SCLK 的第 16 个下降沿之后，上升沿为 $\overline{\text{SYNC}}$ 导致 DAC 更新。如果 $\overline{\text{SYNC}}$ 在 SCLK 的第 15 个下降沿之前，在上升沿之前，被推至高位。 $\overline{\text{SYNC}}$ 起到中断作用，DAC 会忽略写入序列。
SCLK	16	数字输入	串行时钟输入。数据通过此引脚的下降沿时钟信号输入到输入移位寄存器。

8. 技术规格

8.1 绝对最大额定值

在正常工作自由空气温度范围内（除非另有说明）⁽¹⁾⁽²⁾

		最小值	最大值	单位
供电电压，V _A			6.5	V
任意输入引脚上的电压		-0.3	6.5	V
任意引脚的输入电流 ⁽³⁾			10	mA
封装输入电流 ⁽³⁾			30	mA
T _A = 25°C时的功耗		See ⁽⁴⁾		
封装热阻抗，θ _{JA} ⁽⁵⁾	TSSOP16		135	°C/W
结温			150	°C
储存温度，T _{stg}		-65	150	°C

- (1) 超出“绝对最大额定值”所列应力范围的应力可能会对设备造成永久性损坏。这些仅为应力额定值，并不意味着设备在这些或任何其他超出“推荐工作条件”所示条件的情况下都能正常工作。长时间暴露于“绝对最大额定值”条件下可能会影响设备的可靠性。
- (2) 除非另有说明，所有电压均以 GND = 0 V 为基准测量。
- (3) 当任何引脚的输入电压超过电源电压（即低于 GND 或高于 V_A）时，该引脚的电流必须限制在 10 mA 以内。20mA 的最大封装输入电流额定值限制了可以安全超过电源电压的引脚数量。输入电流为 10 的电源 毫安到两。
- (4) 绝对最大结温 (T_{JMAX}) 为 150°C。最大允许功率 功耗取决于 T_{JMAX}、结到环境的热阻 (θ_{JA}) 和环境温度 (T_A)，并可使用以下公式计算：
 $P_{DMAX} = (T_{JMAX} - T_A) / \theta_{JA}$ 。只有当器件在严苛条件下运行时，才能达到最大功耗值。故障情况（例如，输入或输出引脚的电压超过电源电压，或者电源极性接反）。显然，必须始终避免这种情况。
- (5) 封装热阻抗按照 JESD-51 计算。

8.2 静电放电防护等级

以下静电放电信息仅适用于在静电放电防护区域内处理静电放电敏感器件。

		数值	单位
V _(ESD) 静电放电	人体模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	± 2500	V
	充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 ⁽²⁾	± 1000	V

- (1) JEDEC 文件 JEP155 指出，500 V HBM 允许采用标准 ESD 控制流程进行安全制造。
- (2) JEDEC 文件 JEP157 指出，250 V CDM 允许采用标准 ESD 控制流程进行安全制造。



静电放电敏感性警告

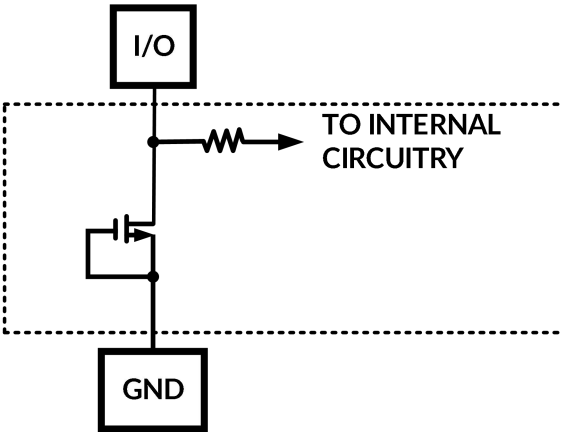
静电放电损伤的程度不一，从轻微的性能下降到器件完全失效都有可能。精密集成电路可能更容易受到损伤，因为即使是很小的参数变化也可能导致器件无法达到其公布的规格。

8.3 推荐操作条件

在正常工作空气温度范围内（除非另有说明）

	最小值	最大值	单位
工作温度范围	-55	125	°C
供电电压 V_A	2.7	5.5	V
参考电压, $V_{REF1,2}$	0.5	V_A	V
数字输入电压 ⁽¹⁾	0	5.5	V
输出加载	0	1500	pF
SCLK 频率		40	MHz

(1) 输入端受到如下图所示的保护。无论 V_A 的值如何，输入电压幅度不超过 5.5 V 都不会导致转换结果出现误差。例如，如果 V_A 为 3 V，则可以使用 5 V 逻辑器件驱动数字输入引脚。



8.4 电气特性

以下规格适用于 $V_A = 2.7\text{ V}$ 至 5.5 V , $V_{REF1} = V_{REF2} = V_A$, $C_L = 200\text{ pF}$ 接地, $f_{SCLK} = 30\text{ MHz}$, 输入代码范围 48 至 4047。
除非另有规定, 所有限制均在 $T_A = 25^\circ\text{C}$ 下。

范围		测试条件	最小值	典型值	最大值	单位
静态性能						
解决		$T_{MIN} \leq T_A \leq T_{MAX}$	12			Bits
单调性		$T_{MIN} \leq T_A \leq T_{MAX}$	12			Bits
INL	积分非线性	$T_A = 25^\circ\text{C}$		± 2	± 3.5	LSB
		$T_{MIN} \leq T_A \leq T_{MAX}$		± 3		LSB
DNL	微分非线性	$T_A = 25^\circ\text{C}$	-0.5	+0.3/-0.15	0.7	LSB
		$T_{MIN} \leq T_A \leq T_{MAX}$		+0.4/-0.3		LSB
ZE	零代码错误	$V_A = 2.7\text{ V}, I_{OUT} = 0$		3	6	mV
		$T_{MIN} \leq T_A \leq T_{MAX}$		4.5		
		$V_A = 5.5\text{ V}, I_{OUT} = 0$		4	7	mV
		$T_{MIN} \leq T_A \leq T_{MAX}$		6		
FSE	满量程误差	$I_{OUT} = 0$		-0.04	± 0.12	%FSR
		$T_{MIN} \leq T_A \leq T_{MAX}$		± 0.06		
GE	增益误差	$T_A = 25^\circ\text{C}$		-0.15	± 0.25	%FSR
		$T_{MIN} \leq T_A \leq T_{MAX}$		-0.2		
ZCED	零码错误漂移			20		$\mu\text{V}/^\circ\text{C}$
TCGE	增益误差温度系数			-0.6		ppm/ $^\circ\text{C}$
输出特性						
	输出电压范围	$T_{MIN} \leq T_A \leq T_{MAX}$	0		$V_{REF1,2}$	V
I_{OZ}	高阻抗输出漏电流 ⁽¹⁾	$T_{MIN} \leq T_A \leq T_{MAX}$		± 0.1		μA
ZCO	零代码输出	$V_A = 3\text{ V}, I_{OUT} = 200\text{ }\mu\text{A}$		9	11	mV
		$V_A = 3\text{ V}, I_{OUT} = 1\text{ mA}$		35	45	
		$V_A = 5\text{ V}, I_{OUT} = 200\text{ }\mu\text{A}$		6	8	
		$V_A = 5\text{ V}, I_{OUT} = 1\text{ mA}$		25	31	
FSO	全面输出	$V_A = 3\text{ V}, I_{OUT} = 200\text{ }\mu\text{A}$	2.887	2.988		V
		$V_A = 3\text{ V}, I_{OUT} = 1\text{ mA}$	2.942	2.948		
		$V_A = 5\text{ V}, I_{OUT} = 200\text{ }\mu\text{A}$	4.990	4.992		
		$V_A = 5\text{ V}, I_{OUT} = 1\text{ mA}$	4.961	4.965		
I_{OS}	输出短路电流(I_{SOURCE}) ⁽²⁾	$V_A = 3\text{ V}, V_{OUT} = 0\text{ V},$ Input Code = FFFh		-35		mA
		$V_A = 5\text{ V}, V_{OUT} = 0\text{ V},$ Input Code = FFFh		-38		
I_{OS}	输出短路电流(I_{SINK}) ⁽²⁾	$V_A = 3\text{ V}, V_{OUT} = 3\text{ V},$ Input Code = 000h		57		mA
		$V_A = 5\text{ V}, V_{OUT} = 5\text{ V},$ Input Code = 000h		58		
I_O	每通道连续输出电流 ⁽¹⁾	$T_A = 105^\circ\text{C}$			8	mA
		$T_A = 125^\circ\text{C}$			4.5	mA
C_L	最大负载电容	$R_L = \infty$		1500		pF
		$R_L = 2\text{ k}\Omega$		1500		
Z_{OUT}	直流输出阻抗	$V_A = 2.7\text{ V}, \text{Input Code} = 7\text{FFh}$		0.5	1	Ω
		$V_A = 5.5\text{ V}, \text{Input Code} = 7\text{FFh}$		0.5	1	Ω

电气特性 (续)

以下规格适用于 $V_A = 2.7\text{ V}$ 至 5.5 V , $V_{REF1} = V_{REF2} = V_A$, $C_L = 200\text{ pF}$ 接地, $f_{SCLK} = 30\text{ MHz}$, 输入代码范围 48 至 4047。
除非另有规定, 所有限制均在 $T_A = 25^\circ\text{C}$ 下。

范围		测试条件	最小值	典型值	最大值	单位
参考输入特性						
$V_{REF1,2}$	输入范围最小值	$T_A = 25^\circ\text{C}$		0.5		V
		$T_{MIN} \leq T_A \leq T_{MAX}$	2.7			
	输入范围最大值	$T_{MIN} \leq T_A \leq T_{MAX}$			V_A	V
	输入阻抗			30		k Ω
逻辑输入特性						
I_{IN}	输入电流 ⁽¹⁾	$T_{MIN} \leq T_A \leq T_{MAX}$		± 0.1		μA
V_{IL}	输入低电压	$V_A = 2.7\text{ V to } 3.6\text{ V}$		0.6		V
		$V_A = 2.7\text{ V to } 3.6\text{ V}, T_{MIN} \leq T_A \leq T_{MAX}$			0.6	
		$V_A = 4.5\text{ V to } 5.5\text{ V}$		1.1		V
		$V_A = 4.5\text{ V to } 5.5\text{ V}, T_{MIN} \leq T_A \leq T_{MAX}$			0.8	
V_{IH}	输入高电压	$V_A = 2.7\text{ V to } 3.6\text{ V}$		1.5		V
		$V_A = 2.7\text{ V to } 3.6\text{ V}, T_{MIN} \leq T_A \leq T_{MAX}$	2.1			
		$V_A = 4.5\text{ V to } 5.5\text{ V}$		2.2		V
		$V_A = 4.5\text{ V to } 5.5\text{ V}, T_{MIN} \leq T_A \leq T_{MAX}$	2.4			
C_{IN}	输入引脚电容 ⁽¹⁾	$T_{MIN} \leq T_A \leq T_{MAX}$			3	pF
电源要求						
V_A	最小供电电压	$T_{MIN} \leq T_A \leq T_{MAX}$	2.7			V
	最大供电电压	$T_{MIN} \leq T_A \leq T_{MAX}$			5.5	V
I_N	电源引脚 V_A 的正常供电电流	$f_{SCLK} = 30\text{ MHz},$ $f_{SYNC} = 17\text{ kHz},$ output unloaded	$V_A = 3\text{ V}$		496	μA
			$V_A = 3\text{ V},$ $T_{MIN} \leq T_A \leq T_{MAX}$		553	μA
			$V_A = 5\text{ V}$		573	μA
			$V_A = 5\text{ V},$ $T_{MIN} \leq T_A \leq T_{MAX}$		632	μA
	V_{REF1} 或 V_{REF2} 的正常供电电流	$f_{SCLK} = 30\text{ MHz},$ output unloaded	$V_A = 3\text{ V}$		102	μA
			$V_A = 3\text{ V},$ $T_{MIN} \leq T_A \leq T_{MAX}$		102	μA
			$V_A = 5\text{ V}$		170	μA
			$V_A = 5\text{ V},$ $T_{MIN} \leq T_A \leq T_{MAX}$		170	μA
I_{ST}	静态供电电流电源引脚 V_A	$f_{SCLK} = 0\text{ MHz},$ output unloaded	$V_A = 3\text{ V}$		433	μA
			$V_A = 5\text{ V}$		480	μA
	静态供电电流 V_{REF1} 或 V_{REF2}	$f_{SCLK} = 0\text{ MHz},$ output unloaded	$V_A = 3\text{ V}$		102	μA
			$V_A = 5\text{ V}$		170	μA

(1) 该参数由设计和/或特性描述中规定, 在生产过程中不进行测试。

(2) 此参数并不代表 DAC 能够持续维持的状态。有关每个通道的最大 DAC 输出电流, 请参阅连续输出电流规格。

电气特性 (续)

以下规格适用于 $V_A = 2.7\text{ V}$ 至 5.5 V , $V_{REF1} = V_{REF2} = V_A$, $C_L = 200\text{ pF}$ 接地, $f_{SCLK} = 30\text{ MHz}$, 输入代码范围 48 至 4047。
除非另有规定, 所有限制均在 $T_A = 25^\circ\text{C}$ 下。

范围		测试条件		最小值	典型值	最大值	单位
I_{PD}	所有 PD 模式下的总掉电供电电流 ⁽¹⁾	$f_{SCLK} = 30\text{ MHz}$, $\overline{SYNC} = V_A$ 和 $D_{IN} = 0V$, PD 模式加载完毕	$V_A = 3\text{ V}$		26		μA
			$V_A = 3\text{ V}, T_{MIN} \leq T_A \leq T_{MAX}$		51		μA
			$V_A = 5\text{ V}$		62		μA
			$V_A = 5\text{ V}, T_{MIN} \leq T_A \leq T_{MAX}$		98		μA
		$f_{SCLK} = 0\text{ MHz}$, $\overline{SYNC} = V_A$ 和 $D_{IN} = 0V$, PD 模式加载完毕	$V_A = 3\text{ V}$		0.1	0.3	μA
			$V_A = 3\text{ V}, T_{MIN} \leq T_A \leq T_{MAX}$		2.5		μA
			$V_A = 5\text{ V}$		0.2	0.5	μA
			$V_A = 5\text{ V}, T_{MIN} \leq T_A \leq T_{MAX}$		3.6		μA
P_N	总功耗 (空载输出)	$f_{SCLK} = 30\text{ MHz}$, $f_{SYNC} = 176\text{ kHz}$, 输出卸载	$V_A = 3\text{ V}$		2.10		mW
			$V_A = 3\text{ V}, T_{MIN} \leq T_A \leq T_{MAX}$		2.27		
			$V_A = 5\text{ V}$		4.55		mW
			$V_A = 5\text{ V}, T_{MIN} \leq T_A \leq T_{MAX}$		4.86		
		$f_{SCLK} = 0\text{ MHz}$, 输出卸载	$V_A = 3\text{ V}$		1.91		mW
			$V_A = 5\text{ V}$		4.10		mW
P_{PD}	所有 PD 模式下的总功耗 ⁽¹⁾	$f_{SCLK} = 30\text{ MHz}$, $\overline{SYNC} = V_A$ 和 $D_{IN} = 0V$, PD 模式加载完毕	$V_A = 3\text{ V}$		78		μW
			$V_A = 3\text{ V}, T_{MIN} \leq T_A \leq T_{MAX}$		153		
			$V_A = 5\text{ V}$		310		μW
			$V_A = 5\text{ V}, T_{MIN} \leq T_A \leq T_{MAX}$		490		
		$f_{SCLK} = 0\text{ MHz}$, $\overline{SYNC} = V_A$ 和 $D_{IN} = 0V$, PD 模式加载完毕	$V_A = 3\text{ V}$		0.3	0.9	μW
			$V_A = 3\text{ V}, T_{MIN} \leq T_A \leq T_{MAX}$		7.35		
			$V_A = 5\text{ V}$		1	2.5	μW
			$V_A = 5\text{ V}, T_{MIN} \leq T_A \leq T_{MAX}$		18		

8.5 交流和时序特性

以下规格适用于 $V_A = 2.7\text{ V}$ 至 5.5 V , $V_{REF1} = V_{REF2} = V_A$, $C_L = 200\text{ pF}$ 接地, $f_{SCLK} = 30\text{ MHz}$, 输入代码范围 48 至 4047。
除非另有规定, 所有限制均在 $T_A = 25^\circ\text{C}$ 下。

范围		测试条件	最小值	典型值	最大值	单位
f_{SCLK}	SCLK 频率	$T_A = 25^\circ\text{C}$			40	MHz
		$T_{MIN} \leq T_A \leq T_{MAX}$			30	MHz
t_s	输出电压稳定时间 ⁽¹⁾	400h to C00h code change $R_L = 2\text{ k}\Omega$, $C_L = 200\text{ pF}$		2		μs
		$T_{MIN} \leq T_A \leq T_{MAX}$		3		
SR	输出转换速率			1		$\text{V}/\mu\text{s}$
GI	故障脉冲	Code change from 800h to 7FFh		40		$\text{nV}\cdot\text{sec}$
DF	数字馈通			0.5		$\text{nV}\cdot\text{sec}$
DC	数字串扰			0.5		$\text{nV}\cdot\text{sec}$
CROSS	DAC 间串扰			1.6		$\text{nV}\cdot\text{sec}$
MBW	倍增带宽	$V_{REF1,2} = 2.5\text{ V} \pm 2\text{ Vpp}$		400		kHz
THD+N	总谐波失真加噪声	$V_{REF1,2} = 2.5\text{ V} \pm 0.5\text{ Vpp}$ $100\text{ Hz} < f_{IN} < 20\text{ kHz}$		-77		dB
ONSD	输出噪声频谱密度 ⁽¹⁾	DAC Code = 800h, 10 kHz		40		$\text{nV}/\sqrt{\text{Hz}}$
ON	输出噪声 ⁽¹⁾	$\text{BW} = 30\text{ kHz}$		14		μV
t_{WU}	Wake-Up Time	$V_A = 3\text{ V}$		5		μsec
		$V_A = 5\text{ V}$		3		μsec
$1/f_{SCLK}$	SCLK Cycle Time	$T_A = 25^\circ\text{C}$	25			ns
		$T_{MIN} \leq T_A \leq T_{MAX}$	33			ns
t_{CH}	SCLK High time	$T_A = 25^\circ\text{C}$		7		ns
		$T_{MIN} \leq T_A \leq T_{MAX}$	10			ns
t_{CL}	SCLK Low Time	$T_A = 25^\circ\text{C}$		7		ns
		$T_{MIN} \leq T_A \leq T_{MAX}$	10			ns
t_{SS}	$\overline{\text{SYNC}}$ 同步建立时间在 SCLK 下降沿之前	$T_A = 25^\circ\text{C}$		4		ns
		$T_{MIN} \leq T_A \leq T_{MAX}$	10			ns
t_{DS}	SCLK 下降沿之前的数据建立时间。	$T_A = 25^\circ\text{C}$		4		ns
		$T_{MIN} \leq T_A \leq T_{MAX}$	5			ns
t_{DH}	数据 SCLK 下降沿后的保持时间。	$T_A = 25^\circ\text{C}$		4		ns
		$T_{MIN} \leq T_A \leq T_{MAX}$	5			ns
t_{SH}	SCLK 第 16 个下降沿之后的同步保持时间。	$T_A = 25^\circ\text{C}$		5		ns
		$T_{MIN} \leq T_A \leq T_{MAX}$	6			ns
$t_{\overline{\text{SYNC}}}$	$\overline{\text{SYNC}}$ High Time	$T_A = 25^\circ\text{C}$		10		ns
		$T_{MIN} \leq T_A \leq T_{MAX}$	15			ns

(1) 该参数由设计和/或特性描述中规定, 在生产过程中不进行测试。

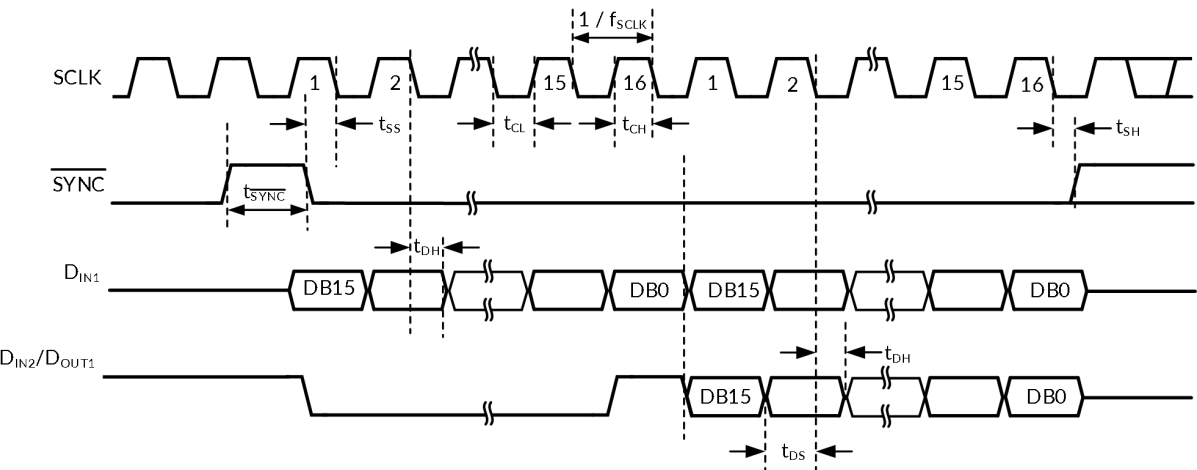


图 1. 串行时序图

8.6 典型特征

注：本说明之后提供的图表是基于有限数量的样本的统计摘要，仅供参考。

$V_A = 2.7\text{ V}$ 至 5.5 V , $V_{REF1,2} = V_A$, $f_{SCLK} = 30\text{ MHz}$, $T_A = 25^\circ\text{C}$, 除非另有说明。

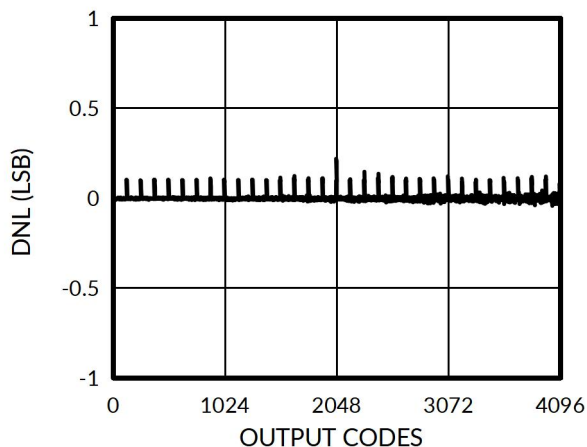


图 2. $V_A = 3\text{V}$ 时的 DNL

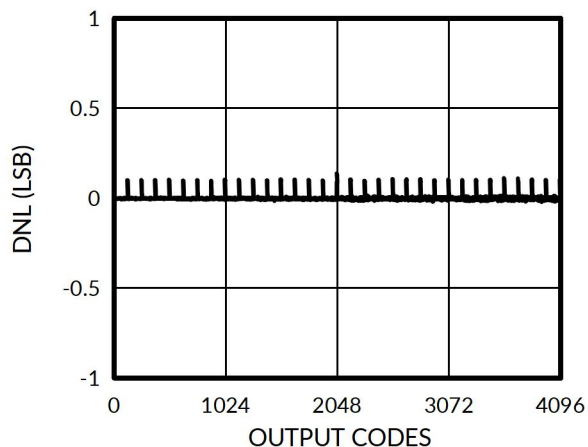


图 3. $V_A = 5\text{V}$ 时的 DNL

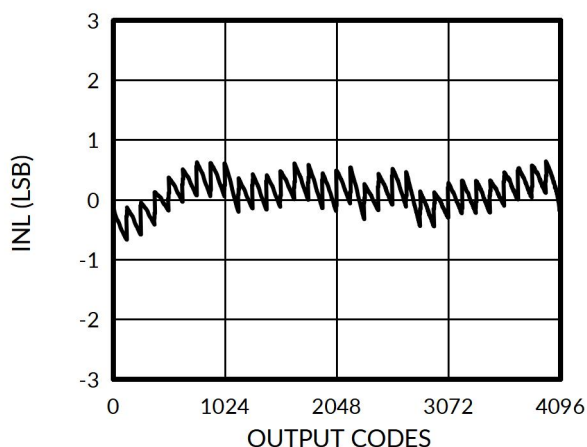


图 4. $V_A = 3\text{V}$ 时的 INL

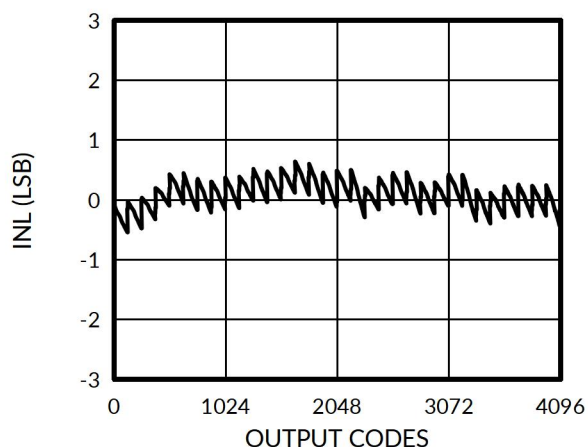


图 5. $V_A = 5\text{V}$ 时的 INL

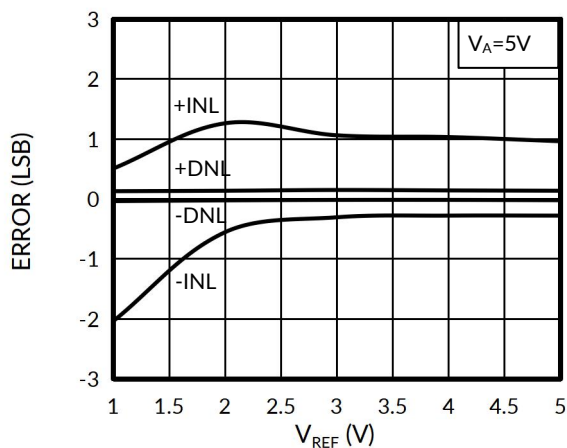


图 6. INL/DNL 对阵 V_{REF}

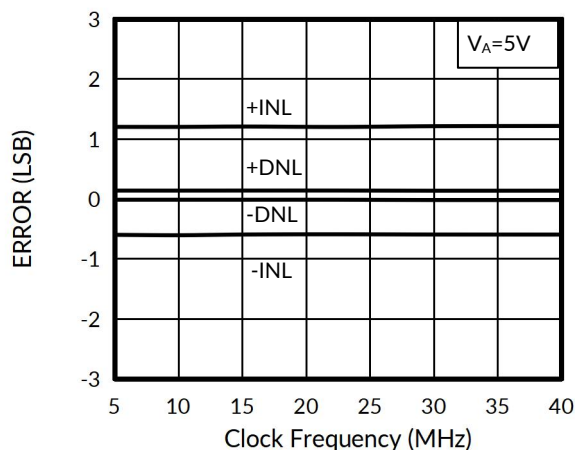


图 7. INL / DNL 对阵 F_{SCLK}

典型特征（续）

注：本说明之后提供的图表是基于有限数量的样本的统计摘要，仅供参考。

$V_A = 2.7\text{ V}$ 至 5.5 V , $V_{REF1,2} = V_A$, $f_{SCLK} = 30\text{ MHz}$, $T_A = 25^\circ\text{C}$, 除非另有说明。

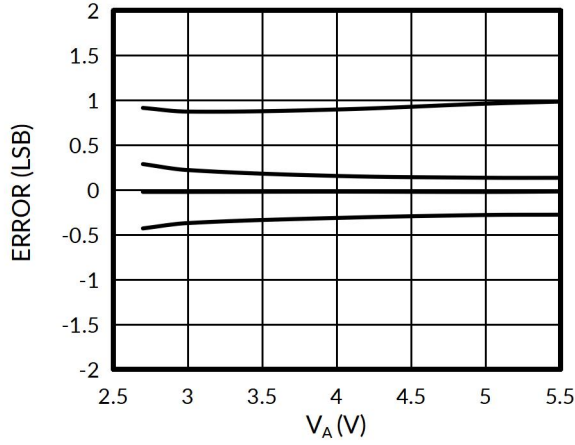


图 8. INL / DNL 与 V_A 的关系

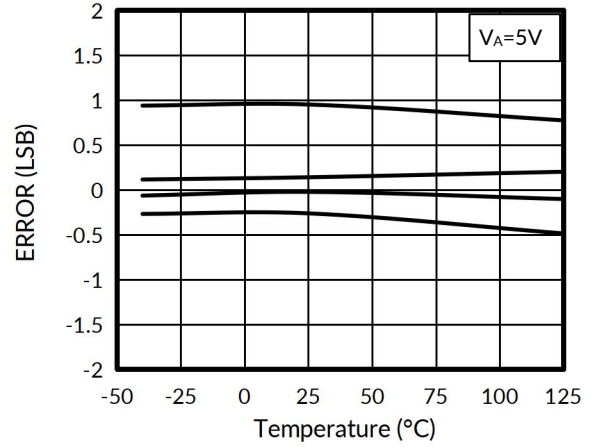


图 9. INL / DNL 与温度的关系

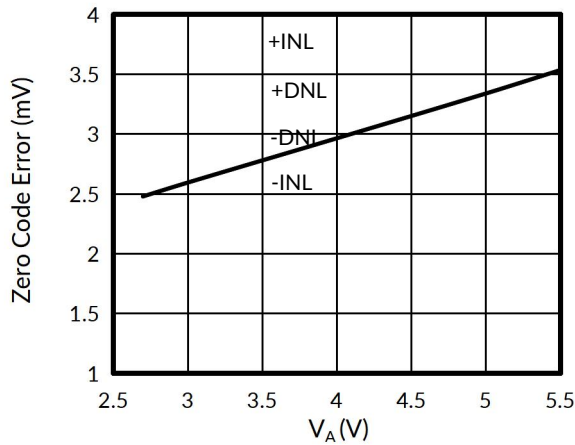


图 10. 零码错误与 V_A 的关系

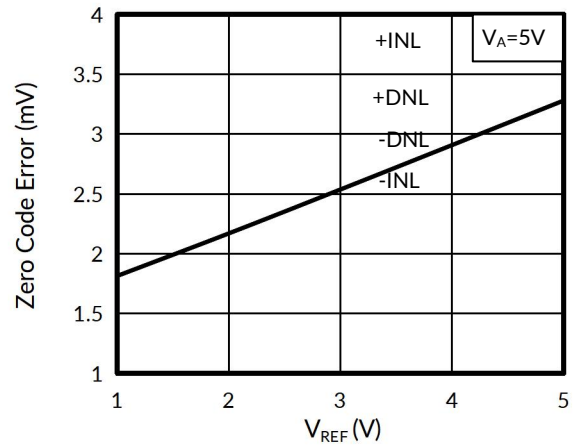


图 11. 零码错误与 V_{REF} 的关系

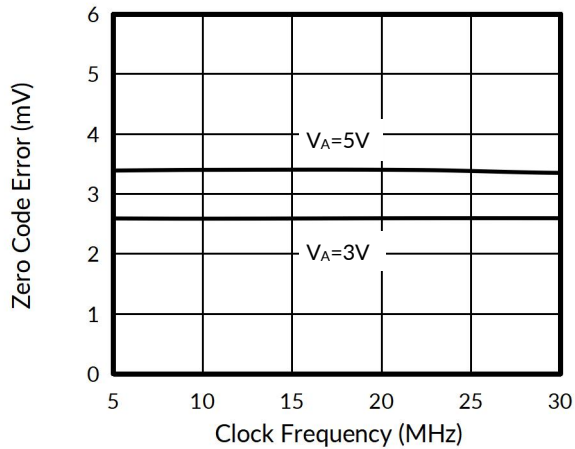


图 12. 零码错误与 f_{SCLK} 的关系

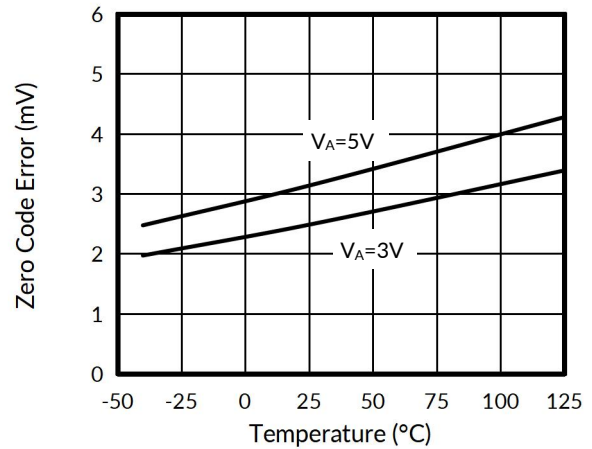


图 13. 零代码错误与温度的关系

典型特征（续）

注：本说明之后提供的图表是基于有限数量的样本的统计摘要，仅供参考。

$V_A = 2.7\text{ V}$ 至 5.5 V , $V_{REF1,2} = V_A$, $f_{SCLK} = 30\text{ MHz}$, $T_A = 25^\circ\text{C}$, 除非另有说明。

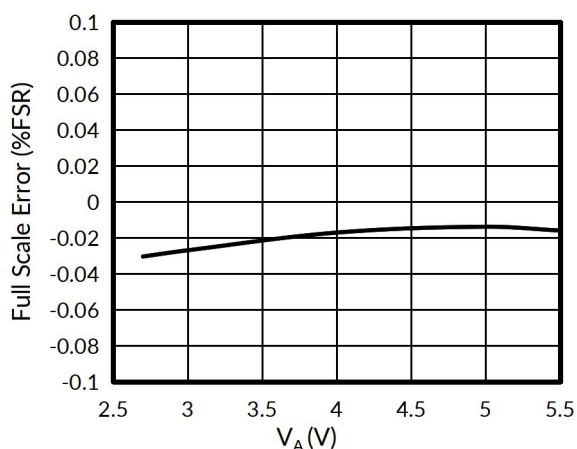
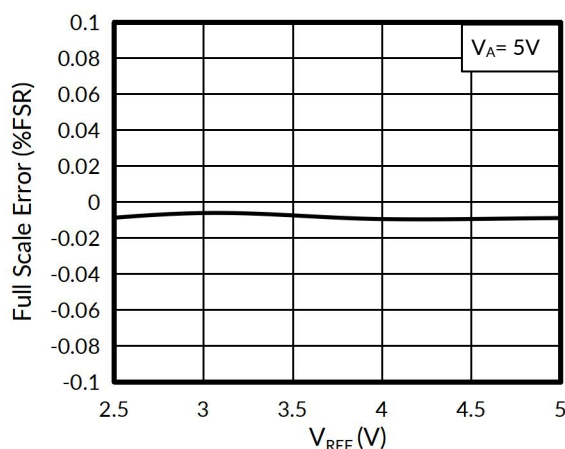
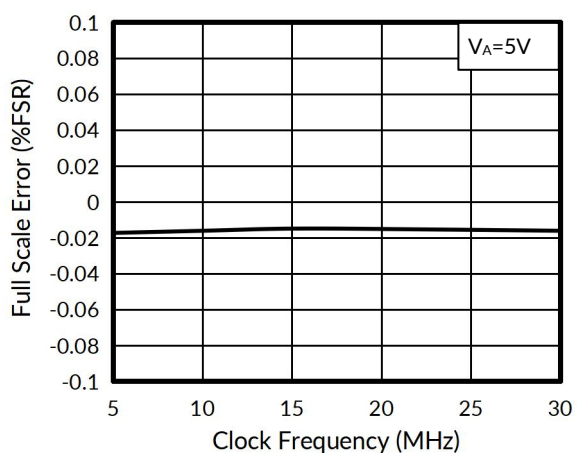
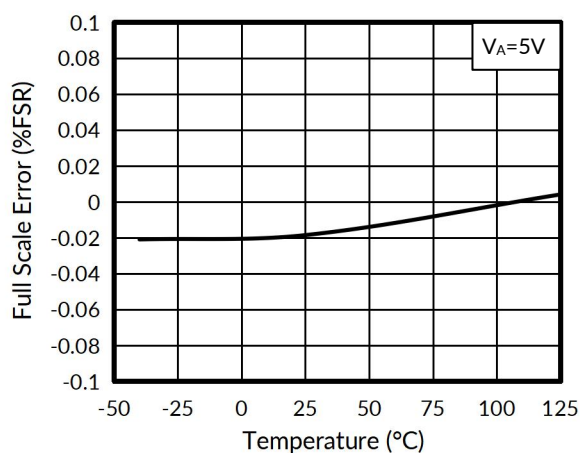
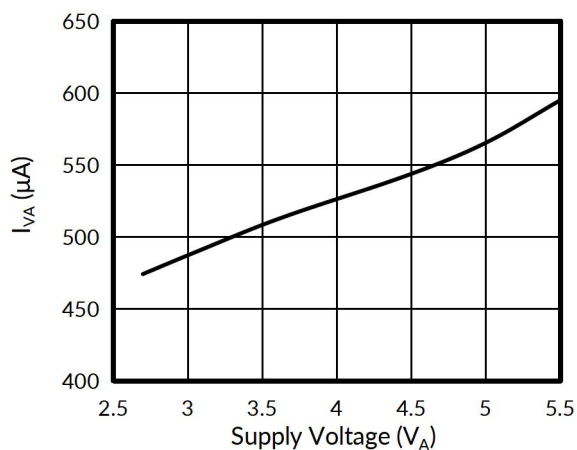
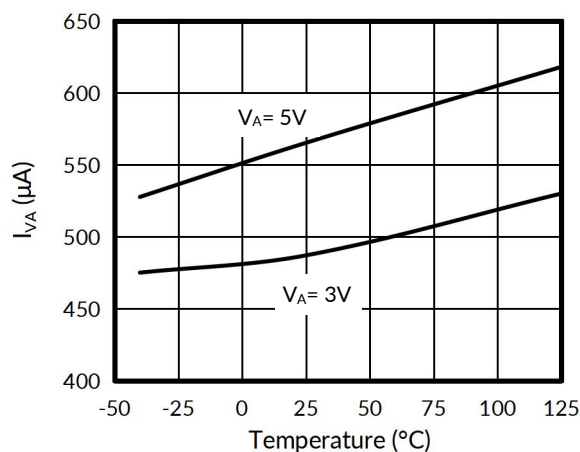
图 14. 满量程误差与 V_A 的关系图 15. 满量程误差与 V_{REF} 的关系图 16. 满量程误差与 F_{SCLK} 的关系

图 17. 满量程误差与温度的关系

图 18. I_{VA} 与 V_A 图 19. I_{VA} 与温度的关系

典型特征 (续)

注：本说明之后提供的图表是基于有限数量的样本的统计摘要，仅供参考。

$V_A = 2.7\text{ V}$ 至 5.5 V , $V_{REF1,2} = V_A$, $f_{SCLK} = 30\text{ MHz}$, $T_A = 25^\circ\text{C}$, 除非另有说明。

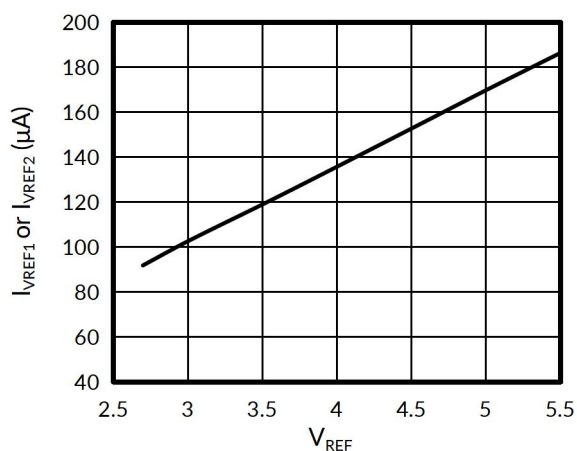
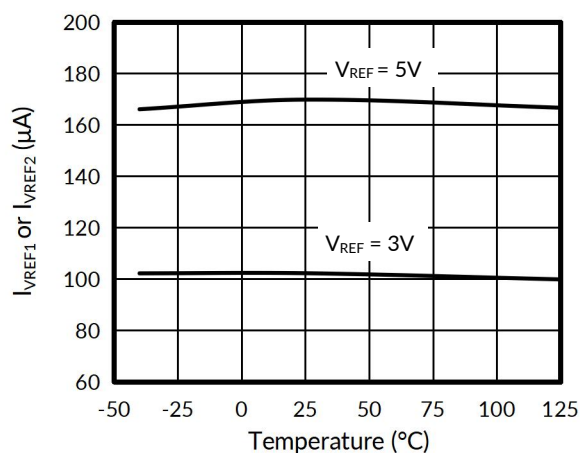
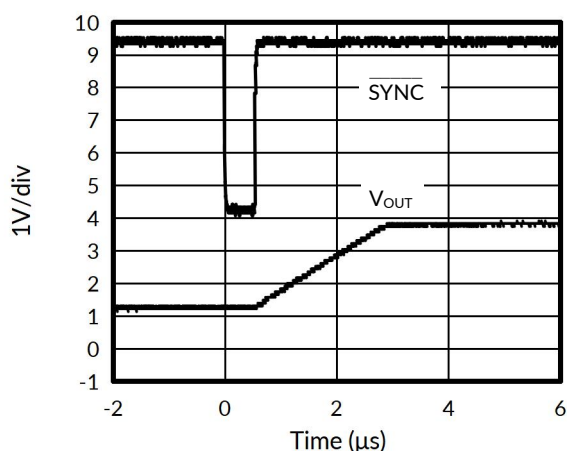
图 20. I_{VREF} 与 V_{REF} 图 21. I_{VREF} 与温度

图 22. 稳定时间

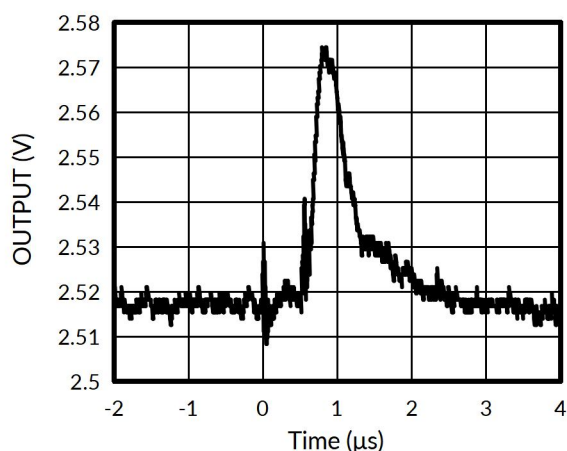


图 23. 故障响应

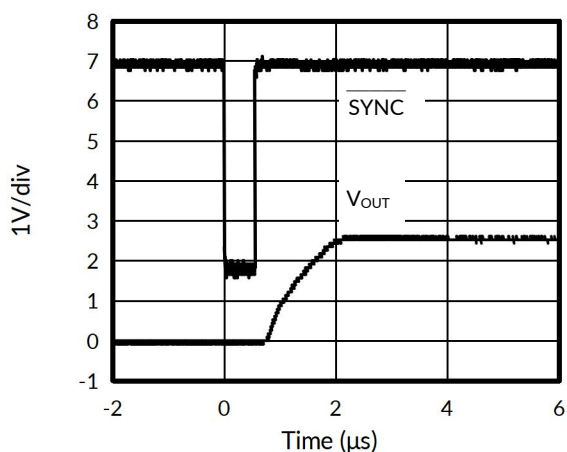


图 24. 起床时间

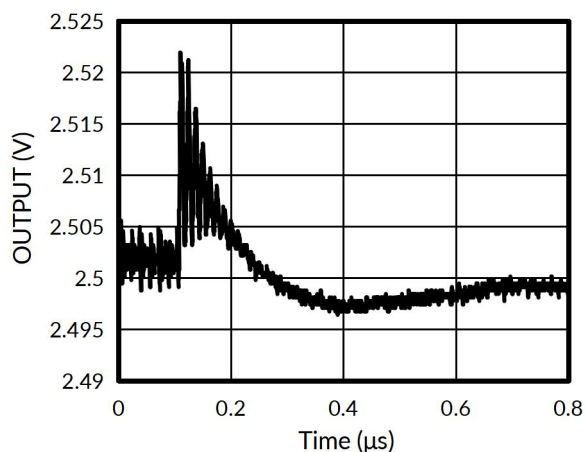


图 25. DAC 间串扰

典型特征（续）

注：本说明之后提供的图表是基于有限数量的样本的统计摘要，仅供参考。

$V_A = 2.7\text{ V}$ 至 5.5 V ， $V_{REF1,2} = V_A$ ， $f_{SCLK} = 30\text{ MHz}$ ， $T_A = 25^\circ\text{C}$ ，除非另有说明。

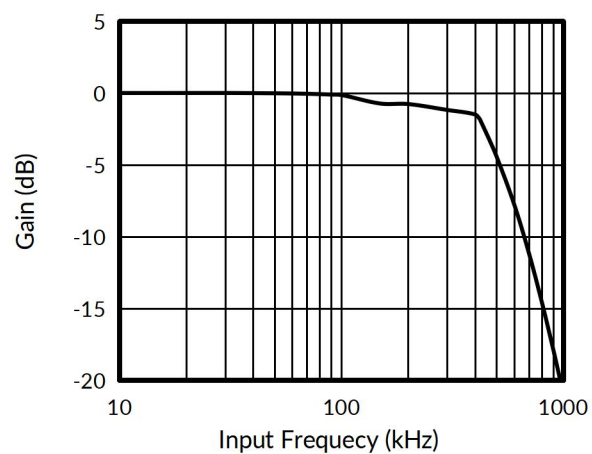


图 26. 倍增带宽

9. 详细描述

9.1 概述

TLX1328 采用 CMOS 工艺制造，其架构由开关和电阻串组成，后接输出缓冲器。DAC 通道 A 至 D 的参考电压由外部施加在 V_{REF1} 上，DAC 通道 E 至 H 的参考电压由外部施加在 V_{REF2} 上。

9.2 功能框图

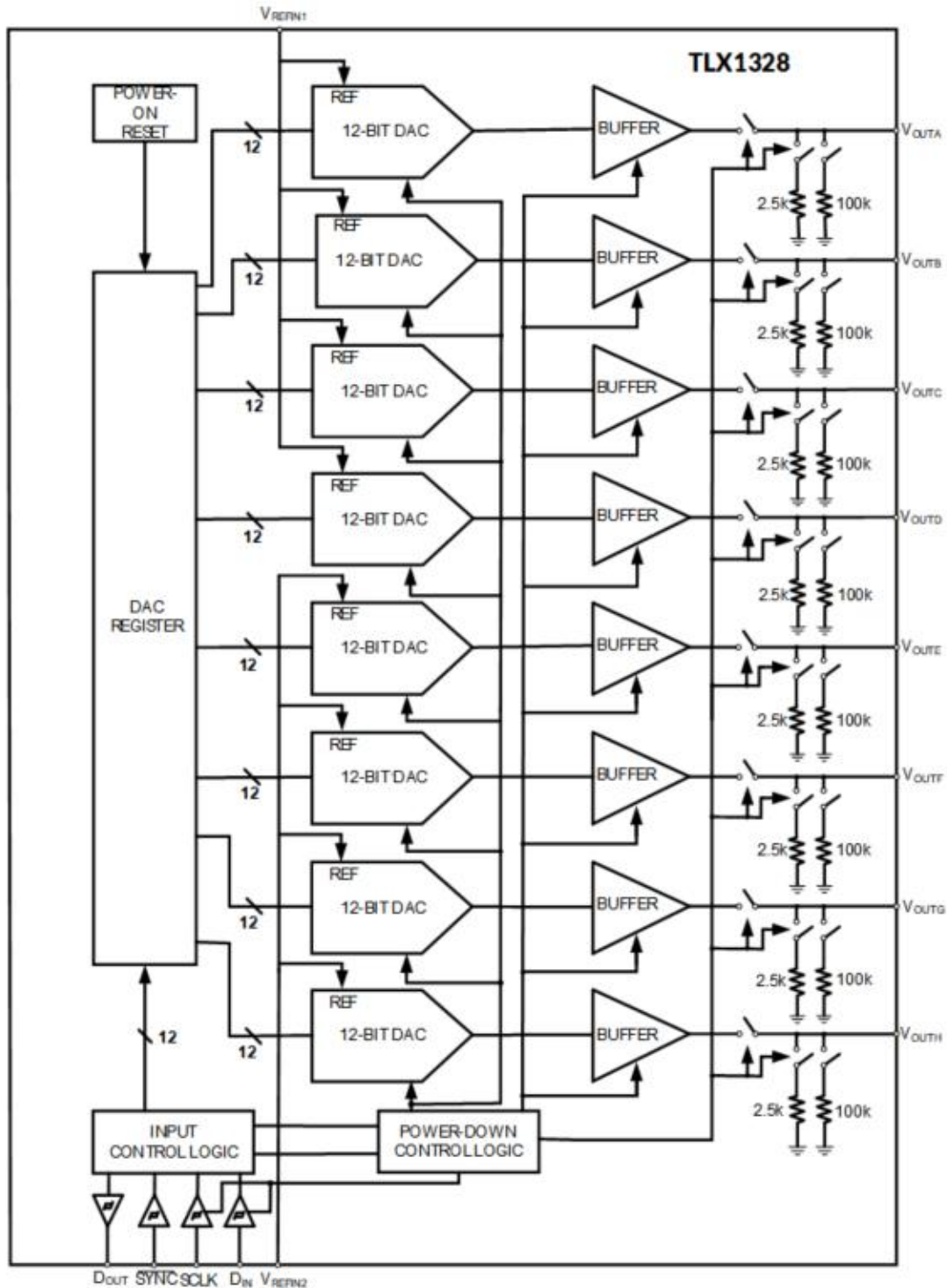


图 27.功能框图

9.3 功能描述

9.3.1 DAC 架构

图 28 中仅展示了一个电阻串。该电阻串由 4096 个阻值相等的电阻组成，每两个电阻的连接点处都设有一个开关，此外还有一个接地开关。加载到 DAC 寄存器中的代码决定哪个开关闭合，从而将正确的节点连接到放大器。输入编码为纯二进制，理想输出电压为：

$$V_{OUT\,A,B,C,D} = V_{REF1} \times (D / 4096)$$

在哪里

D 是加载到 DAC 寄存器中的二进制代码的十进制等效值。

$$V_{OUT\,E,F,G,H} = V_{REF2} \times (D / 4096)$$

D 可以取 0 到 4095 之间的任何值。这种配置确保 DAC 是单调的。

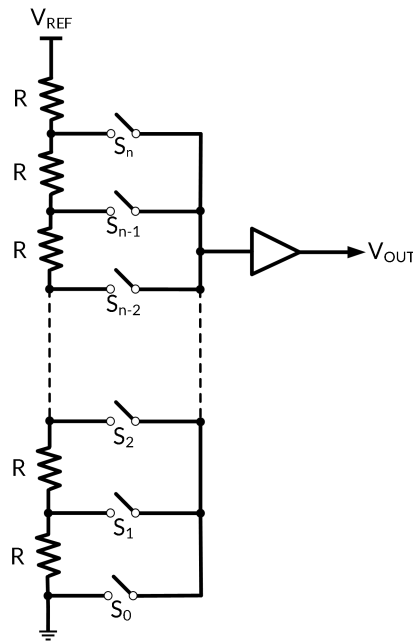


图 28. DAC 电阻串

由于 TLX1328 的八个 DAC 通道均可独立控制，因此每个通道都包含一个 DAC 寄存器和一个 12 位 DAC。图 29 是 TLX1328 中单个通道的简单框图。根据工作模式的不同，写入 DAC 寄存器的数据会更新 12 位 DAC 的输出，或者需要额外的命令来更新 DAC 的输出。有关工作模式的更多说明，请参阅“串行接口”部分。

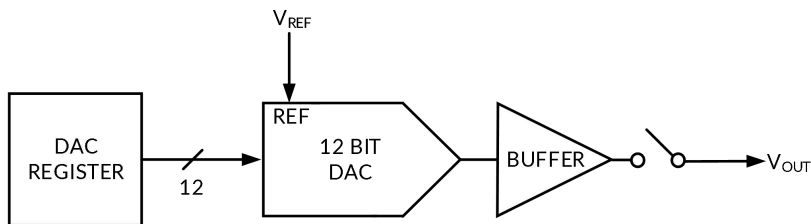


图 29. 单通道框图

9.3.2 输出放大器

输出放大器为轨到轨输出，当参考电压为 V_A 时，输出电压范围为 0 V 至 V_A 。所有放大器，包括轨到轨放大器，在输出电压接近电源轨（本例中为 0 V 和 V_A ）时，线性度都会下降。因此，线性度是在 DAC 输出范围的一定范围内标明的。但是，如果参考电压低于 V_A ，则只有最低阶数的数模才会出现线性度下降。

输出放大器可以驱动一个 $2\text{ k}\Omega$ 的负载，并联一个 1500 pF 的电容器，接地或连接至 V_A 。零码和满量程输出的容许负载电流值可在电气特性中找到。

9.3.3 参考电压

TLX1328 使用双外部基准电压源 V_{REF1} 和 V_{REF2} ，分别由通道 A、B、C、D 和通道 E、F、G、H 共享。基准电压源引脚未经缓冲，输入阻抗为 $30\text{ k}\Omega$ 。TLX 建议使用低输出阻抗的电压源驱动 V_{REF1} 和 V_{REF2} 。电压范围为 0.5 V 至 V_A ，提供最宽的输出动态范围。

9.3.4 串行接口

该三线接口兼容 SPI、QSPI 和 MICROWIRE，以及大多数 DSP，工作时钟频率高达 40 MHz 。一个有效的串行帧包含 16 个 SCLK 下降沿。有关写入序列的信息，请参见表 1。

写入序列首先将 $\overline{\text{SYNC}}$ 线路拉低。线路拉低后，D $\overline{\text{SYNC}}_{\text{IN}}$ 线路上的数据会在 SCLK 的下降沿被时钟写入 16 位串行输入寄存器。为了避免将数据错误时钟写入移位寄存器，必须确保线路不在 SCLK 的下降沿被拉低（参见 $\overline{\text{SYNC}}$ 交流电路和时序特性中的最小和最大建立时间以及图 $\overline{\text{SYNC}}30$ ）。在 SCLK 的第 16 个下降沿，最后一个数据位被时钟写入寄存器。写入序列最后将线路 $\overline{\text{SYNC}}$ 拉高。线路拉高后 $\overline{\text{SYNC}}$ ，将执行已编程的功能（DAC 通道地址、工作模式或寄存器内容的更改）。为了避免将数据错误时钟写入移位寄存器，必须确保线路在 $\overline{\text{SYNC}}\text{SCLK}$ 的第 16 个和第 17 个下降沿之间被拉高（参见 $\overline{\text{SYNC}}$ 交流电路和时序特性中的最小和最大保持时间以及图 30）。

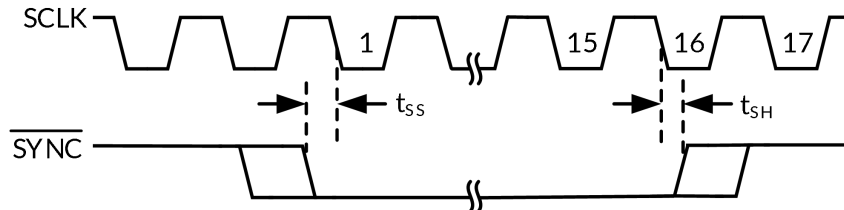


图 30.单通道框图

如果 $\overline{\text{SYNC}}$ 在 SCLK 的第 15 个下降沿之前将置高，则写入序列中止，并且已移入输入寄存器的数据将被丢弃。如果在 $\overline{\text{SYNC}}\text{SCLK}$ 的第 17 个下降沿之后保持为低，则 D_{IN} 上的串行数据将开始输出到 D_{OUT} 。有关此操作模式的更多信息，请参阅“菊花链操作”。无论哪种情况， $\overline{\text{SYNC}}$ 在下一个写入序列以的下降沿启动之前，都必须保持高电平至少指定的时间 $\overline{\text{SYNC}}$ 。

由于 D_{IN} 缓冲区在高电平时会消耗更多电流，因此在写入序列之间应将其置于低电平以最大限度地降低功耗。另一方面，应将 $\overline{\text{SYNC}}$ 置于高电平以避免在 D_{OUT} 处于活动状态时激活菊花链操作。

9.3.5 菊花链操作

菊花链式操作允许使用单个串行接口与任意数量的 TLX1328 设备通信。只要在写入序列中输入正确数量的数据位（16 位的倍数），上升沿 $\overline{\text{SYNC}}$ 就会正确更新系统中的所有 DAC。

为了支持菊花链式配置中的多个设备，所有 $\overline{\text{SYNC}}$ TLX1328 共享 SCLK 和 a，并且链中第一个 DAC 的 D_{OUT} 连接到第二个 DAC 的 D_{IN} 。图 31 显示了三个以菊花链方式连接的 TLX1328。与单通道写入序列类似，菊花链操作的转换从 a 的下降沿开始 $\overline{\text{SYNC}}$ ，到 b 的上升沿结束 $\overline{\text{SYNC}}$ 。链中 n 个设备的有效写入序列需要 $n \times 16$ 个下降沿才能将整个输入数据流移过整个链。菊花链操作可确保最大 SCLK 速度为 30 MHz 。

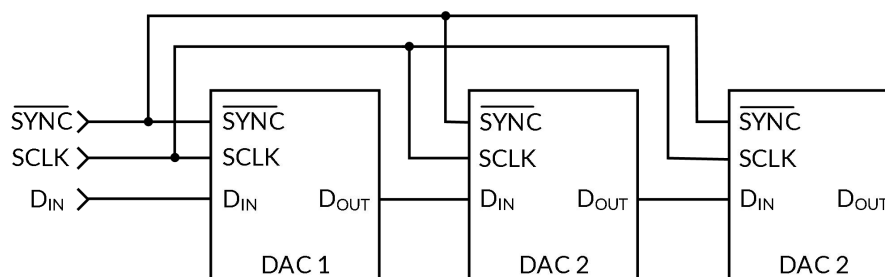


图 31.菊花链式配置

TLX1328 的串行数据输出引脚 D_{OUT} 允许在系统中菊花链连接多个 TLX1328 设备。在写入序列中，D_{OUT} 在 SCLK 的前 14 个下降沿保持低电平，然后在第 15 个下降沿变为高电平。随后，SCLK 的接下来的 16 个下降沿将输出输入到 D_{IN} 的前 16 位数据。图 32 显示了图 31 中 3 个 TLX1328 的时序。在这种情况下，需要 48 个 SCLK 下降沿和一个上升沿才能将所有三个 SYNC TLX1328 寄存器加载到相应的寄存器中。数据。在上升沿，每个 SYNC TLX1328 设备同时执行已编程的功能。

当以菊花链方式连接多个设备时，需要注意的是，TLX1328 会在 SCLK 的下降沿更新 D_{OUT} 信号，该信号将被菊花链中的下一个 DAC 采样。链在下一个时钟下降沿。确保满足正常运行的时序要求。尤其要注意 SCLK 下降沿之后的数据保持时间 (t_{DH}) 要求。布局或负载不当可能会导致器件间的时钟信号延迟。如果延迟过长，导致数据在满足保持时间要求之前发生变化，则可能采样到错误数据。如果无法解决时钟延迟问题，另一种解决方案是在菊花链中一个器件的 D_{OUT} 和下一个器件的 D_{IN} 之间添加延迟。这可以增加保持时间裕量，从而实现正确的采样。但请注意，这种解决方案的缺点是延迟过大最终会影响建立时间。

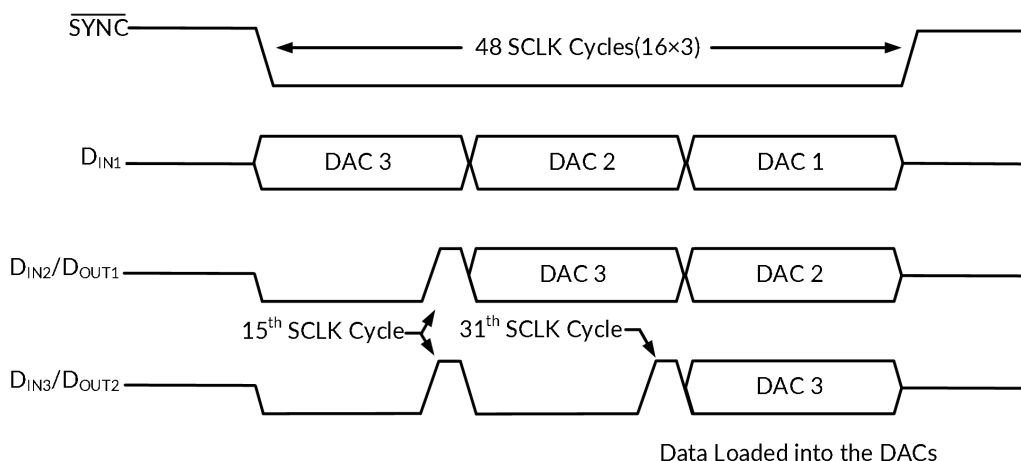


图 32.菊花链时序图

9.3.6 DAC 输入数据更新机制

TLX1328 具有两种工作模式以及一些特殊命令操作。这两种工作模式分别是写寄存器模式 (WRM) 和直写模式 (WTM)。在本文档的其余部分，这两种模式将分别简称为 WRM 和 WTM。特殊命令操作独立于 WRM 和 WTM，因为它们可以在任何工作模式下调用。工作模式由控制寄存器的前四位 (DB15 至 DB12) 控制。有关详细信息，请参见表 1。

表 1. 寄存器写入模式和直通写入模式

DB[15:12]	DB[11:0]	模式描述
1000	XXXXXXXXXX	WRM: 可以对每个 DAC 通道的寄存器进行写入，而不会导致其输出发生变化。
1001	XXXXXXXXXX	WTM: 向通道寄存器写入数据会导致 DAC 输出发生变化。

TLX1328 首次上电时，DAC 处于 WRM 模式。在 WRM 模式下，每个 DAC 的寄存器都处于 WRM 状态。无需更新 DAC 输出即可写入通道。这可以通过将 DB15 设置为 0 来实现。在 DB[14:12] 中指定要写入的 DAC 寄存器，并在 DB[11:0] 中输入新的 DAC 寄存器设置。（参见表 2）。TLX1328 保持 WRM 模式，直到操作模式更改为 WTM 模式。模式通过将 DB[15:12] 设置为 0x1001，操作模式从 WRM 更改为 WTM。进入 WTM 模式后，即可向 DAC 写入数据。通道寄存器也会导致 DAC 输出更新。在 WTM 中更改 DAC 通道寄存器是实现方式与 WRM 相同。然而，在 WTM 中，DAC 寄存器和输出会在.....时更新。命令执行完毕（见表 2）。同样，TLX1328 也保持在 WTM 模式，直到切换到其他模式。将操作更改为 WRM，方法是将 DB[15:12] 设置为 0x 1000。

表 2. 受 WRM 和 WTM 影响的命令

DB15	DB[14:12]	DB[11:0]	模式描述
0	0 0 0	D11 D10 ... D1 D0	WRM: D[11:0] 仅写入 ChA 的数据寄存器 WTM: ChA 的输出由 D[11:0] 中的数据更新
0	0 0 1	D11 D10 ... D1 D0	WRM: D[11:0] 仅写入 ChB 的数据寄存器 WTM: ChB 的输出由 D[11:0] 中的数据更新
0	0 1 0	D11 D10 ... D1 D0	WRM: D[11:0] 仅写入 ChC 的数据寄存器 WTM: ChC 的输出由 D[11:0] 中的数据更新
0	0 1 1	D11 D10 ... D1 D0	WRM: D[11:0] 仅写入 ChD 的数据寄存器 WTM: ChD 的输出由 D[11:0] 中的数据更新
0	1 0 0	D11 D10 ... D1 D0	WRM: D[11:0] 仅写入 ChE 的数据寄存器 WTM: ChE 的输出由 D[11:0] 中的数据更新
0	1 0 1	D11 D10 ... D1 D0	WRM: D[11:0] 仅写入 ChF 的数据寄存器 WTM: ChF 的输出由 D[11:0] 中的数据更新
0	1 1 0	D11 D10 ... D1 D0	WRM: D[11:0] 仅写入 ChG 的数据寄存器 WTM: ChG 的输出由 D[11:0] 中的数据更新
0	1 1 1	D11 D10 ... D1 D0	WRM: D[11:0] 仅写入 ChH 的数据寄存器 WTM: ChH 的输出由 D[11:0] 中的数据更新

特殊指挥操作可随时进行，不受作战模式的限制。三个特殊命令操作。第一个命令是将数据位 DB[15:12] 设置为 0x1010。允许用户同时将多个 DAC 输出更新为其各自当前加载的值。控制寄存器。如果用户希望每个 DAC 输出具有不同的输出电压，则此命令非常有用。但所有 DAC 输出仍需更改为相应的值。同时（见表 3）。

第二个特殊命令允许用户通过单个写入帧来改变通道 A 的 DAC 输出。此命令通过将数据位 DB[15:12] 设置为 0x1011 并将数据位 DB[11:0] 设置为所需的控制值来执行。寄存器值。此命令还会使其他通道的 DAC 输出更新为其当前值。控制寄存器值。用户可以选择执行此命令来保存写入序列。例如：用户可能希望同时更新多个 DAC 输出，包括通道 A。要完成此任务，请执行以下操作。用户将在最少的写入帧内更改所有 DAC 通道的控制寄存器值除了在 WRM 模式下运行时的 A 通道外，最后一个写入帧将用于执行特殊命令。通道 A 写入模式。除了将通道 A 的控制寄存器更新为新值并输出之外，所有操作都将执行以下操作：其他通道也会被更新。在这一系列写入帧结束后，TLX1328 仍将以 WRM 模式运行（参见表 3）。

第三条特殊命令允许用户将所有 DAC 控制寄存器和输出设置为同一电平。此命令通常称为“广播”模式，因为相同的数据位会同时广播到所有通道。执行此命令的方法是将数据位 DB[15:12] 设置为 0x1100，并将数据位 DB[11:0] 设置为用户希望广播到所有 DAC 控制寄存器的值。执行此命令后，每个 DAC 输出都会更新为新的控制寄存器值。此命令常用于将所有 DAC 输出设置为某个已知电压，例如 0 V、V_{REF}/2 或满量程。命令汇总见表 3。

表 3. 特种指挥行动

DB[15:12]	DB[11:0]	模式描述
1010	XXXXHGFEDCBA	更新选择：以 1 分贝 (DB) 选择的通道的 DAC 输出[7:0] 同时更新为各自控制寄存器中的值。
1011	D11 D10 ... D1 D0	通道 A 写入：通道 A 的控制寄存器和 DAC 输出为 已更新至数据库 [11:0]中的数据。其他七个通道的输出为： 同时根据各自的控制寄存器值进行更新。
1100	D11 D10 ... D1 D0	广播：DB[11:0] 中的数据被写入所有通道控制寄存器，并且 同时输出 DAC 信号。

9.3.7 开机复位

上电复位电路在上电期间控制八个 DAC 的输出电压。施加 断电后，DAC 寄存器被填充为零，输出电压被设置为 0V。输出保持在 0V。直到生成有效的写入序列为止。

9.3.8 传递特性

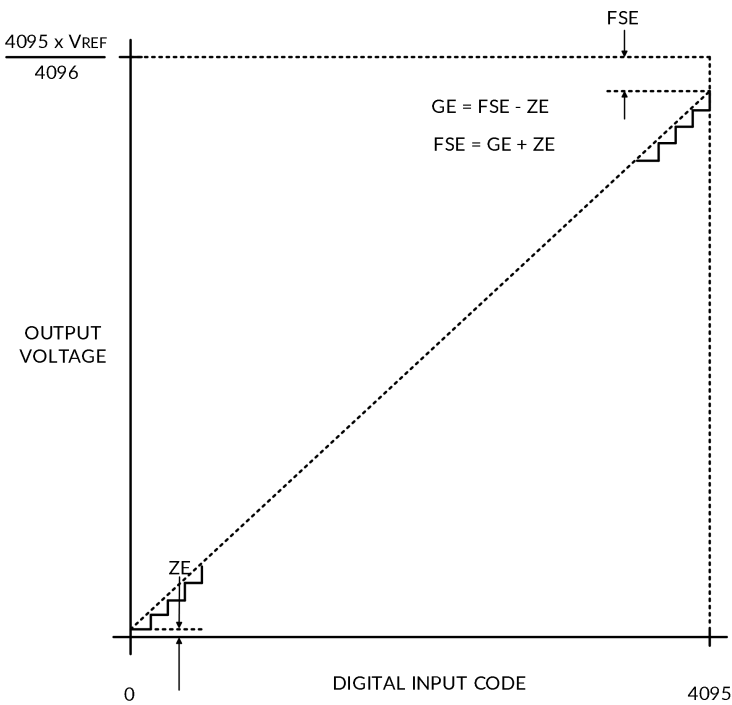


图 33. 输入/输出传输特性

9.4 设备功能模式

9.4.1 关机模式

TLX1328 具有三种断电模式，可以选择不同的输出端接方式（参见表 4）。所有通道断电时，3V 电源电流降至 0.1 μ A，5V 电源电流降至 0.2 μ A。通过在 DB[7:0] 中设置 1 来选择要断电的通道，可以单独断电各个通道，也可以同时断电多个通道。三种不同的输出端接方式包括高输出阻抗、100 k Ω 对地和 2.5 k Ω 对地。

在任何掉电模式下，输出放大器、电阻串和其他线性电路都会关闭。但是，偏置发生器只有在所有通道都处于掉电模式时才会关闭。掉电时，DAC 寄存器的内容不受影响。因此，除非在指示其从掉电状态恢复的写入序列期间更改了值，否则每个 DAC 寄存器都会保持其在 TLX1328 掉电之前的值。在掉电模式下，当 SYNC 空闲为高电平、D_{IN} 空闲为低电平且 SCLK 被禁用时，功耗最低。从掉电状态退出（唤醒时间）在 3V 时通常为 5 μ sec，在 5V 时通常为 3 μ sec。

表 4. 特种指挥行动

DB[15:12]	DB[11:8]	7	6	5	4	3	2	1	0	输出阻抗
1101	XXXX	H	G	F	E	D	C	B	一个	高阻抗输出
1110	XXXX	H	G	F	E	D	C	B	一个	100 k Ω 输出
1111	XXXX	H	G	F	E	D	C	B	一个	2.5 k Ω 输出

9.5 编程

9.5.1 TLX1328 编程

本节介绍对串行输入寄存器进行编程的分步说明。

9.5.1.1 同时更新 DAC 输出

TLX1328 首次上电时，DAC 工作在写入寄存器模式 (WRM)。WRM 模式允许用户对多个 DAC 通道的寄存器进行编程，而不会更新 DAC 输出。例如，以下步骤将通道 A 设置为完全写入寄存器。规模输出，通道 B 至三通道 C 为满量程的四分之一，通道 D 为满量程的一半，所有 DAC 输出同时更新。

如前所述，TLX1328 在 WRM 模式下启动。如果该设备之前在写入模式下运行。直通模式 (WTM) 需要额外步骤将 DAC 设置为 WRM 模式。首先，必须设置 DAC 寄存器。已编程为所需值。要将通道 A 设置为满量程输出，请向控制寄存器写入 0x0FFF。

这将更新通道 A 的数据寄存器，但不更新通道 A 的输出。其次，将通道 B 设置为通过向控制寄存器写入 0x1C00，输出达到满量程的四分之三。这将更新数据寄存器。通道 B。同样，由于 DAC 正在运行，通道 B 和通道 A 的输出不会更新。在 WRM 中。第三步，通过向控制寄存器写入 0x2800 将通道 C 设置为半刻度。第四步，将通道 D 设置为 1。通过向控制寄存器写入 0x3400，将量程设置为满量程的四分之一。最后，同时更新所有四个 DAC 通道。向控制寄存器写入 0xA00F。此过程允许用户同时更新四个通道。五个步骤。

由于通道 A 是需要更新的 DAC 之一，因此可以通过编写以下代码来节省一个命令步骤：最后写入通道 A。具体操作方法是：先写入通道 B、C 和 D，然后使用特殊命令“通道 A”。写入以更新通道 A 的 DAC 寄存器和输出。此特殊命令还会更新所有 DAC 输出。在更新通道 A 的同时，用户可以通过这一系列命令同时更新四个通道。该命令分四步执行。表 3 对此命令进行了概述。

9.5.1.2 独立更新 DAC 输出

如果 TLX1328 当前工作在 WRM 模式，请通过向控制寄存器写入 0x9XXX 将其工作模式更改为 WTM 模式。DAC 工作在 WTM 模式后，即可一步更新任意 DAC 通道。例如，如果设计要求将通道 G 设置为半量程，用户可以向控制寄存器写入 0x6800 来更新通道 G 的数据寄存器和 DAC 输出。类似地，向控制寄存器写入 0x5FFF

可将通道 F 的输出设置为全量程。通道 A 是唯一一个具有特殊命令的通道，该命令允许其 DAC 输出在一次操作模式下更新。向控制寄存器写入 0xBFFF 可一步将通道 A 的 DAC 输出设置为全量程。

10 应用与实施

以下应用章节中的信息并非 TLXIC 组件规格的一部分，TLXIC 不对其准确性或完整性作出任何保证。TLXIC 的客户有责任确定组件是否适合其应用。目的。客户应验证并测试其设计实现，以确认系统功能。

10.1 应用信息

10.1.1 利用参考物作为电源

TLX1328 的简洁性意味着其易用性，但重要的是要认识到，从.....到.....的路径 DAC 输出的参考输入 ($V_{REF1,2}$) 的电源抑制比 (PSRR) 为零。因此，用户必须为 $V_{REF1,2}$ 提供无噪声的电源电压。为了充分利用 TLX1328 的动态范围，电源引脚 (V_A) 和 $V_{REF1,2}$ 可以连接在一起，共享同一个电源电压。由于 TLX1328 功耗极低，因此可以使用参考源作为参考输入或电源。电压。与稳压器相比，使用参考源的优势在于精度和稳定性。一些也可以使用低噪声稳压器。下面列出了一些适用于 TLX1328 的参考电压源和电源选项。

10.2 应用信息

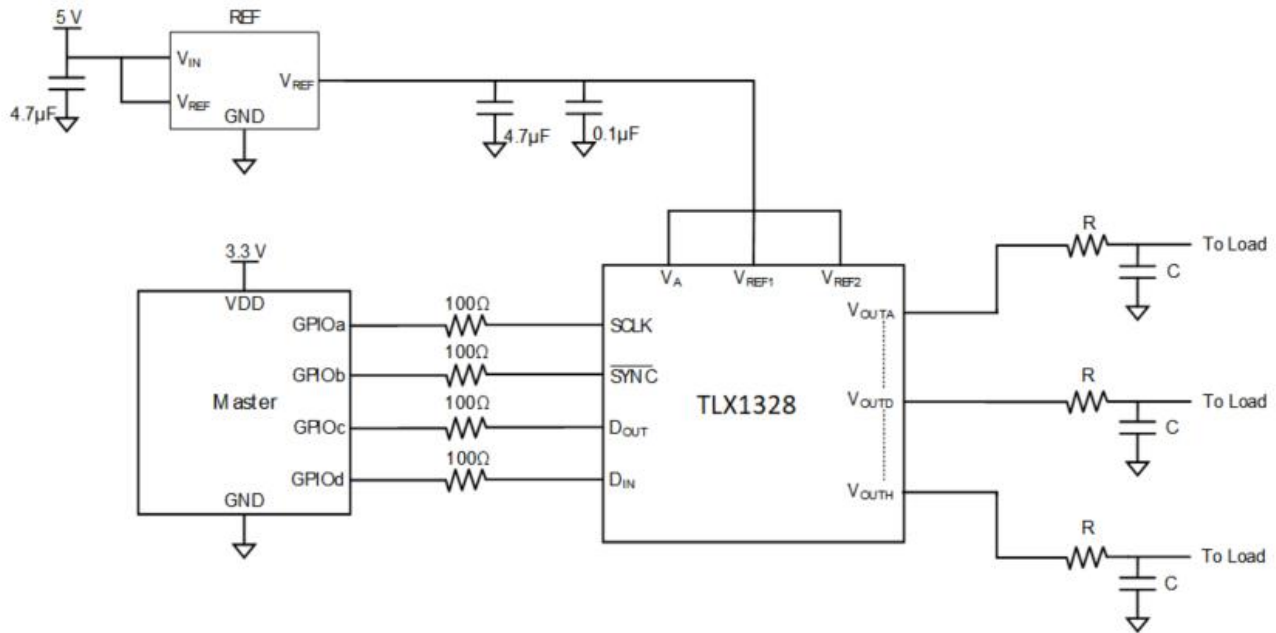


图 34. 典型应用电路

10.2.1 设计要求

TLX1328 有两个参考输入。一个参考输入用于通道 A 到 D，而另一个参考输入用于通道 A 到 D。其他参考信号用于通道 E 至 H。TLX1328 的 16 位输入移位寄存器控制着 DAC 通道的工作模式、断电状态以及寄存器/输出值。所有八个 DAC 输出结果可以同时更新，也可以单独更新。

10.2.2 设计要求

每个参考输入引脚均可独立设置，或者可以如图 34 所示将参考引脚短接在一起。可接受的参考电压范围为 0.5 V 至 V_A 。在输出端使用 RC 滤波器来降低输出噪声是可选的。

11 电源建议

为了获得最佳性能，TLX1328 的电源应旁路至少一个 $1\ \mu\text{F}$ 和一个 $0.1\ \mu\text{F}$ 的电容。 $0.1\ \mu\text{F}$ 的电容必须直接连接到器件的电源引脚。 $1\ \mu\text{F}$ 或更大容量的电容可以是钽电容，而 $0.1\ \mu\text{F}$ 的电容必须是低等效串联电阻 (ESL) 和低等效串联电阻 (ESR) 的陶瓷电容。如果 $1\ \mu\text{F}$ 的电容也是低 ESL 和低 ESR 的陶瓷电容，并且可以直接连接到电源引脚，则可以省略 $0.1\ \mu\text{F}$ 的电容。这类电容通常与 $0.1\ \mu\text{F}$ 的电容具有相同的频率响应范围，因此无需额外的电容。TLX1328 的电源只能用于模拟电路。

避免模拟信号和数字信号交叉。这有助于最大限度地减少数字信号转换过程中产生的噪声耦合到敏感的模拟信号（例如参考引脚和 DAC 输出）上。

12 布局

12.1 布局指南

为了获得最佳精度和最小噪声，包含 **TLX1328** 的印刷电路板应具有独立的模拟区域和数字区域。这些区域由模拟电源层和数字电源层的位置定义。这两个电源层应位于同一电路板层。如果数字回流电流不流经模拟接地区域，则最好使用单个接地层。通常，单个接地层设计会采用“栅栏”技术来防止模拟和数字接地电流混合。只有当栅栏技术不足以防止混合时，才应使用独立的接地层。独立的接地层必须连接在同一位置，最好靠近 **TLX1328**。确保具有快速边沿速率的数字信号不会流经分离的接地层。信号在其走线下方必须始终具有连续的回流路径。

12.2 布局示例

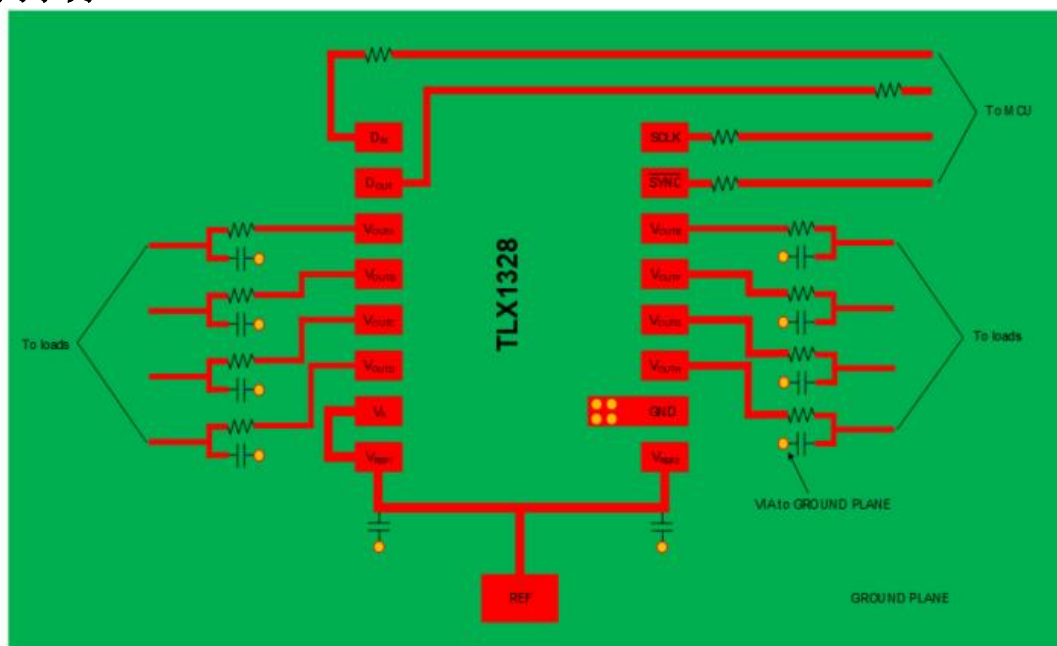
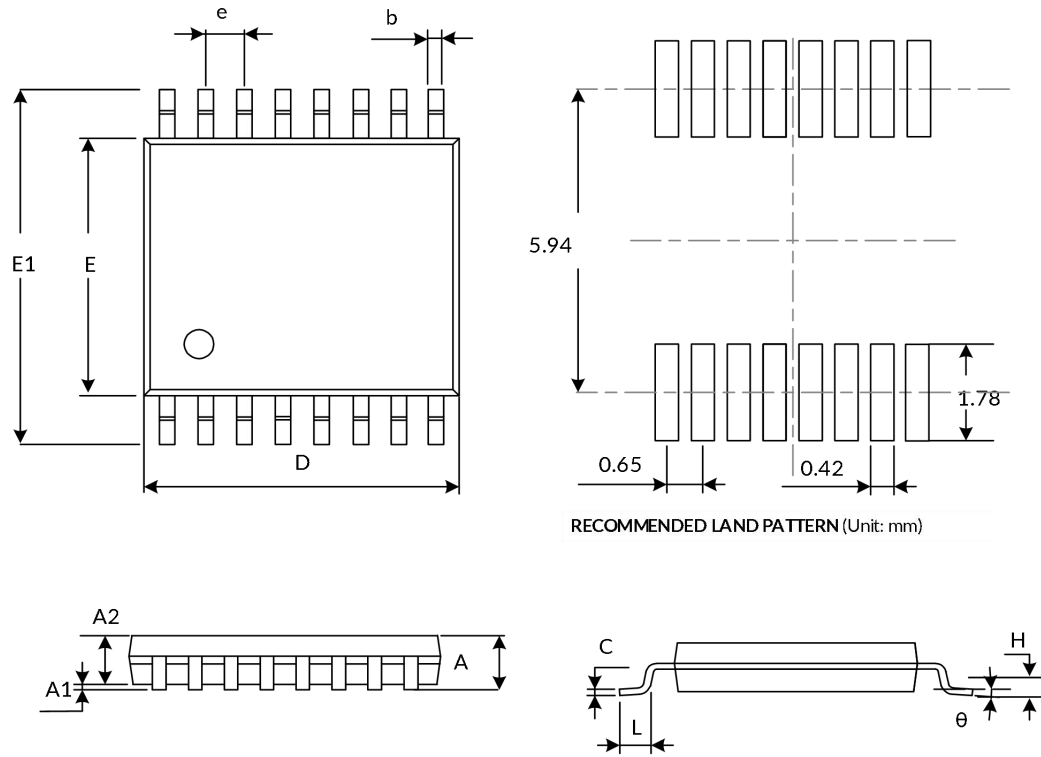


图 35. 布局示例

13 包装外形尺寸

TSSOP16 ⁽³⁾



代码	尺寸单位: 毫米		尺寸单位: 英寸	
	最小值	最大值	最小值	最大值
A ⁽¹⁾		1.200		0.047
A1	0.050	0.150	0.002	0.006
A2	0.800	1.050	0.031	0.041
b	0.190	0.300	0.007	0.012
c	0.090	0.200	0.004	0.008
D ⁽¹⁾	4.860	5.100	0.191	0.201
E ⁽¹⁾	4.300	4.500	0.169	0.177
E1	6.200	6.600	0.244	0.260
e	0.650 (BSC) ⁽²⁾		0.026 (BSC) ⁽²⁾	
L	0.500	0.700	0.020	0.028
H	0.250 TYP		0.010 TYP	
θ	1°	7°	1°	7°

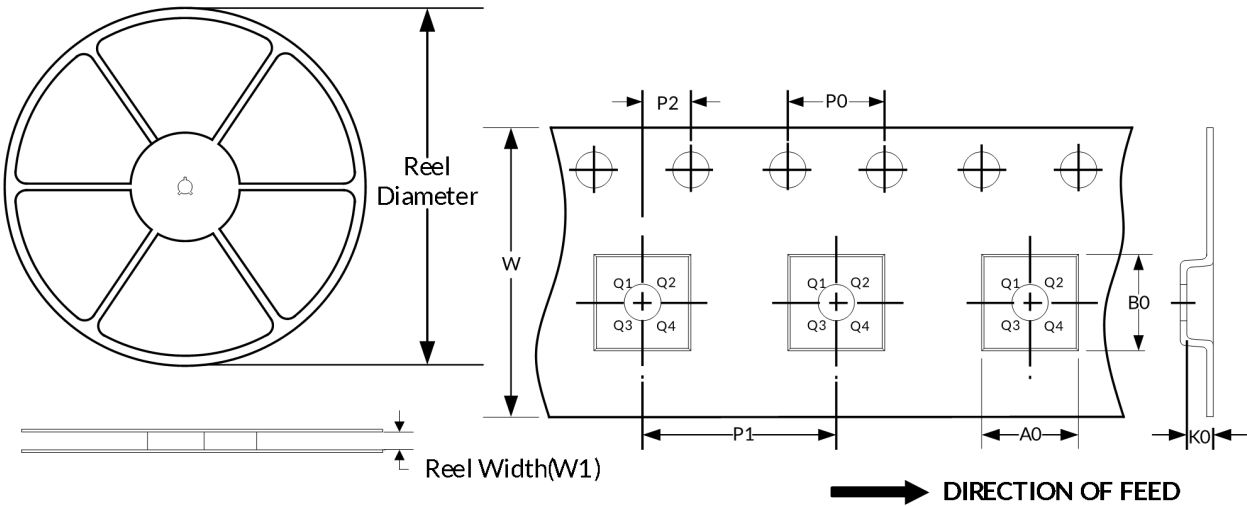
笔记:

- 1.每边最大凸起部分（0.15mm）的塑料或金属凸起部分不包含在内。
2. BSC（中心间基本间距），“基本”间距是标称间距。
3. 本图纸如有更改，恕不另行通知。

1.4 磁带和卷盘信息

卷轴尺寸

胶带尺寸



注：图片仅供参考，请以实物为准。

卷带式磁带的参数列表

封装类型	卷轴直径	卷筒宽度 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P0 (mm)	P1 (mm)	P2 (mm)	W (mm)	Pin1 Quadrant
TSSOP16	13"	12.4	6.90	5.60	1.20	4.0	8.0	2.0	12.0	Q1

笔记：

- 所有尺寸均为标称尺寸。
- 每边最大凸起部分（0.15mm）不包括在内。