

无锡泰连芯科技有限公司

TLX1361

16 位超低干扰电压输出数模转换器

2026 年 03 月

16 位超低干扰电压输出数模转换器

1 特性

- 相对精度：**±6 LSB**
- 干扰能量：**1 nV-s**
- 微功耗运行：**160 μA (2.7 V)**
- 上电复位至零
- 电源电压：**2.7 V ~ 5.5 V**
- **16 位**单调性
- 建立时间：**4 μs** 内至 **± 0.003% FSR**
- 低功耗串行接口（含施密特触发输入）
- 片内轨到轨输出缓冲放大器
- 关断功能
- 二进制输入
- **SYNC** 中断功能

2 应用

- 多通道系统监测
- 电池供电设备
- 过程控制
- 数据采集系统
- 闭环伺服控制
- **PC** 外围设备
- 便携式仪器
- 可编程衰减

3 概述

TLX1361 是一款小型低功耗电压输出型 16 位数模转换器（DAC）。该器件具有单调性，能提供良好的线性度，并显著抑制码间瞬变电压。TLX1361 采用多功能三线串行接口，工作时钟频率最高可达 30 MHz，兼容标准 SPI™、QSPI™、Microwire™ 以及 DSP 接口。

TLX1361 芯片需要外接参考电压来设定输出范围。该器件内置上电复位电路，确保 DAC 在启动时以 0V 电压运行，并保持该状态直至设备器件接收到有效写入指令。此外，TLX1361 还具备通过串行接口控制的关断功能，可将器件电流消耗降至 5V 工作电压下的 10nA。

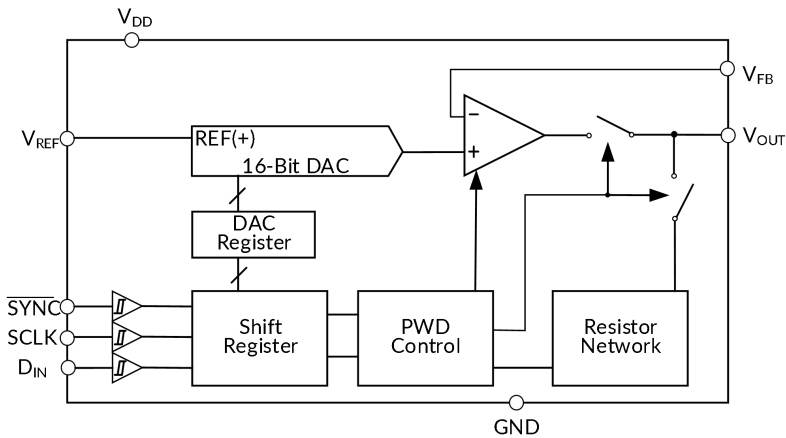
该器件在正常工作时的低功耗使其非常适合便携式、电池供电的设备。在 2.7V 时功耗为 0.4mW，在关断模式下降低到小于 0.1μW。

质量等级：军温级&企军标

器件信息 (1)

型号	封装	封装尺寸 (标称值)
TLX1361	MSOP8	3.00mm×3.00mm

(1) 详细的订单型号说明，请参考数据表后的封装选项部分。



功能框图

目录

1 特性	2
2 应用	2
3 概述	2
4 修订历史	4
5 封装和订单说明⁽¹⁾	5
6 引脚定义和功能	6
7 规格	7
7.1 绝对最大额定参数	7
7.2 ESD 等级	7
7.3 推荐工作条件	7
7.4 热信息	8
7.5 典型电气参数	9
7.6 时序特性	11
7.7 典型参数曲线	12
7.7.1 $V_{DD}=5.5V$	12
7.7.2 $V_{DD}=2.7V$	17
8 详细说明	21
8.1 概览	21
8.2 功能框图	21
8.3 特性说明	21
8.3.1 DAC 架构	21
8.3.2 上电复位	23
8.4 器件功能模式	23
8.4.1 关断模式	23
8.5 编程	24
8.5.1 串行接口	24
8.5.2 输入移位寄存器	24
8.5.3 $\overline{SYNC}$ 中断	24
9 应用与设计	25
9.1 应用信息	25
9.1.1 使用 TLX1361 进行双极性操作	25
9.2 典型应用	26
9.2.1 基于 XTR116 的两线制回路供电型 4-20mA 变送器	26
9.2.2 采用 TLX3450 为 TLX1361 供电的方案	27
9.3 系统示例	28
9.3.1 微处理器接口	28
10 电源建议	29
11 PCB 版图设计	30
11.1 PCB 布局设计注意事项	30
11.2 PCB 布局示意图	30
12 封装规格尺寸	31
13 包装规格尺寸	32

4 修订历史

注意: 更新前的版本页码可能与当前版本不同。

版本	更新日期	变更项目
A.0	2025/07/08	初始版
A.0.1	2026/01/23	1. 零码误差 (典型值): $\pm 2\text{mV}$ (原值 $\pm 3\text{mV}$) 2. 满量程误差 (典型值): $\pm 0.06\%$ FSR (原值 $\pm 0.1\%$ FSR) 3. PSRR (典型值): 0.15mV/V (原值 0.45mV/V) 4. 新增输出噪声测试项 (较前一版本显著降低) 5. 修改了静态参数图
A.0.2	2026/03/25	增加上下限卡控数据

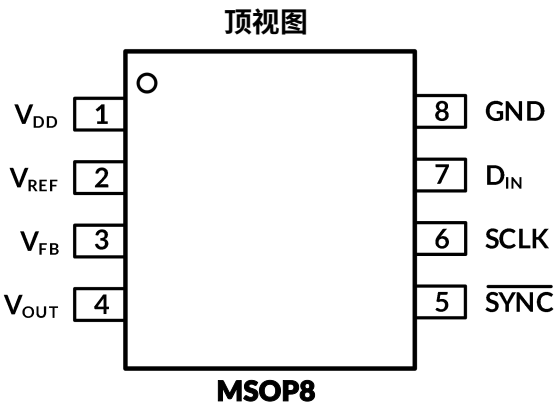
5 封装和订单说明⁽¹⁾

订单型号	温度范围	封装类型	MSL ⁽³⁾	质量等级
JTLX1361XM	-55°C ~+125°C	MSOP8	MSL1	企军标
JTLX1361XM(W)	-55°C ~+125°C	MSOP8	MSL1	军温级
TLX1361XM	-40°C ~+125°C	MSOP8	MSL1	工业级

注意:

- (1) 该信息是当前版本的最新数据。这些数据如有更新，将及时更新到我司官网，恕不另行通知。
- (2) TLXIC 装配厂使用符合 JEDEC 工业标准 J-STD-20F 的通用预处理设置对 MSL 级别进行分类。如果您的最终应用对预处理设置非常关键，或者您有特殊要求，请与 TLXIC 技术支持联系。

6 引脚定义和功能



引脚功能

引脚		类型 ⁽¹⁾	功能说明
引脚名称	编号		
D _{IN}	7	I	串行数据输入。在每个串行时钟输入的下降沿，数据被时钟输入到 24 位输入移位寄存器中（施密特触发器逻辑输入）
GND	8	GND	器件所有电路的地基准点。
SCLK	6	I	串行时钟输入。数据传输速率最高可达30 MHz（施密特触发器逻辑输入）。
$\overline{\text{SYNC}}$	5	I	电平触发控制输入（低电平有效）。该信号作为输入数据的帧同步信号。当 $\overline{\text{SYNC}}$ 信号变为低电平时，会启用输入移位寄存器，并在后续时钟信号的下降沿进行数据传输。DAC 会在第 24 个时钟周期后更新状态（除非在此前时钟信号已变为高电平，此时 $\overline{\text{SYNC}}$ 的上升沿将作为中断信号，导致 TLX1361 器件忽略写入序列）（施密特触发器逻辑输入）。
V _{DD}	1	PWR	电源输入，2.7V 至 5.5V。
V _{FB}	3	I	输出放大器反馈端。对于电压输出操作，将其连接到外部的 V _{OUT} 。
V _{OUT}	4	O	DAC模拟输出电压。输出放大器支持轨到轨操作。
V _{REF}	2	I	参考电压输入。

(1) I=输入管脚, O=输出管脚。

7 规格

7.1 绝对最大额定参数

在自然通风温度范围内（除非特别注明）⁽¹⁾

		最小值	最大值	单位
输入电压	GND	-0.3	6	V
数字输入电压	GND	-0.3	$V_{DD}+0.3$	V
输出电压	GND	-0.3	$V_{DD}+0.3$	V
自然通风条件下的工作温度范围		-55	125	°C
结温, T_J ⁽²⁾			150	°C
存储温度, T_{stg}		-65	150	°C

(1) 这里只表示产品在测试条件下得到的极限值，并不表示产品在这些条件下或者其他超出规格限定的参数条件下能够正常工作，超过上述绝对最大额定值所规定的范围将对产品造成损害，无法预测产品在上述条件外的工作状态。如果产品长期在上述条件外的条件下工作，可能影响产品性能。

(2) 最大功耗是有关 $T_{J(MAX)}$ 、 $R_{\theta JA}$ 和 T_A 的函数。任意环境温度下的最大功耗为 $P_D = (T_{J(MAX)} - T_A) / R_{\theta JA}$ 。适用于直接焊接到 PCB 上的封装。

7.2 ESD 等级

以下 ESD 信息仅针对在防静电保护区内操作的敏感设备。

		标称值	单位
$V_{(ESD)}$ 静电放电	人体模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 规范 ⁽¹⁾	±2000	V
	带电器件模型 (CDM)，符合 JEDEC specification JESD22-C101 规范 ⁽²⁾	±500	V

(1) JEDEC 文件 JEP155 指出，500V HBM 允许使用标准 ESD 控制过程进行安全制造。

(2) JEDEC 文件 JEP157 指出，250V CDM 允许使用标准 ESD 控制过程进行安全制造。



ESD 灵敏性警告

ESD 损坏的范围可以从细微的性能下降到完全的设备失效。精密集成电路可能更容易受到损坏，因为非常小的参数变化有可能导致器件不符合其公布的参数规格。

7.3 推荐工作条件

在自然通风温度范围内（除非特别注明）

		最小值	标称值	最大值	单位
	电源电压 (V_{DD} 至 GND)	2.7		5.5	V
	数字输入电压 (D_{IN} , $SCLK$, 和 $\overline{SYNC}$)	0		V_{DD}	V
V_{REF}	参考输入电压	0		V_{DD}	V
V_{FB}	输出放大器反馈输入电压		V_{OUT}		V
T_A	自然通风条件下的工作温度范围	-55		125	°C

7.4 热信息

热学指标 ⁽¹⁾		TLX1361	单位
R _{θJA}	结至环境热阻	206	°C/W
R _{θJC(top)}	结至外壳（顶部）热阻	44	°C/W
R _{θJB}	结至电路板热阻	94.2	°C/W
ψ _{JT}	结至顶部特征值	10.2	°C/W
ψ _{JB}	结至电路板特征值	92.7	°C/W

(1) 有关传统和新型热指标的更多信息，请参见半导体和 IC 封装热指标应用报告。

7.5 典型电气参数

测试条件为： $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 和 $-55^{\circ}\text{C} \sim 125^{\circ}\text{C}$ （除非特别注明）

参数		测试条件	最小值 ⁽¹⁾	典型值 ⁽²⁾	最大值 ⁽¹⁾	单位
静态性能						
分辨率			16			Bits
相对精度		在 V _{REF} =5V 时，通过代码 485 和 64741 测量的值；在 V _{REF} =2.5V 时，通过代码 970 和 63947 测量的值		±6	±12	LSB
微分非线性				±0.5	±1	LSB
零码误差		通过代码 485 和 64741 的线路测量值		±2	±12	mV
满量程误差				±0.06%	±0.3%	FSR
增益误差				±0.06%	±0.15%	FSR
零码误差温漂				±1		μV/°C
增益温度系数				±1		ppm of FSR/°C
PSRR	电源抑制比	R _L = 2 kΩ , C _L = 200 pF		0.15		mV/V
输出特性						
输出电压范围			0		V _{REF}	V
输出电压建立时间		To ± 0.003% FSR, 0200h to FD00h, R _L = 2 kΩ, 0 pF < C _L < 200 pF		4		μs
		R _L = 2 kΩ , C _L =50pF		4		μs
压摆率				1.7		V/μs
电容负载稳定性		R _L = ∞		470		pF
		R _L = 2 kΩ		1000		pF
输出噪声		0.1 Hz to 10 Hz		70		μVp-p
码值变化毛刺脉冲		主进位跃迁处的 1 LSB 变化		1		nV-s
数字馈通		数字信号线路串联 50 kΩ 电阻		0.1		
直流输出阻抗		中值码输入点		1		Ω
短路电流		V _{DD} = 5 V		60		mA
		V _{DD} = 3 V		60		

(1) 极限值是在 25°C 条件下进行的 100% 生产测试。通过使用统计质量控制 (SQC) 方法的相关性来确保工作温度范围的限制。

(2) 典型值表示在表征时确定的最可能的参数规范。实际典型值可能随时间变化，也将取决于应用和配置。

典型电气参数 (续)

测试条件为: $V_{DD} = 2.7\text{ V} \sim 5.5\text{ V}$ 和 $-55^{\circ}\text{C} \sim 125^{\circ}\text{C}$ (除非特别注明)

参数		测试条件		最小值	典型值	最大值	单位
上电时间		从关断模式恢复时, V _{DD} = 5 V			12		μs
		从关断模式恢复时, V _{DD} = 3 V			13		
交流性能							
SNR	信噪比	BW = 20 kHz, V _{DD} = 5 V, f _{OUT} = 1 kHz, SNR 计算时移除前 19 次谐波			93		dB
THD	总谐波失真	BW = 20 kHz, V _{DD} = 5 V, f _{OUT} = 1 kHz, SNR 计算时移除前 19 次谐波			-74		dB
SFDR	无杂散动态范围	BW = 20 kHz, V _{DD} = 5 V, f _{OUT} = 1 kHz, SNR 计算时移除前 19 次谐波			74		dB
SINAD	信纳比	BW = 20 kHz, V _{DD} = 5 V, f _{OUT} = 1 kHz, SNR 计算时移除前 19 次谐波			74		dB
参考输入							
参考电流		V _{REF} = V _{DD} = 5 V			40		μA
		V _{REF} = V _{DD} = 3.6 V			30		μA
参考输入电压范围				0		V _{DD}	V
参考输入阻抗					125		kΩ
逻辑输入							
输入电流					±1		μA
V _{IL}	输入低电压	3 V ≤ V _{DD} ≤ 5.5 V				0.3×V _{DD}	V
		2.7 V ≤ V _{DD} < 3 V				0.1×V _{DD}	
V _{IH}	输入高电压	3 V ≤ V _{DD} ≤ 5.5 V		0.7×V _{DD}			V
		2.7 V ≤ V _{DD} < 3 V		0.9×V _{DD}			
引脚电容					3		pF
电源要求							
V _{DD}	电源电压			2.7		5.5	V
I _{DD}	电源电流	正常模式, 输入码= 32768, 无负载, 不包括参考电流	V _{DD} = 3.6 V to 5.5 V, V _{IH} = V _{DD} and V _{IL} = GND		180	250	μA
			V _{DD} = 2.7 V to 3.6 V, V _{IH} = V _{DD} and V _{IL} = GND		160		
		所有关断模式, 输入码 = 32768, 无负载, 不包括参考电流	V _{DD} = 3.6 V to 5.5 V		0.1		μA
			V _{DD} = 2.7 V to 3.6 V		0.01		
I _{OUT} /I _{DD}	功率效率	I _{LOAD} = 2 mA, V _{DD} = 5 V			90%		
指定性能温度				-55		125	°C

7.6 时序特性

测试条件为：V_{DD} = 2.7 V ~ 5.5 V, 所有规格在 -55°C ~ 125°C 测得（除非特别注明）⁽¹⁾⁽²⁾

参数		测试条件	最小值	典型值	最大值	单位
t ₁ ⁽³⁾	SCLK 周期时间	V _{DD} = 2.7 V to 3.6 V	50			ns
		V _{DD} = 3.6 V to 5.5 V	33			
t ₂	SCLK 高电平时间	V _{DD} = 2.7 V to 3.6 V	13			ns
		V _{DD} = 3.6 V to 5.5 V	13			
t ₃	SCLK 低电平时间	V _{DD} = 2.7 V to 3.6 V	22.5			ns
		V _{DD} = 3.6 V to 5.5 V	13			
t ₄	SYNC 至 SCLK 上升沿建立时间	V _{DD} = 2.7 V to 3.6 V	0			ns
		V _{DD} = 3.6 V to 5.5 V	0			
t ₅	数据建立时间	V _{DD} = 2.7 V to 3.6 V	5			ns
		V _{DD} = 3.6 V to 5.5 V	5			
t ₆	数据保持时间	V _{DD} = 2.7 V to 3.6 V	4.5			ns
		V _{DD} = 3.6 V to 5.5 V	4.5			
t ₇	第 24 个 SCLK 下降沿到 SYNC 上升沿时间	V _{DD} = 2.7 V to 3.6 V	0			ns
		V _{DD} = 3.6 V to 5.5 V	0			
t ₈	最小 SYNC 高电平时间	V _{DD} = 2.7 V to 3.6 V	50			ns
		V _{DD} = 3.6 V to 5.5 V	33			
t ₉	第 24 个 SCLK 下降沿到 SYNC 下降沿时间	V _{DD} = 2.7 V to 5.5 V	100			ns

- (1) 所有输入信号均指定为 t_R = t_F = 5 ns（10%至 90%的 V_{DD}），并从电压水平（V_{IL} + V_{IH}） / 2 计时。
- (2) 见图 1。
- (3) 在 V_{DD} = 3.6V 至 5.5V 时，最大 SCLK 频率为 30MHz，在 V_{DD} = 2.7V 至 3.6V 时，最大 SCLK 频率为 20 MHz。

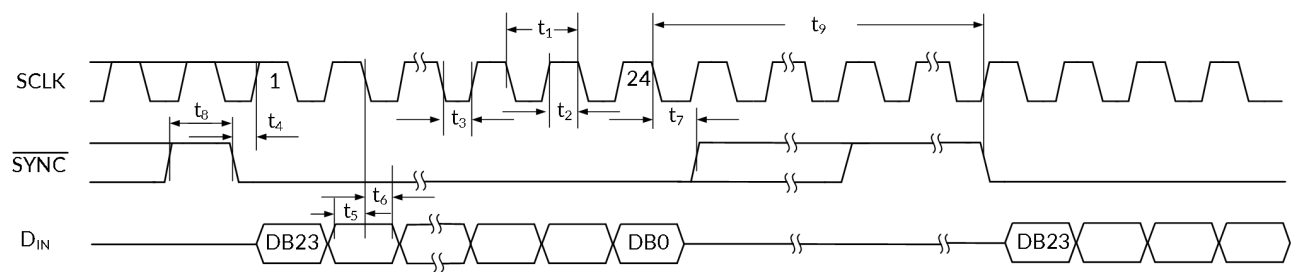


图 1. 串行写入操作

7.7 典型参数曲线

7.7.1 $V_{DD}=5.5V$

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

测试条件为： $T_A=25^{\circ}C$ （除非特别注明）

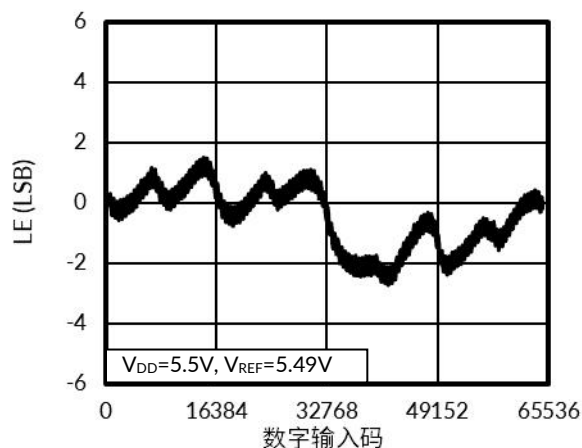


图 2. 线性误差与数字输入码的关系

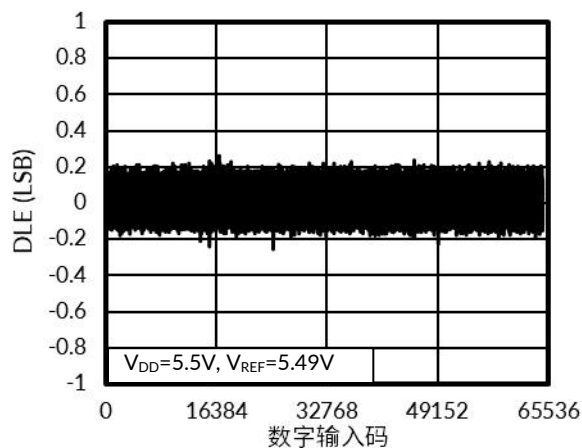


图 3. 微分线性误差与数字输入码的关系

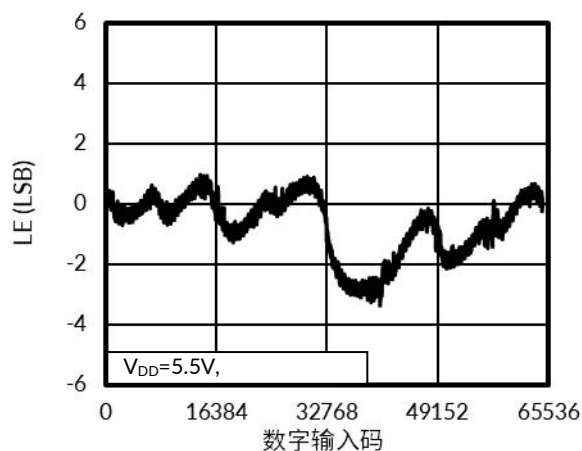


图 4. 线性误差与数字输入码的关系 (125°C)

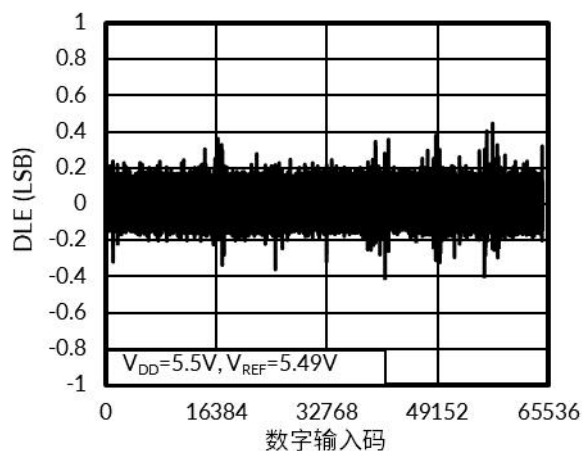


图 5. 微分线性误差与数字输入码的关系 (125°C)

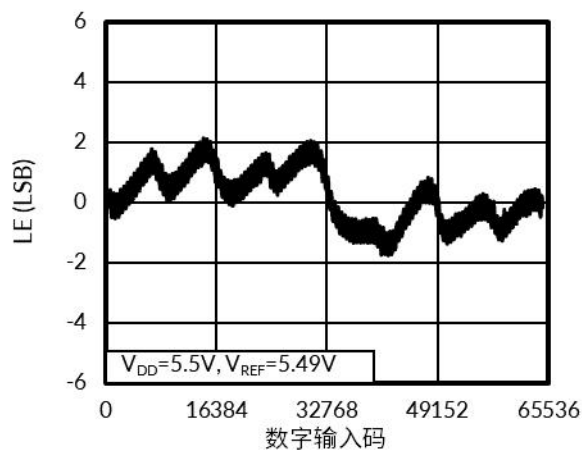


图 6. 线性误差与数字输入码的关系 (-40°C)

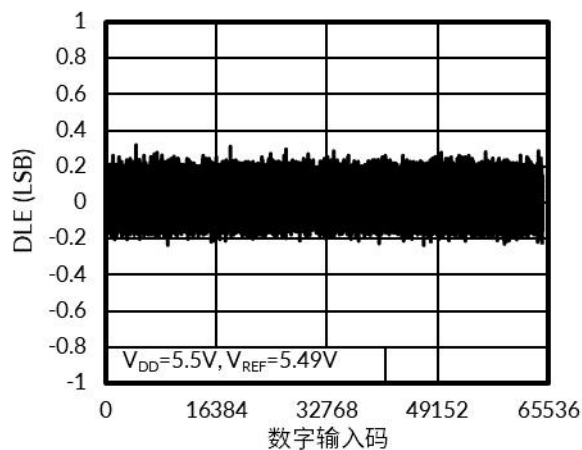


图 7. 微分线性误差与数字输入码的关系 (-40°C)

V_{DD} = 5.5 V (续)

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

测试条件为：T_A=25°C（除非特别注明）

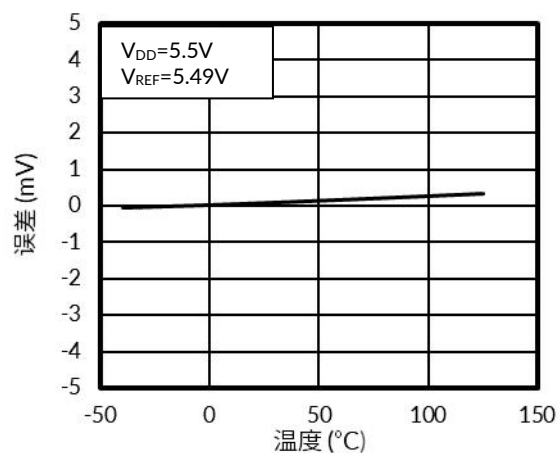


图 8. 零点误差与温度的关系

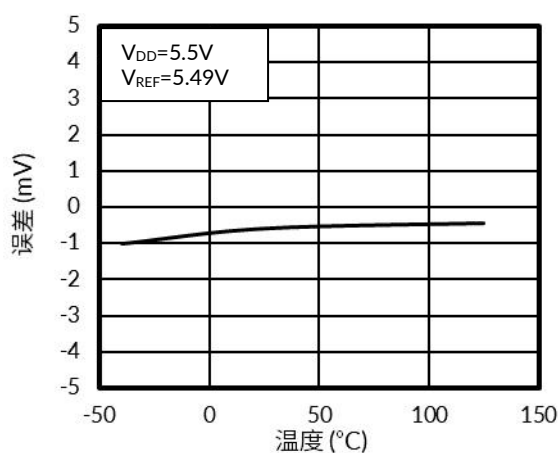


图 9. 满量程误差与温度的关系

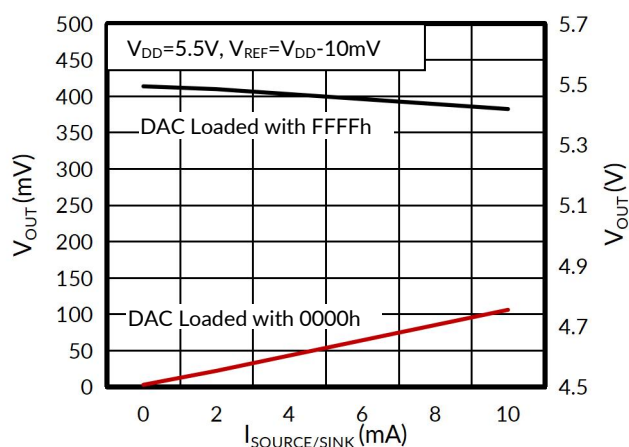


图 10. 拉灌电流能力曲线

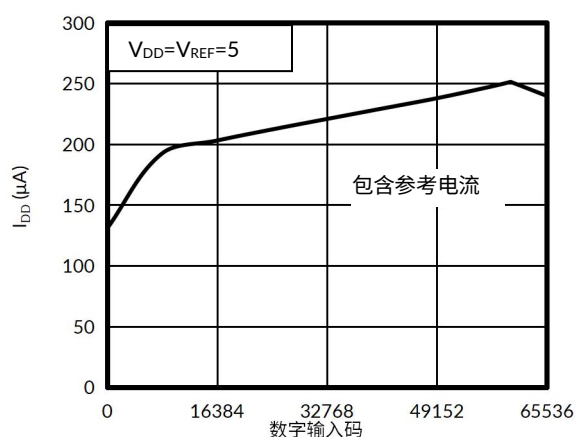


图 11. 电源电流与数字输入码的关系

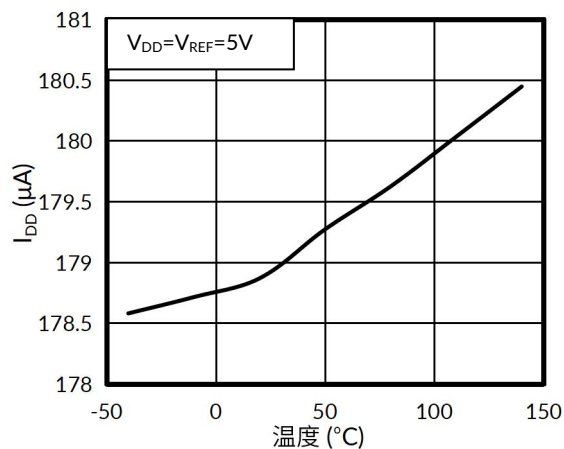


图 12. 电源电流与温度的关系

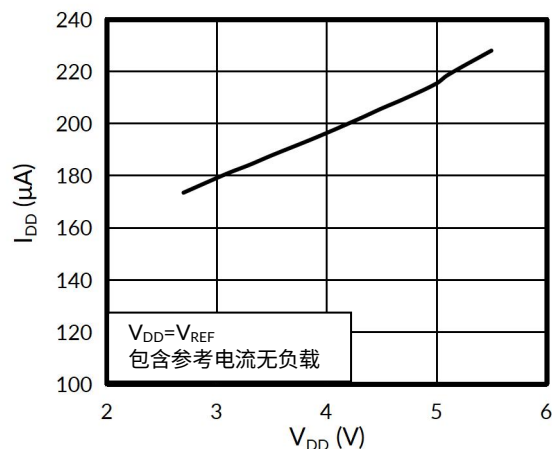


图 13. 电源电流与电源电压的关系

V_{DD} = 5.5 V (续)

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

测试条件为：T_A=25°C（除非特别注明）

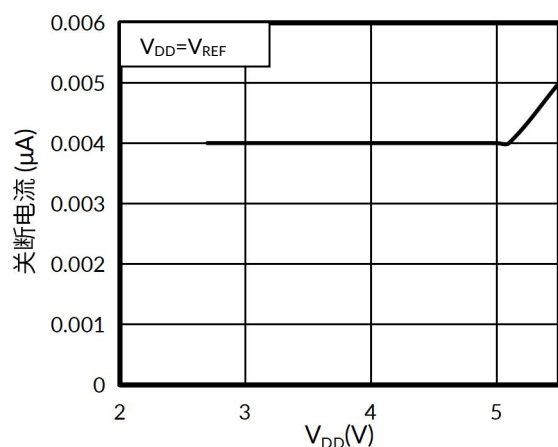


图 14. 关断电流与电源电压的关系

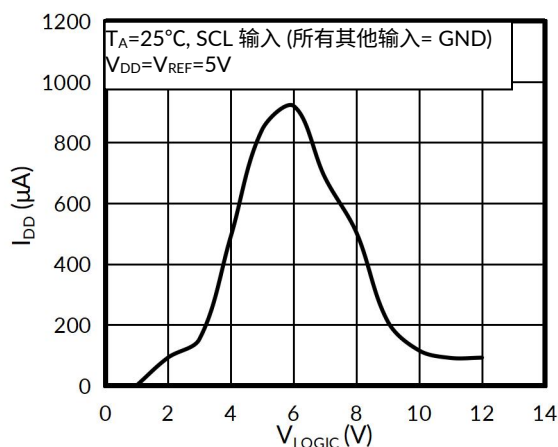


图 15. 电源电流与逻辑输入电压的关系

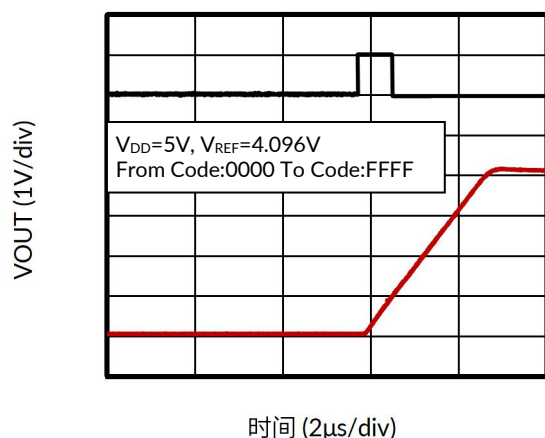


图 16. 满量程建立时间, 5V 上升沿触发

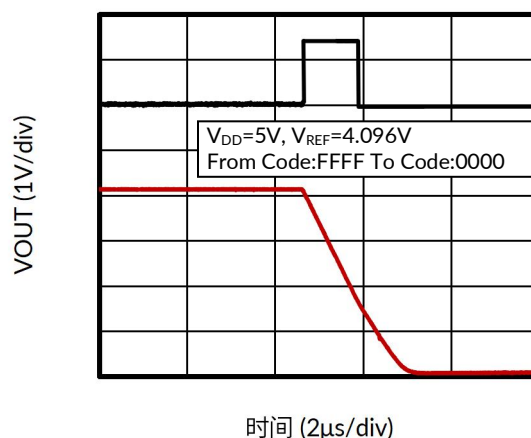


图 17. 满量程建立时间, 5V 下降沿触发

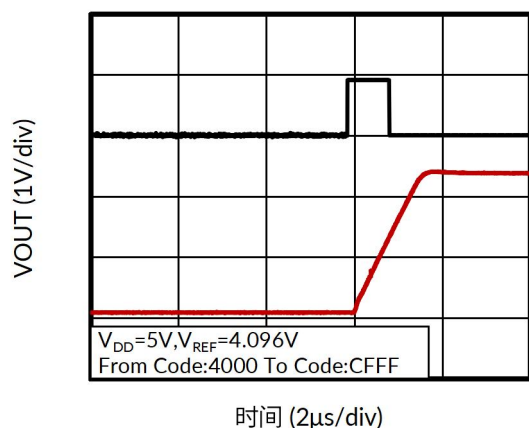


图 18. 半量程建立时间, 5V 上升沿触发

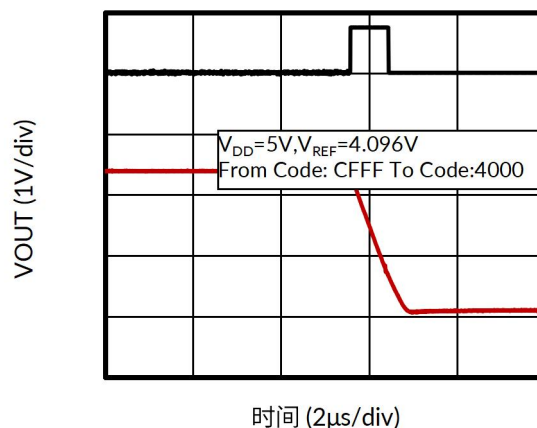
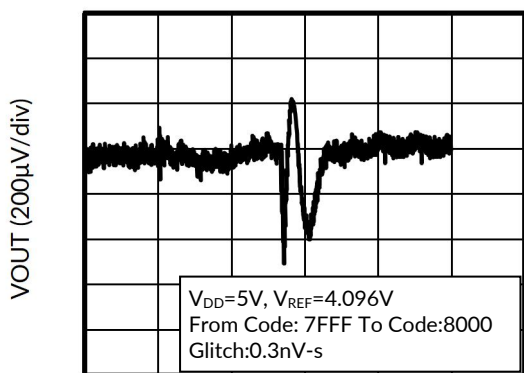


图 19. 半量程建立时间, 5V 下降沿触发

V_{DD} = 5.5 V (续)

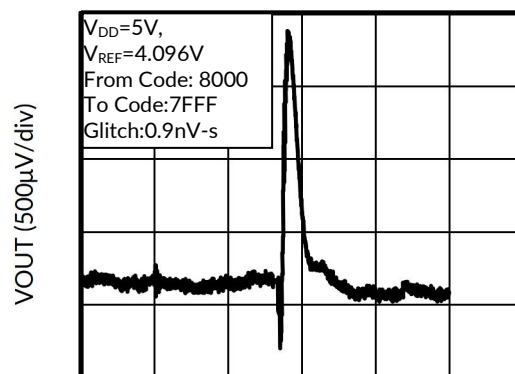
注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

测试条件为：T_A=25°C（除非特别注明）



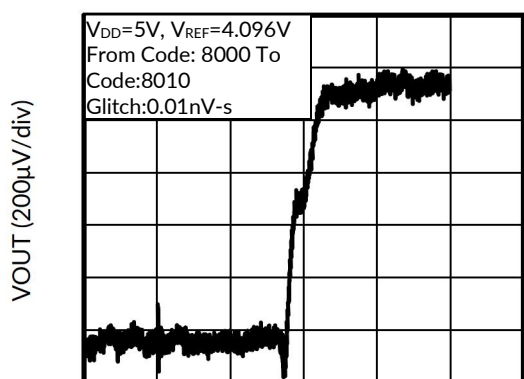
时间 (1µs/div)

图 20. 毛刺能量: 5V, 1LSB 阶跃, 上升沿触发



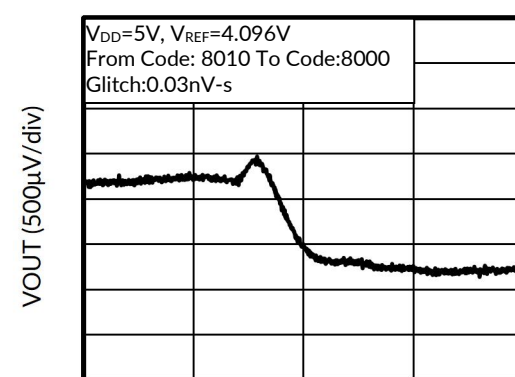
时间 (1µs/div)

图 21. 毛刺能量: 5V, 1LSB 阶跃, 下降沿触发



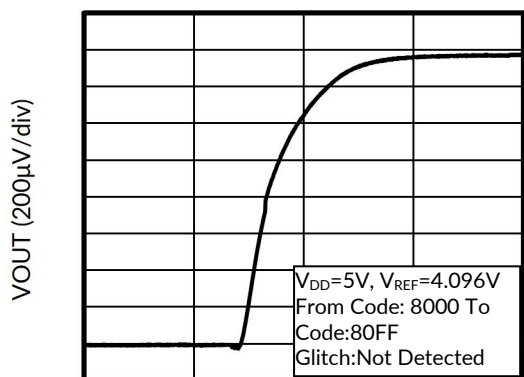
时间 (500ns/div)

图 22. 毛刺能量: 5V, 16LSB 阶跃, 上升沿触发



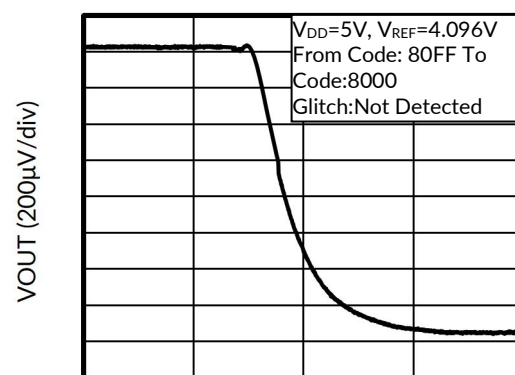
时间 (500ns/div)

图 23. 毛刺能量: 5V, 16LSB 阶跃, 下降沿触发



时间 (500ns/div)

图 24. 毛刺能量: 5V, 256LSB 阶跃, 上升沿触发



时间 (500ns/div)

图 25. 毛刺能量: 5V, 256LSB 阶跃, 下降沿触发

V_{DD} = 5.5 V (续)

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

测试条件为：T_A=25°C（除非特别注明）

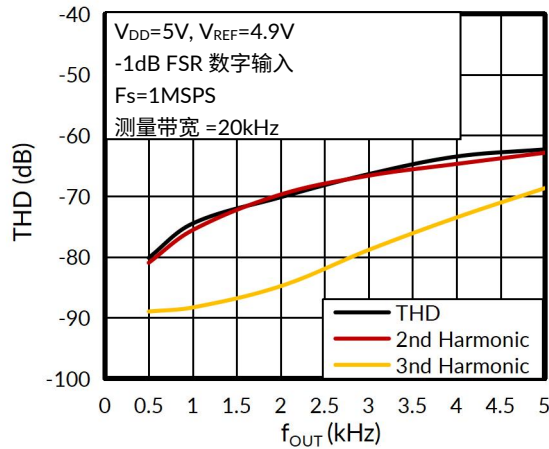


图 26. 总谐波失真与输出频率的关系

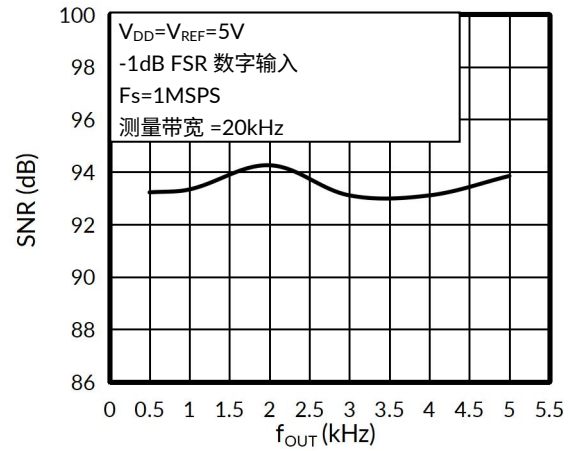


图 27. 信噪比与输出频率的关系

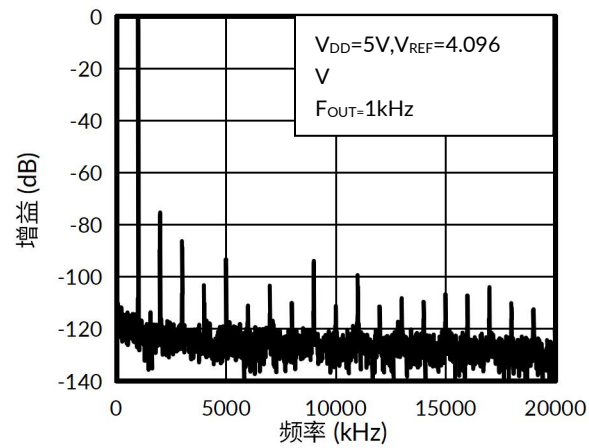


图 28. 功率谱密度

7.7.2 $V_{DD}=2.7V$

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

测试条件为： $T_A=25^{\circ}C$ （除非特别注明）

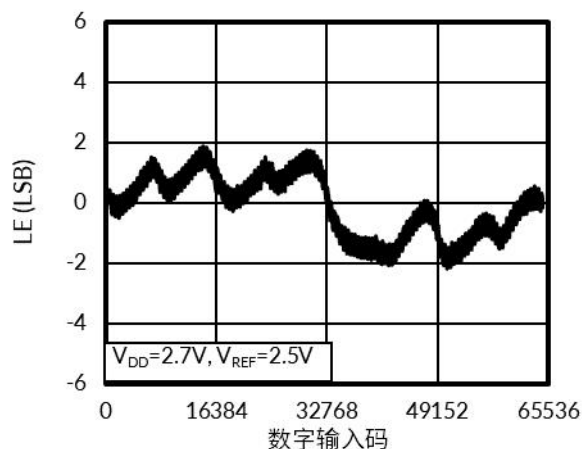


图 29. 线性误差与数字输入码的关系

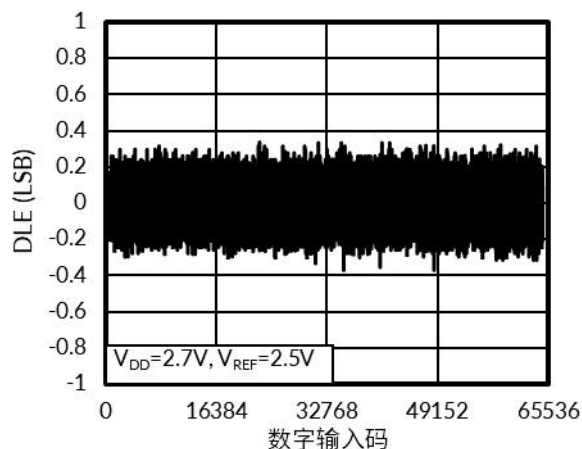


图 30. 微分线性误差与数字输入码的关系

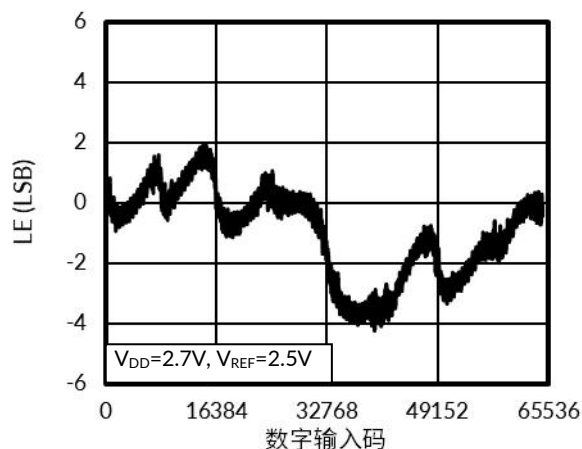


图 31. 线性误差与数字输入码的关系 (125°C)

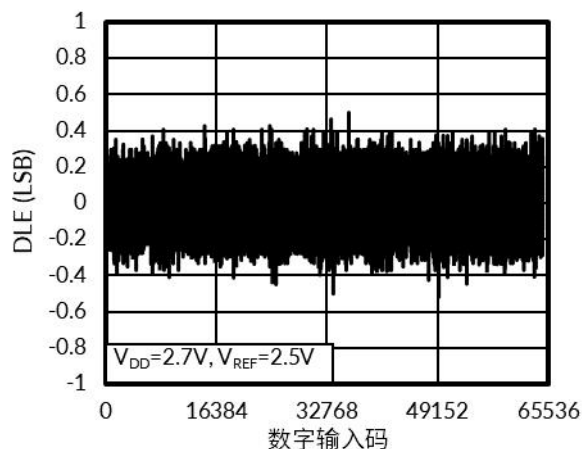


图 32. 微分线性误差与数字输入码的关系 (125°C)

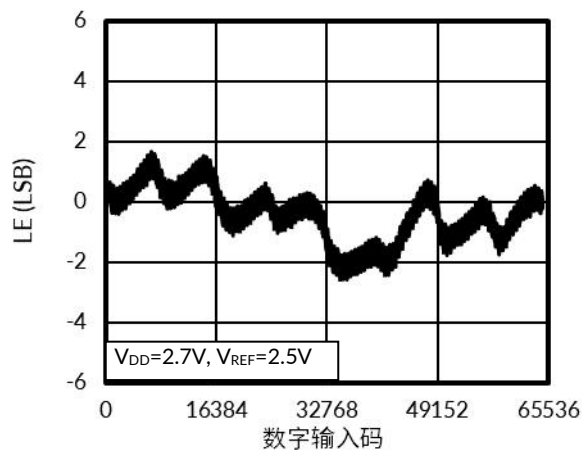


图 33. 线性误差与数字输入码的关系 (-40°C)

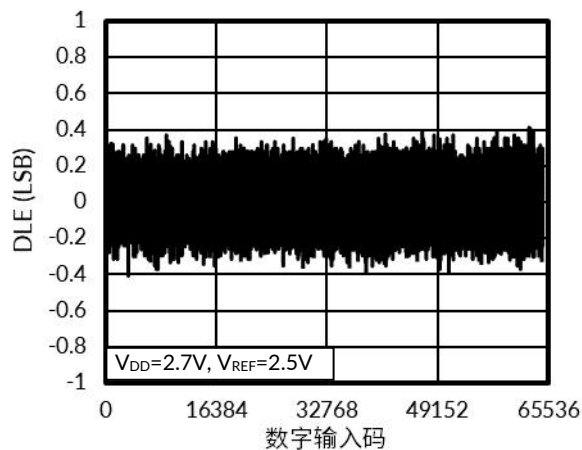


图 34. 微分线性误差与数字输入码的关系 (-40°C)

V_{DD} = 2.7 V (续)

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

测试条件为：T_A=25°C（除非特别注明）

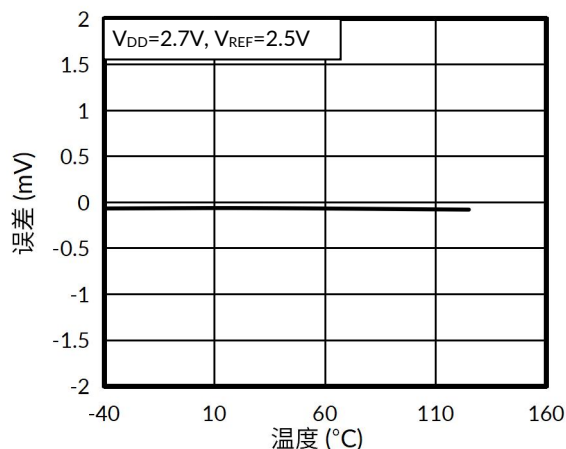


图 35. 零点误差与温度的关系

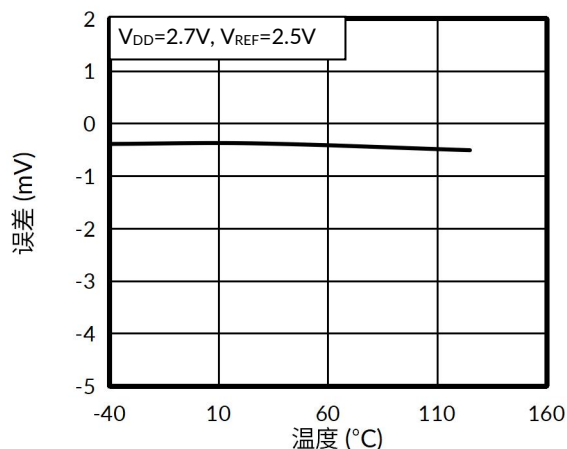


图 36. 满量程误差与温度的关系

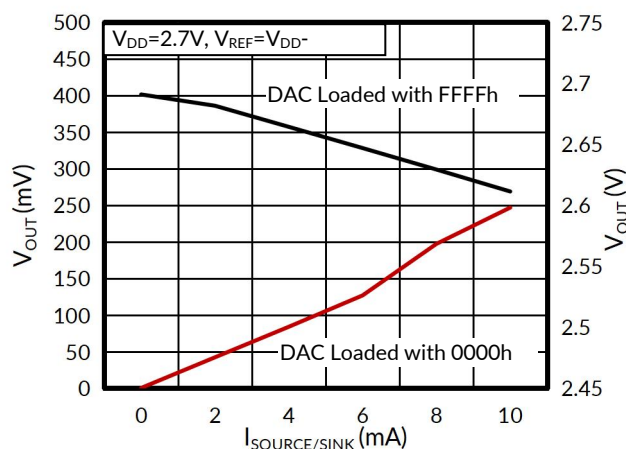


图 37. 拉灌电流能力曲线

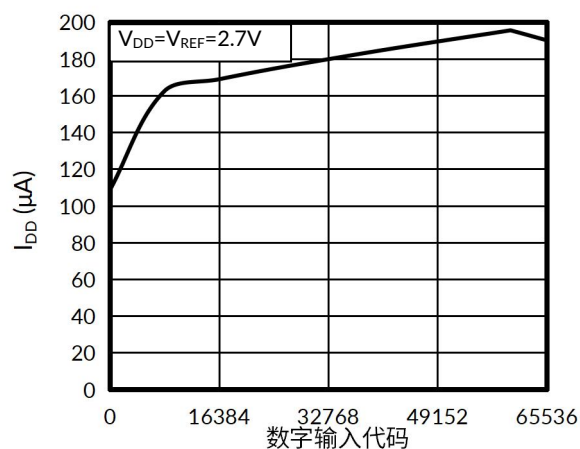


图 38. 电源电流与数字输入代码的关系

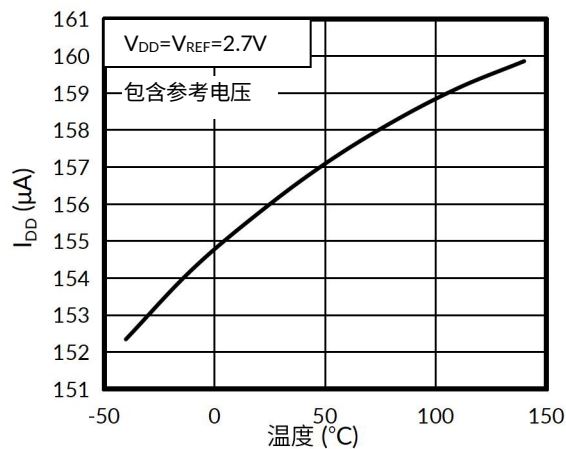


图 39. 电源电流与温度的关系

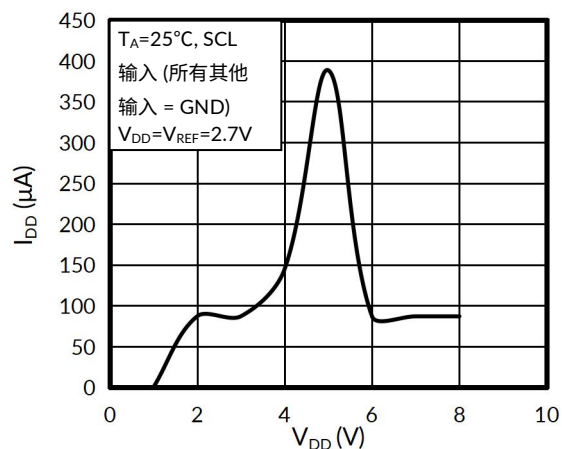
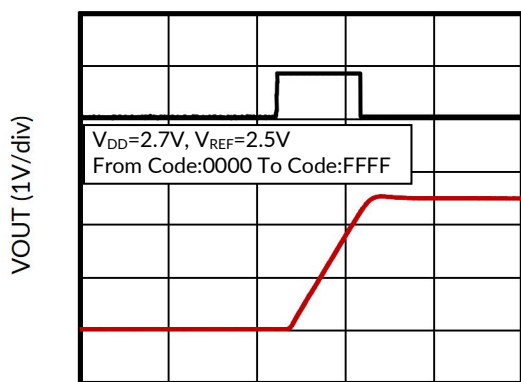


图 40. 电源电流与逻辑输入电压的关系

V_{DD} = 2.7 V (续)

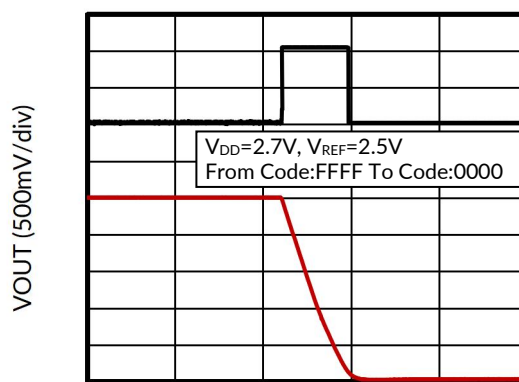
注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

测试条件为：T_A=25°C（除非特别注明）



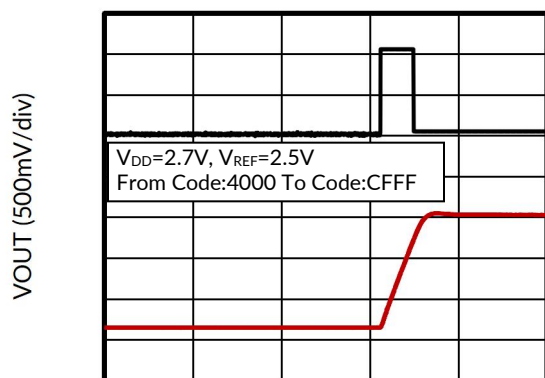
时间 (2μs/div)

图 41. 满量程建立时间, 2.7V 上升沿触发



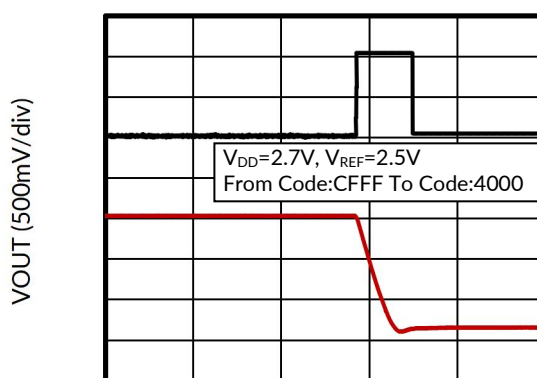
时间 (2μs/div)

图 42. 满量程建立时间, 2.7V 下降沿触发



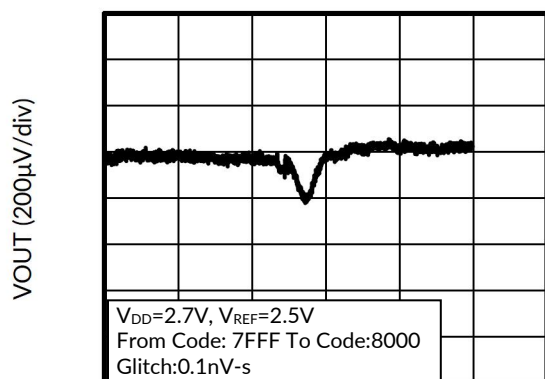
时间 (2μs/div)

图 43. 半量程建立时间, 2.7V 上升沿触发



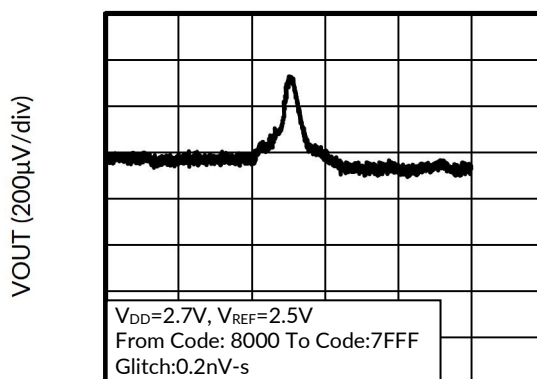
时间 (2μs/div)

图 44. 半量程建立时间, 2.7V 下降沿触发



时间 (1μs/div)

图 45. 毛刺能量: 2.7V, 1LSB 阶跃, 上升沿触发



时间 (1μs/div)

图 46. 毛刺能量: 2.7V, 1LSB 阶跃, 下降沿触发

V_{DD} = 2.7 V (续)

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

测试条件为：T_A=25°C（除非特别注明）

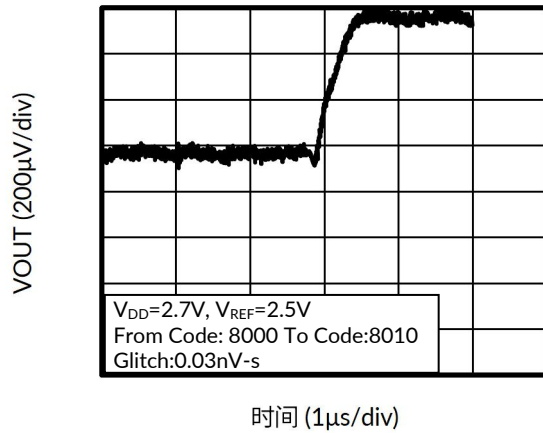


图 47. 毛刺能量: 2.7V, 16LSB 阶跃, 上升沿触发

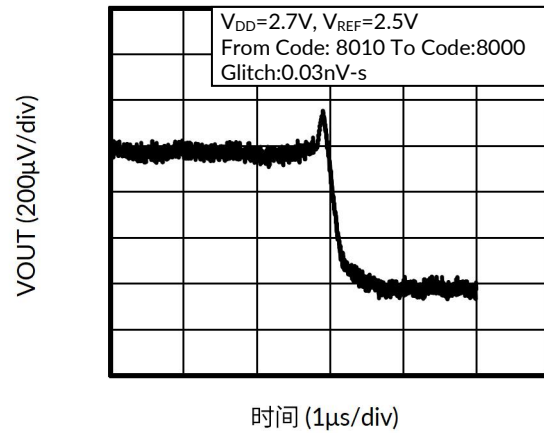


图 48. 毛刺能量: 2.7V, 16LSB 阶跃, 下降沿触发

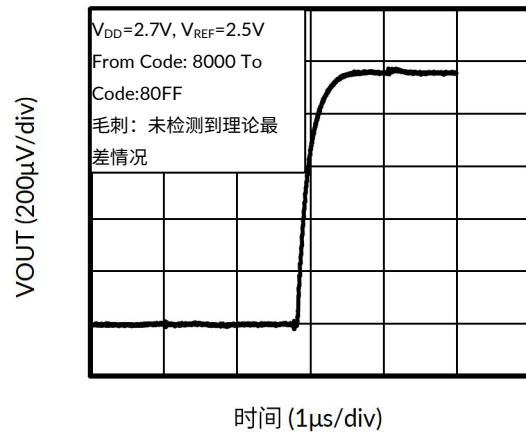


图 49. 毛刺能量: 2.7V, 256LSB 阶跃, 上升沿触发

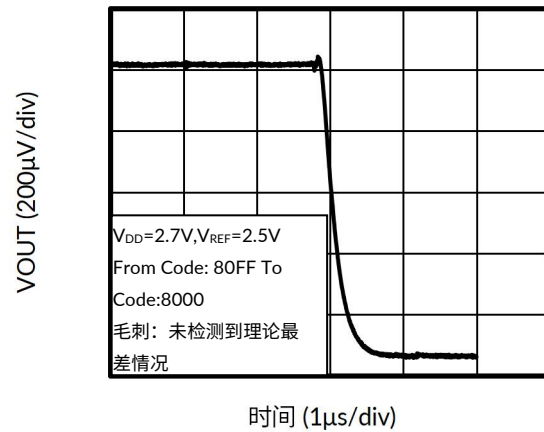


图 50. 毛刺能量: 2.7V, 256LSB 阶跃, 下降沿触发

8 详细说明

8.1 概览

TLX1361 是一款小型低功耗电压输出型 16 位数模转换器 (DAC)。该器件具有单调性, 能提供良好的线性度, 并显著抑制码间瞬变电压。TLX1361 采用多功能三线串行接口, 工作时钟频率最高可达 30 MHz, 兼容标准 SPI、QSPI、Microwire 以及 DSP 等多种接口。

8.2 功能框图

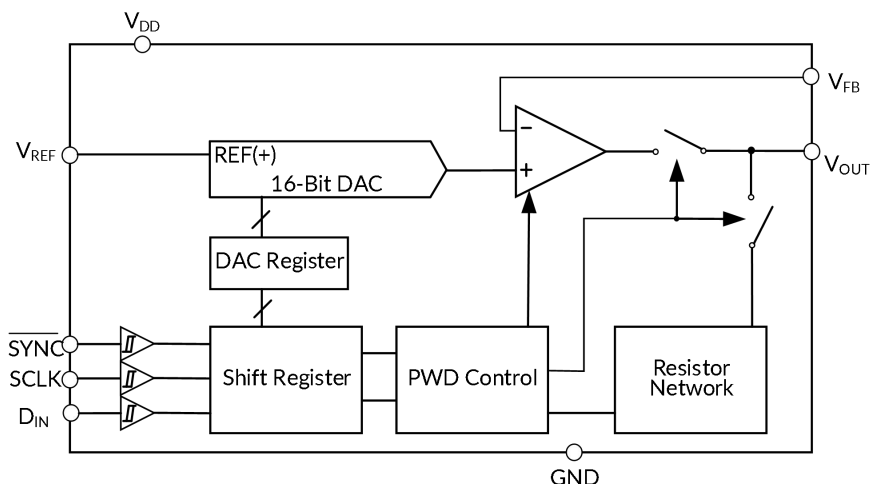


图 51. 功能框图

8.3 特性说明

8.3.1 DAC 架构

TLX1361 架构由一个串行 DAC 和一个输出缓冲放大器组成，图 52 显示了 DAC 架构的框图。

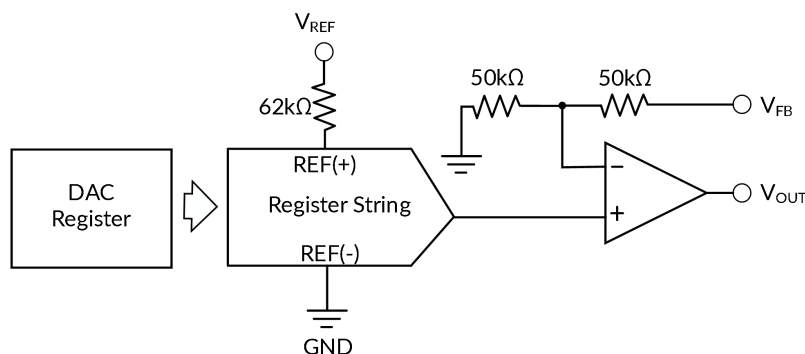


图 52. TLX1361 架构

TLX1361 的输入码是标准二进制，因此理想输出电压由以下公式给出：

$$V_0 = D_{IN}/65536 \times V_{REF} \quad (1)$$

其中

- D_{IN} = 载入 DAC 寄存器的二进制码对应的十进制数值，其范围为 0 至 65535。

8.3.1.1 电阻串

电阻串结构如图 53 所示，本质上是由多个阻值为 R 的电阻串联构成。当 DAC 寄存器载入代码时，通过闭合连接电阻串与放大器的开关，即可在该电阻串的指定节点处截取电压信号并传输至输出放大器。这种串式电阻架构确保了信号传输的单调性。

8.3.1.2 输出放大器

输出缓冲放大器能够在其输出端产生轨到轨电压，其输出范围为 0 V 至 V_{DD} 。该放大器能够驱动一个连接到地（GND）的、由 $2\text{ k}\Omega$ 电阻与 1000 pF 电容并联组成的负载。输出放大器的拉电流和灌电流能力参数详见典型电气参数部分（ $V_{DD}=5\text{ V}$ ）。在空载状态下，器件具有 $1.7\text{ V}/\mu\text{s}$ 的压摆率，满量程建立时间为 $4\mu\text{s}$ 。

输出放大器的反相输入端引出至 V_{FB} 引脚。这种配置通过将 V_{FB} 引脚和放大器输出直接连接在负载上，从而在关键应用中实现更高的精度。对于特定的应用需求，也可以在这两点之间连接其他信号调理电路。

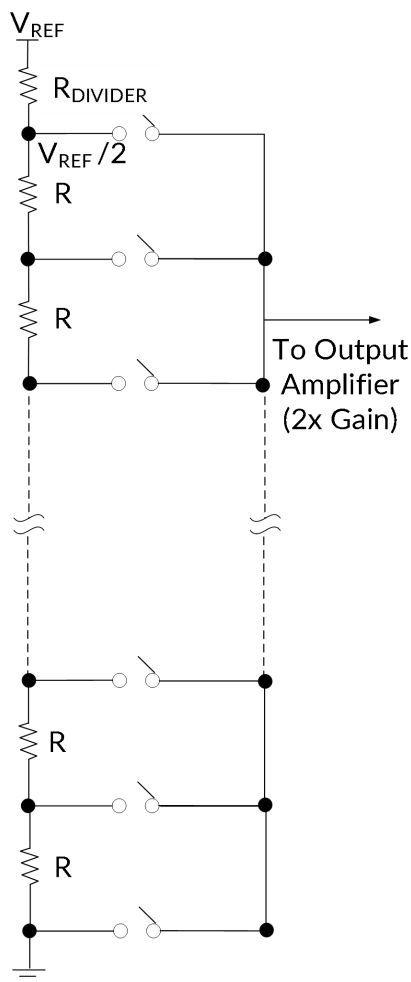


图 53. 电阻串

8.3.2 上电复位

TLX1361 器件内置的上电复位电路负责控制启动时的输出电压。上电时，DAC 寄存器会被清零，输出电压保持为 0V 状态，直到执行有效的写入操作才会改变。这种上电复位机制特别适用于需要实时监控 DAC 输出状态的应用场景，确保系统在启动过程中始终处于稳定工作状态。

8.4 器件功能模式

8.4.1 关断模式

TLX1361 支持四种独立的工作模式。这些模式可通过在控制寄存器中设置两个位（PD1 和 PD0）进行编程。位状态与器件工作模式的对应关系如表 1 所示。

表 1. 工作模式

PD1 (DB17)	PD0 (DB16)	工作模式
0	0	正常工作
关断模式		
0	1	输出通常为 1 kΩ 至 GND
1	0	输出通常为 100 kΩ 至 GND
1	1	高阻态

当两个位均设为 '0' 时，器件处于正常工作模式，5V 供电下典型电流消耗为 180μA。但在三种断电模式下，电源电流会降至供电 5V 时 10nA（3V 时为 10nA）。不仅电源电流降低，输出级还会内部切换至已知阻值的电阻网络。这种配置的优势在于：在断电模式下仍可明确器件的输出阻抗。提供三种可选配置：输出端通过 1kΩ 电阻接地、通过 100kΩ 电阻接地、或保持开路状态（高阻态）。输出级结构示意图如图 54 所示。

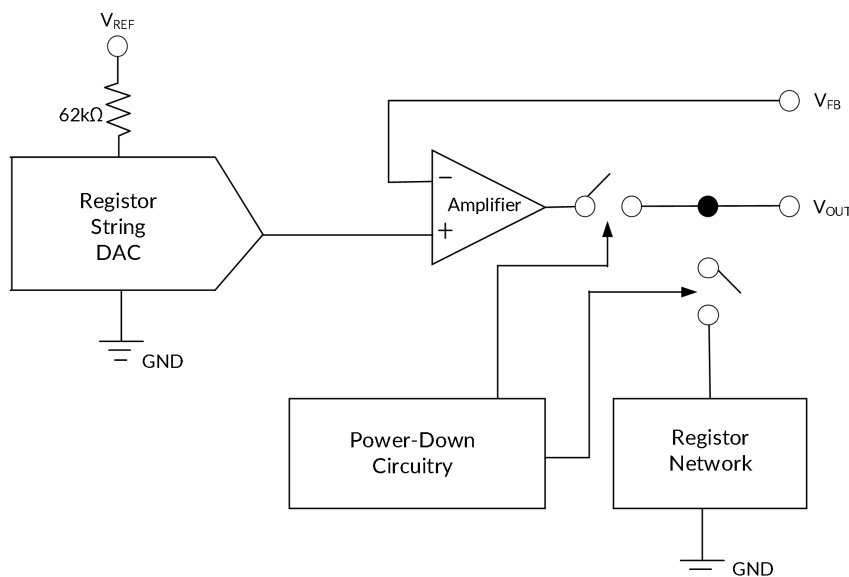


图 54. 关断期间的输出级结构

当进入关断模式时，所有模拟电路都将关闭。但是，DAC 寄存器内容在关断时不会受到影响。上电时间典型值为： $V_{DD} = 5V$ 时 $12\mu s$ ， $V_{DD} = 3V$ 时 $13\mu s$ 。有关更多信息，请参阅典型电气参数。

8.5 编程

8.5.1 串行接口

TLX1361 配备三线串行接口（ $\overline{SYNC}$ 和 DIN），兼容 SPI、QSPI 及 Microwire 接口标准，并支持大多数数字信号处理器（DSP）。图 1 展示了典型写入时序示例：首先将 $\overline{SYNC}$ 置为低电平，DIN 数据在 SCLK 的每个下降沿锁存至 24 位移位寄存器。该器件最高可支持 30 MHz 的串行时钟频率，因此支持高速 DSP 通信。当串行时钟信号到达第 24 个下降沿时，最后一位数据完成输入并执行预设功能（例如改变 DAC 寄存器内容或切换工作模式）。

此时， $\overline{SYNC}$ 可以保持低电平或置为高电平。无论哪种情况， $\overline{SYNC}$ 都必须在下一次写入序列开始前至少保持高电平 33ns，确保其下降沿能触发新的写入序列。如前所述， $\overline{SYNC}$ 必须在下一次写入序列开始前再次置为高电平。

8.5.2 输入移位寄存器

输入移位寄存器宽度为 24 位，如图 55 所示。前六位是未使用的空闲位。随后两位（PD1 和 PD0）是控制位，用于控制器件的工作模式（正常模式或三种关断模式中的任意一种）。关于各工作模式的详细说明，请参阅关断模式部分。最后 16 位是数据位，这些数据位会在 SCLK 信号的第 24 个下降沿传输至 DAC 寄存器。

23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
未使用						PD1	PD0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

图 55. TLX1361 数据输入寄存器格式

8.5.3 $\overline{SYNC}$ 中断

在标准写入序列中， $\overline{SYNC}$ 会在 SCLK 信号的至少 24 个下降沿保持低电平，此时 DAC 寄存器会在第 24 个下降沿完成更新。但若在第 24 个下降沿前将 $\overline{SYNC}$ 拉高，该操作会触发写入序列中断。此时移位寄存器复位，导致当前写入序列视为无效。如图 56 所示，此时既不会更新 DAC 寄存器的内容，也不会改变工作模式。

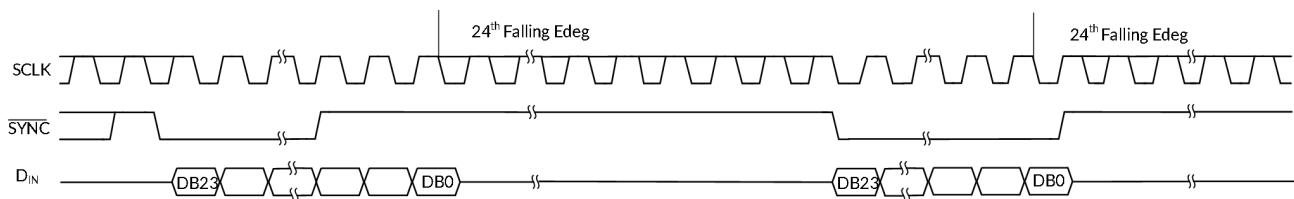


图 56. $\overline{SYNC}$ 中断设施

9 应用与设计

以下应用设计部分中的信息不属于 TLXIC 器件规格的范围，TLXIC 不保证其准确性和完整性。TLXIC 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

TLX1361 的低功耗特性使其特别适用于回路供电控制系统，此类场景中器件的电流功耗至关重要。其低功耗特性支持仅用精密基准源供电，可提升系统精度。低功耗运行与超低功耗节能模式相结合，使 TLX1361 成为电池供电及便携设备的理想选择。

9.1.1 使用 TLX1361 进行双极性操作

TLX1361 专为单电源供电设计，但通过图 57 所示电路也可实现双极性输出范围。该电路可提供 $\pm V_{REF}$ 的输出电压范围。使用运算放大器可在放大器输出端实现轨到轨工作模式，更多详细信息请参阅 CMOS、轨到轨、I/O 运算放大器相关资料。

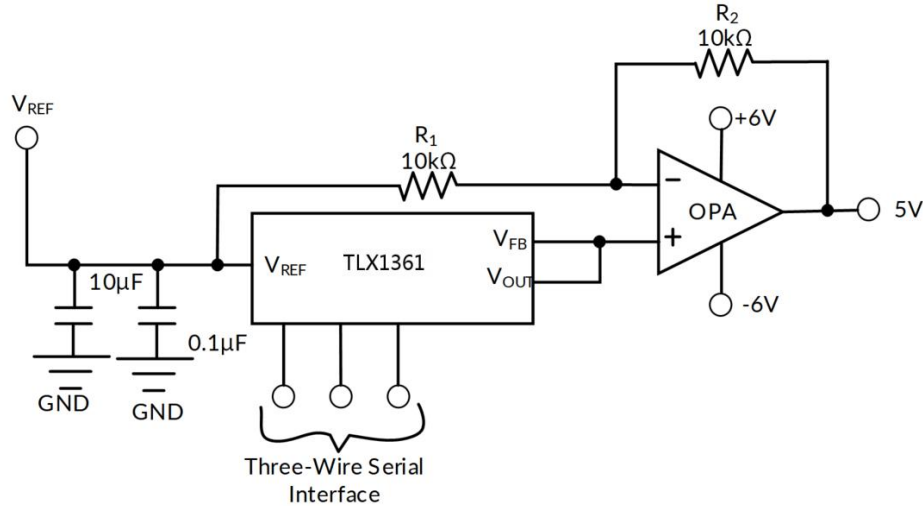


图 57. 双极性输出范围

任何输入码的输出电压可按如下方式计算：

$$V_0 = [V_{REF} \times \left(\frac{D}{65536}\right) \times \left(\frac{R_1 + R_2}{R_1}\right) - V_{REF} \times \left(\frac{R_2}{R_1}\right)] \quad (2)$$

其中

- D 是输入代码的十进制值 (0-65535)。

当 $V_{REF}=5V$, $R_1=R_2=10k\Omega$ 。

$$V_0 = \left(\frac{10 \times D}{65536}\right) - 5V \quad (3)$$

通过这个例子，可以实现输出电压范围为 $\pm 5V$ ，其中 0000h 对应 5V 输出，FFFFh 对应 5V 输出。同样地，使用 $V_{REF} = 2.5V$ 时，可以实现 $\pm 2.5V$ 的输出电压范围。

9.2 典型应用

9.2.1 基于 XTR116 的两线制回路供电型 4-20mA 变送器

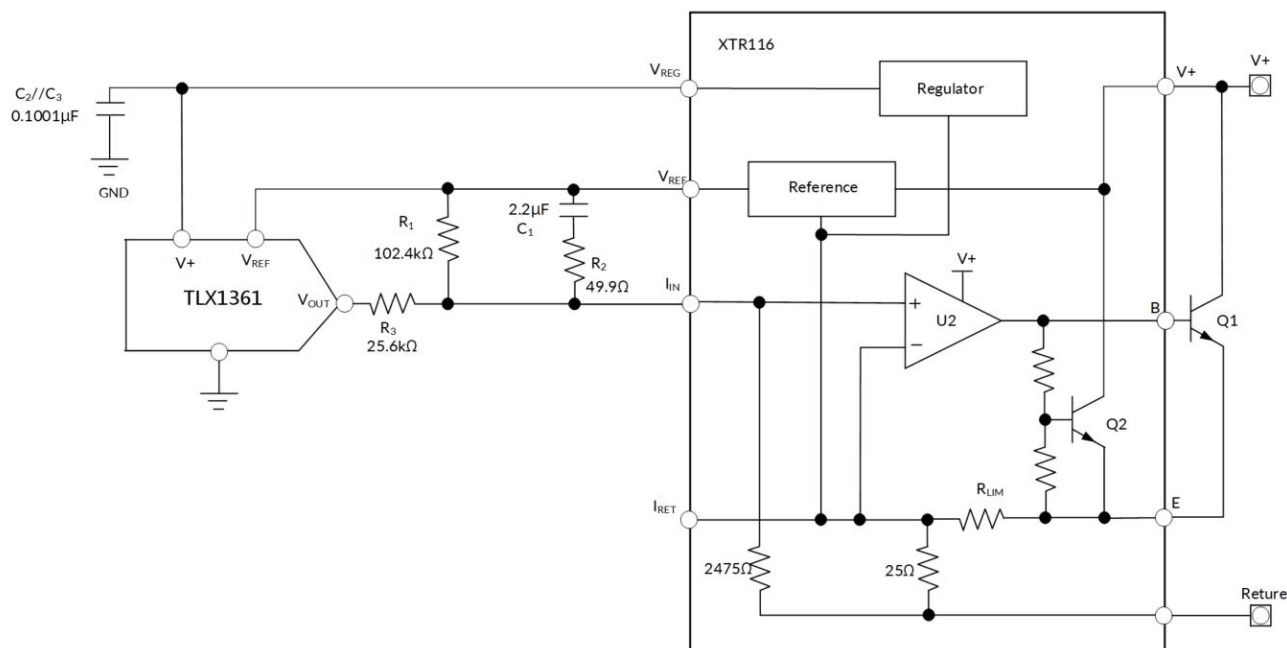


图 58. 回路供电变送器

9.2.1.1 设计要求

这种设计通常被称为回路供电型或双线制的 4-20mA 变送器。该变送器仅有两个外部输入端子：电源接口和输出（即回路）接口。通过精确调控回路电流的大小，变送器可与主机（通常是 PLC 模拟输入模块）进行通信。为符合 4-20mA 通信标准，整个变送器的总功耗必须低于 4mA。TLX1361 可实现对回路电流的精准控制，其电流范围覆盖 4mA 至 20mA，并支持 16 位步进调节。

9.2.1.2 详细设计流程

虽然可以使用分立元件重新构建回路供电电路，但 XTR116 凭借匹配的内部电阻简化设计并提升性能。如果需要，可以通过公式 4 来调整输出电流。

$$I_{OUT}(\text{Code}) = \left(\frac{V_{REF} \times \text{Code}}{2^N \times R_3} + \frac{V_{REG}}{R_1} \right) \times \left(1 + \frac{2475 \, \Omega}{25 \, \Omega} \right) \quad (4)$$

更多信息请参见《两线制 4-20mA 变送器 EMC/EMI 测试参考设计 (TIDUAE07) 》。该文档详细介绍了该电路的设计以及如何保护其免受 EMC/EMI 测试的影响。

9.2.1.3 应用曲线

总未调整误差 (TUE) 可有效评估输出性能, 如图 59 所示。输出线性度或 INL 见图 60。

典型应用 (续)

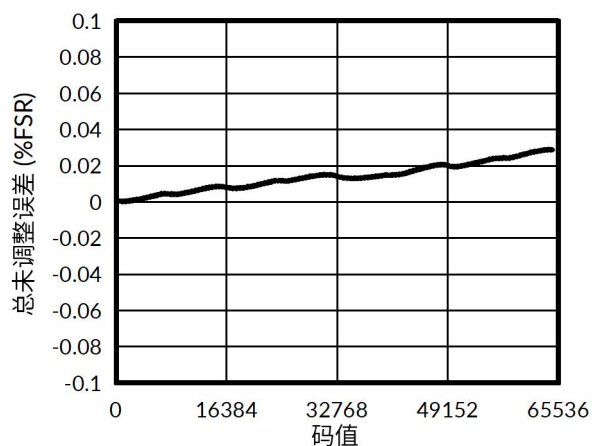


图 59. 总未调整误差

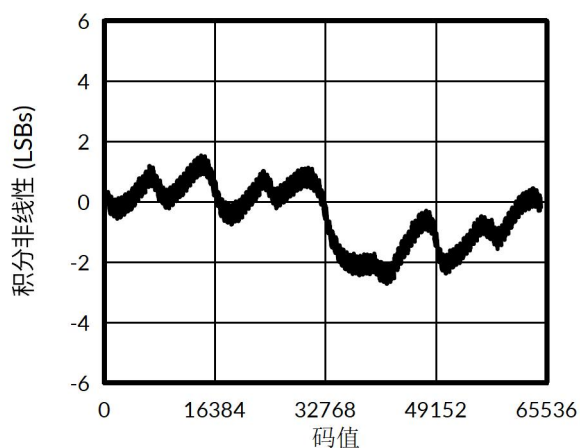


图 60. 积分非线性

9.2.2 采用 TLX3450 为 TLX1361 供电的方案

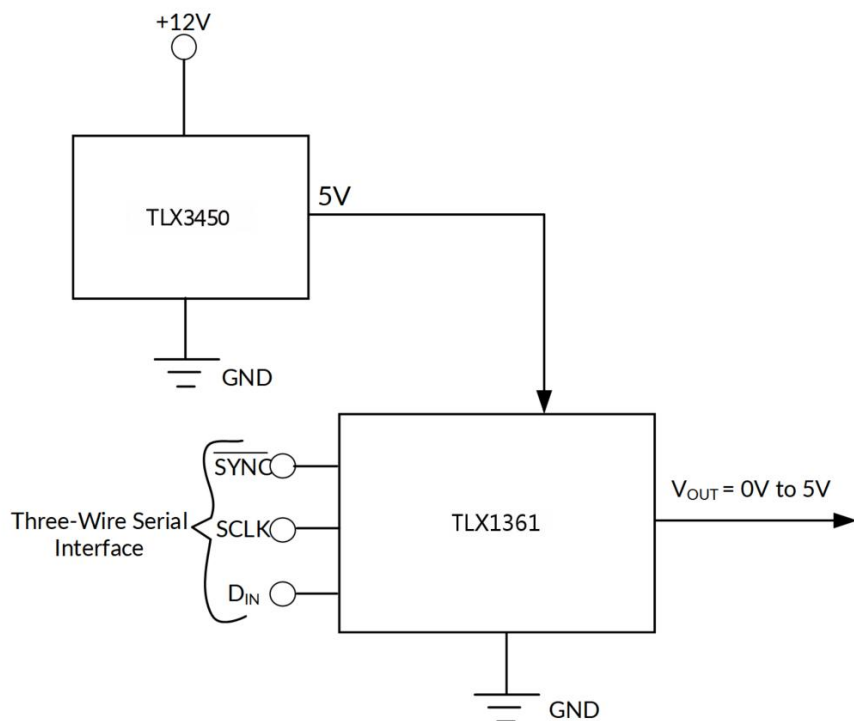


图 61. TLX3450 作为 TLX1361 电源

9.2.2.1 设计要求

鉴于 TLX1361 的极低工作电流需求, 可采用 TLX3450 作为其供电电源 (如图 61 所示)。更多技术细节请参阅《+5V 精密电压基准源设计指南 (SBVS003)》。

9.2.2.2 详细设计流程

当电源存在较大噪声或系统供电电压非 5V 时，此配置方案就特别有用。TLX3450 可为 TLX1361 提供稳定的供电电压。若使用 TLX3450，其需向 TLX1361 提供的电流为 200 μ A。该配置适用于 DAC 输出端无负载的情况。当 DAC 输出端接入负载时，TLX3450 还需承担向负载供电的电流需求。

所需的总典型电流（DAC 输出端有 5k Ω 负载）为：

$$200 \mu A + \frac{5V}{5k\Omega} = 1.2mA \quad (5)$$

TLX3450 的负载调整率典型值为 0.005%/mA，因此从其汲取的 1.2mA 电流会产生 299 μ V 的误差。该值相当于 3.9 个 LSB 误差。

9.3 系统示例

9.3.1 微处理器接口

9.3.1.1 TLX1361 至 8051 接口

图 62 显示了 TLX1361 和典型的 8051 型微控制器之间的串行接口。

该接口配置为：8051 的 TXD 引脚驱动 TLX1361 的 SCLK 时钟线，而 RXD 引脚驱动该器件的串行数据线。SYNC 信号由 8051 端口的可编程引脚输出，本例中采用 P3.3 端口。当需要向 TLX1361 传输数据时，该引脚会被置为低电平。由于 8051 采用 8 位字节传输模式，每个发送周期仅产生八个下降沿时钟脉冲。为将数据载入 DAC，在传输完前 8 位后需保持 P3.3 为低电平，然后启动第二个写周期传输第二个数据字节。第三个写入周期结束后，P3.3 转为高电平。8051 的串行数据输出格式要求最低有效位（LSB）优先，而 TLX1361 需要接收最高有效位（MSB）作为首比特。因此，8051 的发送程序必须考虑这一差异，并根据实际需求对数据进行镜像处理。

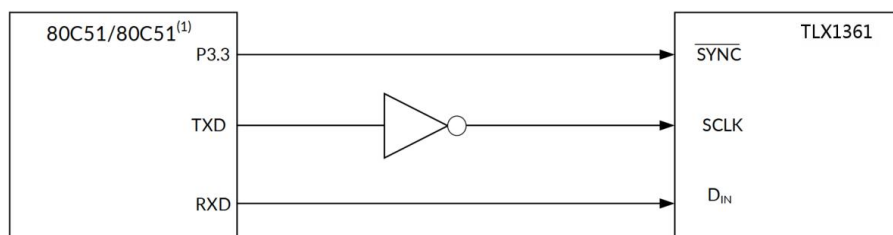


图 62. TLX1361 至 80C51 或 80C51 接口

注意：(1) 为清晰起见，省略了其他引脚。

9.3.1.2 TLX1361 至 Microwire 接口

图 63 展示了 TLX1361 与任何兼容 Microwire 协议的设备之间的接口。串行数据在串行时钟的下降沿输出，并在 SK 信号的上升沿被输入到 TLX1361 中。

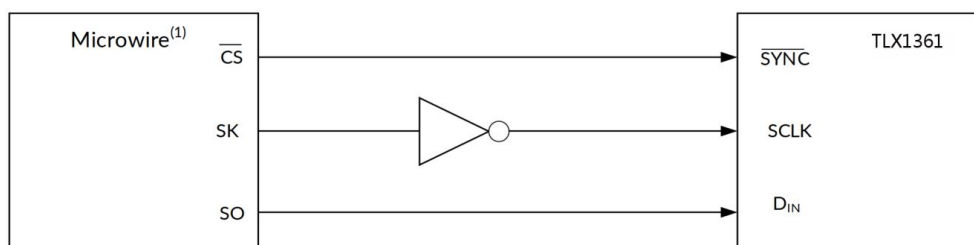


图 63. TLX1361 至 Microwire 接口

注意：(1) 为清晰起见，省略了其他引脚。

9.3.1.3 TLX1361 至 68HC11 接口

图 64 显示了 TLX1361 和 68HC11 微控制器之间的串行接口，68HC11 的 SCK 引脚驱动 TLX1361 的 SCLK 信号，而 MOSI 输出驱动 DAC 的串行数据线，SYNC 信号从端口线（PC7）派生，与 8051 的示意图类似。

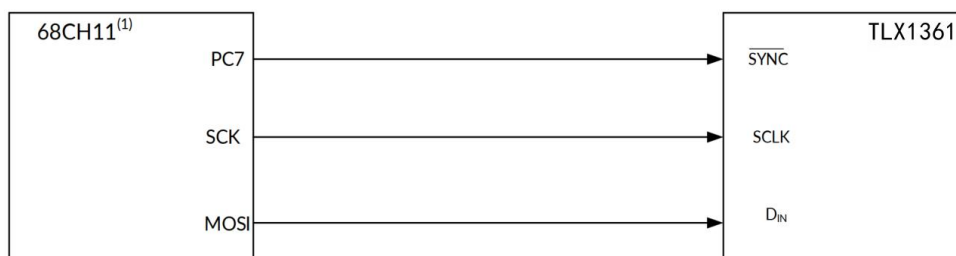


图 64. TLX1361 至 68HC11 接口

注意：(1) 为清晰起见，省略了其他引脚。

需将 68HC11 的 CPOL 位设为 '0'，CPHA 位设为 '1'。这种配置可确保 MOSI 输出端的数据在 SCK 时钟信号下降沿有效。当向 DAC 传输数据时，SYNC 保持低电平（即保持 PC7 为低电平）。该器件以 8 位字节形式发送串行数据，整个传输周期仅出现八个时钟下降沿（数据按最高有效位 MSB 优先传输）。为将数据载入 TLX1361，需在传输完前 8 位后保持 PC7 为低电平，随后执行第二和第三次串行写入操作至 DAC，最后将 PC7 置高电平完成整个流程。

10 电源建议

TLX1361 可在 2.7V 至 5.5V 的指定供电电压范围内正常工作。施加在 V_{DD} 引脚上的电压需保持稳定且低噪声。开关电源和 DC-DC 转换器的输出电压常伴随高频毛刺或尖峰，而数字元件也可能产生类似的高频尖峰。这些噪声信号可通过电源连接与模拟输出之间的多种路径耦合到 DAC 输出电压中。TLXiC 建议在电路中加入 $1\mu\text{F}$ 至 $10\mu\text{F}$ 的电容器和 $0.1\mu\text{F}$ 的旁路电容，以进一步降低电源噪声。器件的 V_{DD} 引脚电流消耗、短路电流限值以及负载电流参数均列于典型电气参数表中。电源必须满足上述电流要求。

11 PCB 版图设计

11.1 PCB 布局设计注意事项

精密模拟元件需精心布局、充分配置旁路电路，并采用洁净且稳压良好的电源。

TLX1361 支持单电源供电，常与数字逻辑电路、微控制器、微处理器及数字信号处理器近距离协同工作。设计中数字逻辑越多，开关速度越快，就越难免数字噪声出现在输出端。

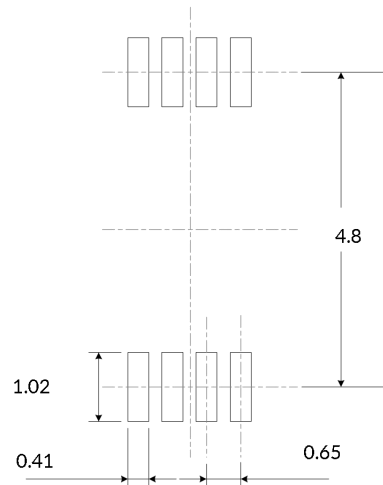
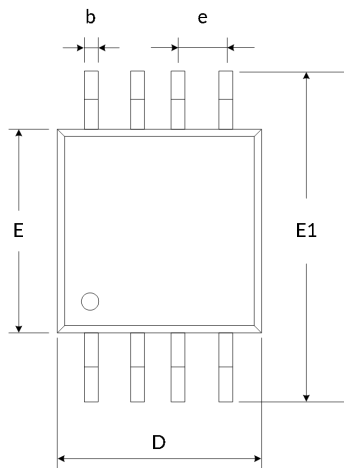
由于 TLX1361 仅有一个接地引脚，所有回路电流（包括 ADC 数字和模拟回路电流）都必须流经单一节点。理想情况下，地线应直接连接至模拟接地层。该模拟地平面需与数字元件的地线保持独立，直至在系统电源输入端实现连接。

与接地连接类似， V_{DD} 电源应接入独立于数字逻辑电路的 5V 电源层或走线，直至在电源输入端实现连接。TLXic 建议额外配置 $1\mu\text{F}$ 至 $10\mu\text{F}$ 电容和 $0.1\mu\text{F}$ 旁路电容。某些情况下可能需要增加旁路元件，例如使用 $100\mu\text{F}$ 电解电容，甚至采用由电感器和电容器组成的 π 型滤波器——这些设计本质上都是对 5V 电源进行低通滤波处理，以消除高频噪声。

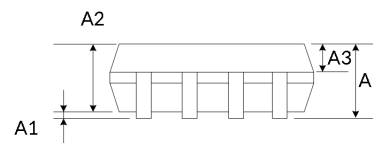
11.2 PCB 布局示意图



12 封装规格尺寸

MSOP8⁽⁴⁾

推荐焊盘尺寸 (单位: 毫米)



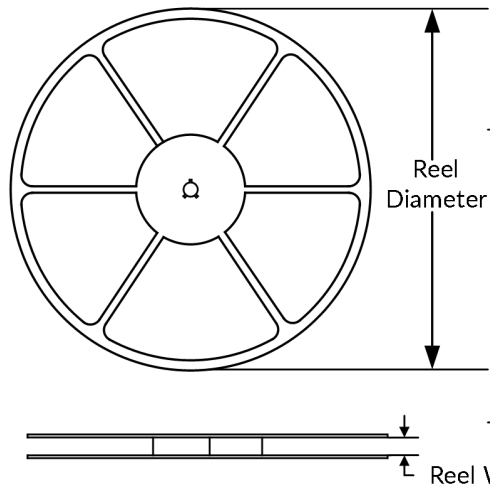
符号	尺寸 (单位: 毫米)		尺寸 (单位: 英寸)	
	最小值	最大值	最小值	最大值
A ⁽¹⁾		1.100		0.043
A1	0.050	0.150	0.002	0.006
A2	0.750	0.950	0.030	0.037
A3	0.300	0.400	0.012	0.016
b	0.280	0.360	0.011	0.014
c	0.150	0.190	0.006	0.007
D ⁽¹⁾	2.900	3.100	0.114	0.122
e	0.650(BSC) ⁽²⁾		0.026(BSC) ⁽²⁾	
E ⁽¹⁾	2.900	3.100	0.114	0.122
E1	4.700	5.100	0.185	0.200
L	0.400	0.700	0.016	0.027
L1	0.950(REF) ⁽³⁾		0.037(REF) ⁽³⁾	
θ	0°	8°	0°	8°

注意:

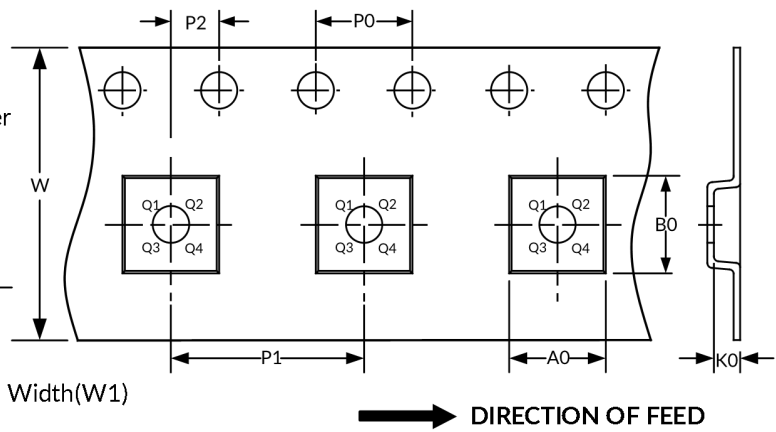
1. 不包括每侧最大 0.15mm 的塑料封料或金属突起。
2. BSC (基本中心间距), “基本”间距为标称间距。
3. REF 是 Reference 的缩写。
4. 本图如有更改, 恕不另行通知。

13 包装规格尺寸

卷盘尺寸



编带尺寸



注意：图片仅供参考。请以实物为标准。

关键参数表

Package Type	Reel Diameter	Reel Width (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P0 (mm)	P1 (mm)	P2 (mm)	W (mm)	Pin1 Quadrant
MSOP8	13"	12.4	5.20	3.30	1.50	4.0	8.0	2.0	12.0	Q1

注意：

1. 所有尺寸均为标称尺寸。
2. 不包括每边最大 0.15 毫米的塑封料或金属突起。