

无锡泰连芯科技有限公司

TLX1430B 型

模数转换器

2024 年 06 月

16 位，400KSPS，2.7V 至 5.5V，模数转换器

1 特点

- 16 位无缺失码
- 极低噪声：45 μVrms
- 优异的线性度：
 - $\pm 2\text{LSB typ INL}$
 - $\pm 0.5\text{LSB typ DNL}$
 - $\pm 0.5\text{mV typ Offset}$
 - $\pm 6\text{LSB typ Gain Error}$
- 微功率：
 - 13mW at 5V, 400KSPS
 - 4.86mW at 2.7V, 300KSPS
 - 1.62mW at 2.7V, 100KSPS
 - 162 μW at 2.7V, 10KSPS
- MSOP8 封装
- SPI 接口

2 应用

- 汽车导航
- FA 或 ATM 设备
- 工业的控制
- 机器人技术
- 电池驱动系统
- 仪器仪表和控制系统

3 描述

TLX1430B 是一款 16 位采样模数转换器 (A/D)，工作电压范围为 2.7V 至 5.5V。即使在全数据速率下运行，其功耗也极低。在较低的数据速率下，该器件的高速特性使其大部分时间处于掉电模式。例如，在 10kHz 数据速率下，其平均功耗低于 162 μW 。

TLX1430B 具有出色的线性度、极低的噪声和失真。它还具有同步串行（兼容 SPI/SSI）接口和伪差分输入。参考电压可设置为 0.1V 至 VDD 范围内的任意值。

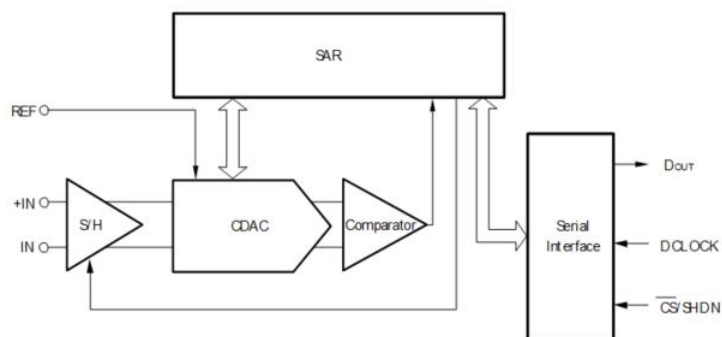
TLX1430B 具有低功耗和小尺寸的特点，是便携式和电池供电系统的理想选择。它也完美适用于远程数据采集模块、同步多通道系统和隔离式数据采集。TLX1430B 采用 MSOP8 封装。

质量等级：军温级&企军标

设备信息⁽¹⁾

产品编号	封装	尺寸标准)
TLX1430B	MSOP8	3.0mm×4.9mm

(1) 有关所有可用套餐，请参阅数据表末尾的订购附录。



目录

1 特点	2
2 应用	2
3 描述	2
4 修订历史	4
5 针配置及功能（俯视图）	5
6. 技术规格	6
6.1 绝对最大额定值	6
6.2 静电放电防护等级	6
6.3 推荐运行条件	6
6.4 电气特性：VDD = +5V	7
6.5 电气特性：VDD = +5 伏	9
6.6 电气特性：VDD = +2.7V	11
6.7 时间要求	13
6.8 典型特性：VDD = +5V	15
6.9 典型特性：VDD = +2.7V	19
7 详细描述	23
7.1 概述	23
7.2 模拟输入	23
7.3 参考输入	25
7.4 噪声	26
7.5 信号强度	26
8 数字接口	27
8.1 串行接口	27
8.2 数据格式	27
9 功率耗散	28
10 应用与实施	29
11 封装外形尺寸	30
12 磁带和卷盘信息	31

4 修订历史

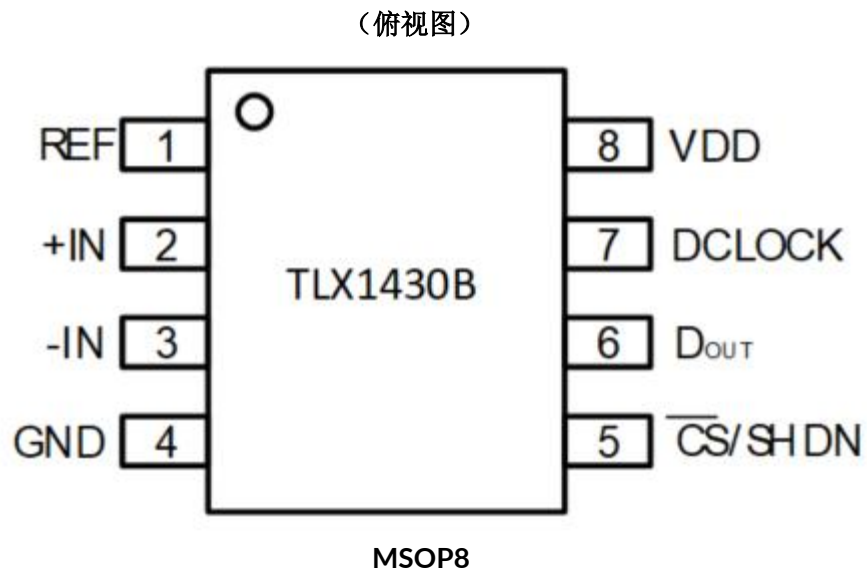
注意：先前版本的页码可能与当前版本的页码不同。

版本	更改日期	更改项目
A.0	2024/03/01	初步版本已完成
A.1	2025/01/02	初始版本已完成

订购信息

订购型号	温度等级	封装类型	MSL	质量等级
JTLX1430BXM	-55 ℃ ~+125 ℃	MSOP8	MSL1/3	企军标
JTLX1430BXM(W)	-55 ℃ ~+125 ℃	MSOP8	MSL1/3	军温级
TLX1430BXM	-40 ℃ ~+125 ℃	MSOP8	MSL1/3	工业级

5 针配置及功能（俯视图）



引脚描述

代码	引脚	输入/输出	描述
REF	1	模拟输入	参考输入。必须完全旁路。
+IN	2	模拟输入	同相模拟输入。
-IN	3	模拟输入	反相模拟输入。
GND	4	电源连接	电源接地。
$\overline{\text{CS}}/\text{SHDN}$	5	数字输出	低电平时进入选择模式；高电平时进入关断模式。
D _{OUT}	6	数字输出	数字数据输出。输出字由 DCLOCK 引脚时钟同步输出。
DCLOCK	7	数字输入	数据时钟同步串行数据传输并决定转换速度。
VDD	8	电源连接	电源。这些引脚必须连接到 2.7V 至 5.25V 的稳定电源，并使用 0.1μF 和 1μF 的单片电容旁路至 GND，电容应放置在距离电源引脚 1cm 以内。

6. 技术规格

6.1 绝对最大额定值

在正常工作自由空气温度范围内（除非另有说明）⁽¹⁾

			最小值	最大值	单位
供电电压 V_{DD} ⁽²⁾			-0.3	6.5	V
任意模拟引脚对地电压 ⁽²⁾			-0.3	$V_{DD}+0.3$	V
任意数字引脚对地电压 ⁽²⁾			-0.3	$V_{DD}+0.3$	V
REF引脚对地电压 ⁽²⁾			-0.3	$V_{DD}+0.3$	V
任意引脚（电源引脚除外）的输入电流				± 10	mA
θ_{JA}	封装热阻抗 ⁽³⁾	MSOP8		206	°C/W
焊接温度，红外线（10秒）				215	°C
工作温度， T_A			-55	125	°C
储存温度 T_{stg}			-65	150	°C

(1) 超过这些额定值的应力可能会造成永久性损坏。长时间暴露在绝对最大应力条件下可能会降低设备的可靠性。这些仅为应力额定值，并不意味着设备在这些或任何其他超出规定条件的情况下都能正常工作。

(2) 模拟输入端通过二极管钳位至电源轨。输入信号如果超出电源轨 0.3V 以上，则应将电流限制在 10mA 或以下。

(3) 封装热阻抗按照 JESD-51 计算。

6.2 静电放电防护等级

以下静电放电信息仅适用于在静电放电防护区域内处理静电放电敏感器件。

			数值	单位
$V_{(ESD)}$	静电放电	人体模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	± 2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 ⁽²⁾	± 1500	

(1) JEDEC 文件 JEP155 指出，500 V HBM 允许采用标准 ESD 控制流程进行安全制造。

(2) JEDEC 文件 JEP157 指出，250 V CDM 允许采用标准 ESD 控制流程进行安全制造。



静电放电敏感性警告

静电放电损伤的程度不一，从轻微的性能下降到器件完全失效都有可能。精密集成电路可能更容易受到损伤，因为即使是很小的参数变化也可能导致器件无法达到其公布的规格。

6.3 推荐运行条件

在正常工作空气温度范围内（除非另有说明）

		MIN	NOM	MAX	UNIT
V_{DD}	供应电压	2.7		5.5	V
REF	参考输入电压	0.1		V_{DD}	
+IN/-IN	-IN to GND	-0.3	0	0.5	
	+IN to GND	-0.3		$V_{DD}+0.2$	
	+IN - (-IN)	0		V_{REF}	
T_A	操作温度	-55		125	°C

6.4 电气特性: $V_{DD} = +5V$

在 -55°C 至 $+125^{\circ}\text{C}$ 范围内, $V_{REF} = +5V$, $-IN = GND$, $F_S = 400\text{kHz}$, $f_{DCLOCK} = 25 \times F_S$. 除非另有说明, 典型值均在 $T_A = 25^{\circ}\text{C}$ 下测得。⁽¹⁾⁽²⁾

范围		状况	最小值	典型值	最大值	单位
静态转换器特性						
NMC	无缺失码		16			Bits
INL	积分非线性			±2		LSB
DNL	微分非线性			±0.5		LSB
V _{OS}	偏移误差			±0.5		mV
TCV _{OS}	偏移误差漂移			±0.3		ppm/°C
GE	增益误差			±6		LSB
TCGE	增益误差漂移			±0.4		ppm/°C
TUE	总未调整误差			±5		LSB
	噪音			45		μV _{rms}
				4		LSB _{pp}
动态转换器 特征 ⁽³⁾						
ENOB	有效位数	f _{IN} =2kHz		14.69		Bits
		f _{IN} =10kHz		14.66		Bits
SINAD	信噪比	f _{IN} =2kHz		90.2		dB
		f _{IN} =10kHz		90		dB
SNR	信噪比	f _{IN} =2kHz		90.5		dB
		f _{IN} =10kHz		90.2		dB
THD	总谐波失真	f _{IN} =2kHz		-99		dB
		f _{IN} =10kHz		-98		dB
SFDR	无杂散动态范围	f _{IN} =2kHz		101		dB
		f _{IN} =10kHz		100		dB
FPBW	60dB SINAD带宽	5V supply		700		kHz
PSRR	电源抑制比	4.75V ≤ V _{DD} ≤ 5.25V		0.5		LSB/V
模拟输入特征						
FSR	满量程范围	+IN - (-IN)	0		V _{REF}	V
	共模信号	-IN	-0.3		0.5	V
C _{IN}	输入电容	-IN = GND, during sampling		48		pF
I _{IL}	输入漏电流	CS̄/SHDN=V _{DD} , SCLK off		±0.1		μA
参考输入 特征						
V _{REF}	参考电压		0.1		V _{DD}	V
C _{REF}	参考输入电容			48		pF
I _{REF}	参考输入电流	F _S =400KSPS		200		μA
		F _S =300KSPS		150		μA
		F _S =250KSPS		120		μA
		F _S =100KSPS		50		μA
		F _S =50KSPS		25		μA
		F _S =10KSPS		7		μA
		CS̄/SHDN=V _{DD}		±1		μA

(1) 数据表中的最小和最大规格限值是通过设计、测试或统计分析方法获得的。

(2) 适用于 5.0V 标称电源: V_{DD} (最小值) = 4.5V 和 V_{DD} (最大值) = 5.5V。

(3) dBFS 下进行测试。

电气特性: VDD = +5V (续)

在 -55°C 至 +125 °C 范围内, $V_{REF} = +5V$, $-IN = GND$, $F_S = 400kHz$, 以及 $f_{DCLOCK} = 25 \times F_S$. 除非另有说明, 典型值是在 $T_A = 25^\circ C$ 下测得的。

范围		状况	最小值	典型值	最大值	单元
动态采样特征						
t _{CONV}	转换时间	25kHz ≤ f _{DCLOCK} ≤ 10MHz	18			T _{DCLOCK}
t _{AQ}	获取时间		4.5	5		T _{DCLOCK}
F _S	吞吐量	25kHz ≤ f _{DCLOCK} ≤ 10MHz			400	KSPS
f _{DCLOCK}	时钟频率		0.025		10	MHz
电源特征						
I _{VDD}	工作电源电流	f _{DCLOCK} =10MHz, F _S =400KSPS		2.6	3.2	mA
		f _{DCLOCK} =10MHz, F _S =200KSPS		1.3		mA
		f _{DCLOCK} =10MHz, F _S =100KSPS		0.65		mA
		f _{DCLOCK} =10MHz, F _S =10KSPS		64		μA
		f _{DCLOCK} =10MHz, F _S =1KSPS		6.4		μA
	断电电源电流	CS [—] /SHDN=V _{DD} , SCLK Off		0.1		μA
		CS [—] /SHDN=V _{DD} , SCLK On		55		μA
P _{VDD}	运行功耗	f _{DCLOCK} =10MHz, F _S =400KSPS		13	16	mW
		f _{DCLOCK} =10MHz, F _S =200KSPS		6.5		mW
		f _{DCLOCK} =10MHz, F _S =100KSPS		3.25		mW
		f _{DCLOCK} =10MHz, F _S =10KSPS		320		μW
		f _{DCLOCK} =10MHz, F _S =1KSPS		32		μW
	断电过程中的功率损耗	CS [—] /SHDN=V _{DD} , SCLK Off		0.5		μW
		CS [—] /SHDN=V _{DD} , SCLK On		275		μW
数字输入特征						
	逻辑系列		CMOS			
V _{IH}	输入高电压		0.7V _{DD}		V _{DD} +0.3	V
V _{IL}	输入低电压		-0.3		0.3V _{DD}	V
C _{IN}	输入电容			5		pF
I _{IN}	输入电流			±0.1		μA
数字输出 特征						
	逻辑系列		CMOS			
	数据格式		直接二进制			
V _{OH}		I _{OH} = -100μA	V _{DD} -0.3			V
V _{OL}		I _{OL} = 100μA			0.3	V
I _{OZ}	高阻抗状态输出电流	CS [—] /SHDN = V _{DD} , V _I = V _{DD} or GND		±0.1		μA
C _O	输出电容			5		pF
C _L	负载电容				30	pF

6.5 电气特性: $V_{DD} = +5V$

在 -55°C 至 $+125^{\circ}\text{C}$ 范围内, $V_{REF} = +2.5\text{V}$, $-IN = \text{GND}$, $F_S = 400\text{kHz}$, 且 $f_{\text{DCLOCK}} = 25 \times F_S$. 除非另有说明, 典型值是在 $T_A = 25^{\circ}\text{C}$ 下测得的。(1)(2)

范围		状况	最小值	典型值	最大值	单位
静态转换器特性						
NMC	无缺失码分辨率		16			Bits
INL	积分非线性		-2.5	±1.5	+2.5	LSB
DNL	微分非线性		-0.99	±0.5	+2	LSB
V _{OS}	偏移误差		-1	±0.5	+1	mV
GE	增益误差		-24	±4	+24	LSB
动态转换器特征 ⁽³⁾						
ENOB	有效位数	f _{IN} =2kHz	13.5	14.1		Bits
SINAD	信噪比	f _{IN} =2kHz	83	87		dB
SNR	信噪比	f _{IN} =2kHz	84	87		dB
THD	总谐波失真	f _{IN} =2kHz		-99	-94	dB
SFDR	无杂散动态范围	f _{IN} =2kHz	95	101		dB
模拟输入特征						
FSR	全尺寸范围	+IN - (-IN)	0		V _{REF}	V
	共模信号	-IN	-0.3		0.5	V
C _{IN}	输入电容	-IN = GND, during sampling		48		pF
I _{IL}	输入漏电流	$\overline{\text{CS}}/\text{SHDN}=\text{V}_{\text{DD}}$, SCLK off	-1	±0.1	+1	μA
参考输入特征						
V _{REF}	参考电压		0.1		V _{DD}	V
C _{REF}	参考输入电容			48		pF
I _{REF}	参考输入电流	F _S =300KSPS		67		uA
		F _S =250KSPS		56		uA
		F _S =100KSPS		23		uA
		F _S =10KSPS		3		uA
		$\overline{\text{CS}}/\text{SHDN}=\text{V}_{\text{DD}}$	-5	±1	+5	μA
动态采样特征						
t _{CONV}	转换时间	25kHz ≤ f _{DCLOCK} ≤ 10MHz	18			T _{DCLOCK}
t _{AQ}	采样时间		4.5	5		T _{DCLOCK}
F _S	吞吐量	25kHz ≤ f _{DCLOCK} ≤ 10MHz			400	KSPS
f _{DCLOCK}	时钟频率		0.025		10	MHz

(1) 数据表中的最小和最大规格限值是通过设计、测试或统计分析方法获得的。

(2) 适用于 5.0V 标称电源: V_{DD} (最小值) = 4.5V 和 V_{DD} (最大值) = 5.5V。

(3) 在 -0.2 dBFS 下进行测试。

电气特性：VDD = +5V（续）

在 -55°C 至 +125 °C 范围内，V_{REF} = +2.5 V，-IN = GND，F_S = 400kHz，且 f_{DCLOCK} = 25 × F_S，除非另有说明，典型值是在 T_A = 25°C 下测得的。

范围		状况	最小值	典型值	最大值	单位
电源 特征						
I _{VDD}	工作电源电流	f _{DCLOCK} =10MHz, F _S =400KSPS		2.6	3.2	mA
		f _{DCLOCK} =10MHz, F _S =200KSPS		1.3		mA
		f _{DCLOCK} =10MHz, F _S =100KSPS		0.65		mA
		f _{DCLOCK} =10MHz, F _S =10KSPS		64		μA
		f _{DCLOCK} =10MHz, F _S =1KSPS		6.4		μA
	断电电源电流	$\overline{\text{CS}}/\text{SHDN}=\text{VDD}$, SCLK off		0.1		μA
		$\overline{\text{CS}}/\text{SHDN}=\text{VDD}$, SCLK on		55		μA
P _{VDD}	运行功耗	f _{DCLOCK} =10MHz, F _S =400KSPS		13	16	mW
		f _{DCLOCK} =10MHz, F _S =200KSPS		6.5		mW
		f _{DCLOCK} =10MHz, F _S =100KSPS		3.25		mW
		f _{DCLOCK} =10MHz, F _S =10KSPS		320		μW
		f _{DCLOCK} =10MHz, F _S =1KSPS		32		μW
	断电过程中的功率损耗	$\overline{\text{CS}}/\text{SHDN}=\text{V}_{\text{DD}}$, SCLK off		0.5		μW
		$\overline{\text{CS}}/\text{SHDN}=\text{V}_{\text{DD}}$, SCLK on		275		μW
数字输入特征						
	逻辑系列		CMOS			
V _{IH}	输入高电压		0.7V _{DD}		V _{DD} +0.3	V
V _{IL}	输入低电压		-0.3		0.3V _{DD}	V
C _{IN}	输入电容			5		pF
I _{IN}	输入电流		-1	±0.1	+1	μA
数字输出特征						
	逻辑系列		CMOS			
	数据格式		直接二进制			
V _{OH}		I _{OH} = -100μA	V _{DD} -0.3			V
V _{OL}		I _{OL} = 100μA			0.3	V
I _{OZ}	高阻抗状态输出电流	$\overline{\text{CS}}/\text{SHDN} = \text{V}_{\text{DD}}$, V _I = V _{DD} or GND	-1	±0.1	+1	μA
C _O	输出电容			5		pF
C _L	负载电容				30	pF

6.6 电气特性: $V_{DD} = +2.7V$

在 -55°C 至 $+125^{\circ}\text{C}$ 范围内, $V_{REF} = +2.5\text{V}$, $-IN = \text{GND}$, $F_S = 300\text{kHz}$, 以及 $f_{\text{DCLOCK}} = 25 \times F_S$, 除非另有说明, 典型值是在 $T_A = 25^{\circ}\text{C}$ 下测得的。⁽¹⁾⁽²⁾

范围		状况	最小值	典型值	最大值	单位
静态转换器特性						
NMC	无缺失码分辨率		16			Bits
INL	积分非线性			±1.5		LSB
DNL	微分非线性			±0.5		LSB
V _{OS}	偏移			±0.5		mV
TCV _{OS}	偏移误差误差漂移			±0.3		ppm/°C
GE	增益误差			±8		LSB
TCGE	增益误差漂移			±0.4		ppm/°C
TUE	总未调整误差			±5		LSB
	噪 音			35		μV _{Rms}
				7		LSB _{PP}
动态转换器 特征 ‘3’						
ENOB	有效位数	f _{IN} =2kHz		14.33		Bits
		f _{IN} =10kHz		14.24		Bits
SINAD	信噪比	f _{IN} =2kHz		88		dB
		f _{IN} =10kHz		87.5		dB
SNR	信噪比	f _{IN} =2kHz		88.5		dB
		f _{IN} =10kHz		88		dB
THD	全谐波失真	f _{IN} =2kHz		-98		dB
		f _{IN} =10kHz		-97		dB
SFDR	无杂散动态范围	f _{IN} =2kHz		100		dB
		f _{IN} =10kHz		98		dB
FPBW	60dB SINAD带宽	2.7V supply		700		kHz
PSRR	电源抑制比	2.7V ≤ VDD ≤ 3.6V		0.5		LSB/V
模拟输入 特征						
FSR	全方位范围	+IN - (-IN)	0		V _{REF}	V
	共模信号	-IN	-0.3		0.5	V
C _{IN}	输入电容	-IN = GND, during sampling		48		pF
I _{IL}	输入漏电流	CS̄/SHDN=VDD, SCLK off		±0.1		μA
参考输入 特征						
V _{REF}	参考电压		0.1		VDD	V
C _{REF}	参考输入电容			48		pF
I _{REF}	参考输入电流	Fs=300KSPS		67		uA
		Fs=250KSPS		56		uA
		Fs=100KSPS		23		uA
		Fs=10KSPS		3		uA
		CS̄/SHDN=VDD		±1		μA

(1) 数据表中的最小和最大规格限值是通过设计、测试或统计分析方法获得。

(2) 适用于 2.7 V 标称电源: V_{DD} (最小值) = 2.7 V, V_{DD} (最大值) = 3.6 V。

(3) 在 -0.2 dBFS 下进行测试。

电气特性：VDD = + 2.7V（续）

在 -55°C 至 +125 °C 范围内，V_{REF} = + 2.5 V，-IN = GND，F_S = 30 0kHz，以及 f_{DCLOCK} = 25 × F_S，除非另有说明，典型值是在 T_A = 25°C 下测得的。

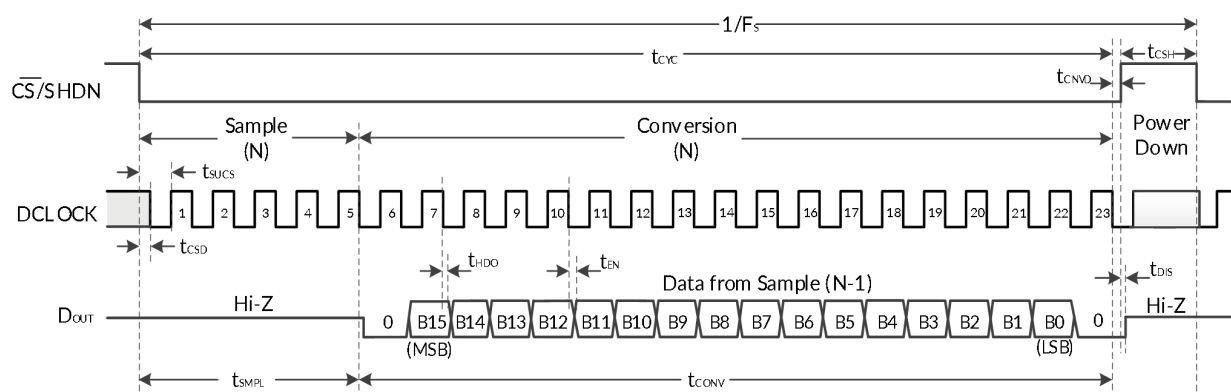
范围		状况	最小值	典型值	最大值	单位
动态采样 特征						
t _{CONV}	转换时间	25kHz ≤ f _{DCLOCK} ≤ 7.5MHz	18			T _{DCLOCK}
t _{AQ}	采样时间		4.5	5		T _{DCLOCK}
F _S	吞吐量	25kHz ≤ f _{DCLOCK} ≤ 7.5MHz			300	KSPS
f _{DCLOCK}	时钟频率		0.025		7.5	MHz
电源 特征						
I _{VDD}	工作电源电流	f _{DCLOCK} = 7.5MHz, F _S = 300KSPS		1.8		mA
		f _{DCLOCK} = 7.5MHz, F _S = 200KSPS		1.2		mA
		f _{DCLOCK} = 7.5MHz, F _S = 100KSPS		0.6		mA
		f _{DCLOCK} = 7.5MHz, F _S = 10KSPS		60		μA
		f _{DCLOCK} = 7.5MHz, F _S = 1KSPS		6		μA
	断电电源电流	$\overline{CS}/SHDN = V_{DD}$, SCLK Off		0.1		μA
		$\overline{CS}/SHDN = V_{DD}$, SCLK On		5		μA
P _{VDD}	运行功耗	f _{DCLOCK} = 7.5MHz, F _S = 300KSPS		4.86		mW
		f _{DCLOCK} = 7.5MHz, F _S = 200KSPS		3.24		mW
		f _{DCLOCK} = 7.5MHz, F _S = 100KSPS		1.62		mW
		f _{DCLOCK} = 7.5MHz, F _S = 10KSPS		162		μW
		f _{DCLOCK} = 7.5MHz, F _S = 1KSPS		16.2		μW
	断电过程中的功率损耗	$\overline{CS}/SHDN = V_{DD}$, SCLK Off		0.27		μW
		$\overline{CS}/SHDN = V_{DD}$, SCLK On		13.5		μW
数字输入特征						
	逻辑系列		CMOS			
V _{IH}	输入高电压		0.7V _{DD}		V _{DD} +0.3	V
V _{IL}	输入低电压		-0.3		0.3V _{DD}	V
C _{IN}	输入电容			5		pF
I _{IN}	输入电流			±0.1		μA
数字输出特征						
	逻辑系列		CMOS			
	数据格式		直接二进制			
V _{OH}		I _{OH} = -100μA	V _{DD} -0.3			V
V _{OL}		I _{OL} = 100μA			0.3	V
I _{OZ}	高阻抗状态输出电流	$\overline{CS}/SHDN = V_{DD}$, V _I = V _{DD} or GND		±0.1		μA
C _O	输出电容			5		pF
C _L	负载电容				30	pF

6.7 时间要求

$-55^{\circ}\text{C} \leq T_A \leq 125^{\circ}\text{C}$, $V_{DD} = 2.7\text{V}$ 至 5.5V (除非另有说明) ⁽¹⁾

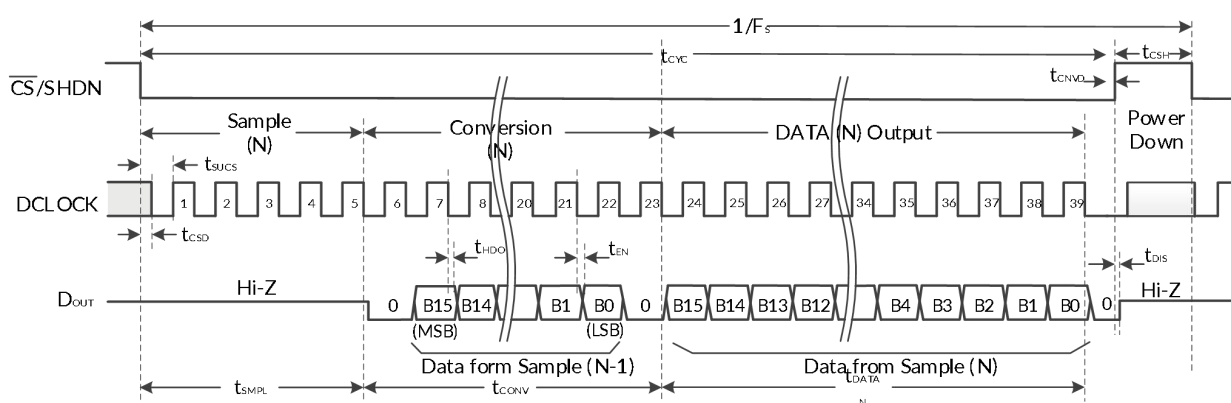
范围		状况	最小值	典型值	最大值	单位
f _{DCLOCK}	直流时钟频率	V _{DD} = 4.5V to 5.5V			10	MHz
		V _{DD} = 2.7V to 3.6V			7.5	MHz
F _s	吞吐量	V _{DD} = 4.5V to 5.5V			400	KSPS
		V _{DD} = 2.7V to 3.6V			300	KSPS
t _{SMPL}	模拟输入采样时间		4.5		5	DCLOCKs
t _{CONV}	转换时间		18			DCLOCKs
t _{CYC}	完整周期时间		24			DCLOCKs
t _{CSH}	最小 CS 脉冲宽度		10			ns
t _{CSD}	CS 下降至直流时钟低电平				0	ns
t _{SUCS}	CS下降至直流时钟上升		20			ns
t _{HDO}	直流时钟下降至当前输出无效			15		ns
t _{DIS}	CS 上升至 输出三态				100	ns
t _{EN}	DCLOCK 下降到 D _{OUT} 已启用				50	ns
t _{CNVD}	第 22 次直流时钟下降至 CS 上升		50			ns
t _F	D _{OUT} 下降时间				40	ns
t _R	D _{OUT} 上升时间				40	ns
t _{WH}	直流时钟高电平脉冲持续时间		40			ns
t _{WL}	直流时钟低电平脉冲持续时间		40			ns
t _{AD}	孔径延迟			7.5		ns
t _{AJ}	孔径抖动			30		ns

(1) 使用 50 pF 负载进行测量。



注：（1）16 位转换至少需要 2^4 个时钟周期；图中显示的是 2^5 个时钟周期。

如果 $\overline{CS}$ 在转换结束时/SHDN 仍然很低，则从样本 (N) 移出新的数据流。



笔记：（2）数据传输完成后，如果继续施加 CS 低的时钟信号，A/D 转换器将重复输出数据(n)。

图 1. TLX1430B 串行接口时序 图表

6.8 典型特性: $V_{DD} = +5V$

注: 本说明之后提供的图表是基于有限数量的样本的统计摘要, 仅供参考。

$T_A = 25^\circ\text{C}$, $V_{DD} = +5\text{ V}$, $V_{REF} = +5\text{ V}$, $F_S = 400\text{ KSPS}$, $f_{DCLOCK} = 10\text{ MHz}$, $f_{IN} = 2.07\text{ kHz}$, $P_{IN} = -0.2\text{ dBFS}$ (除非另有说明)。

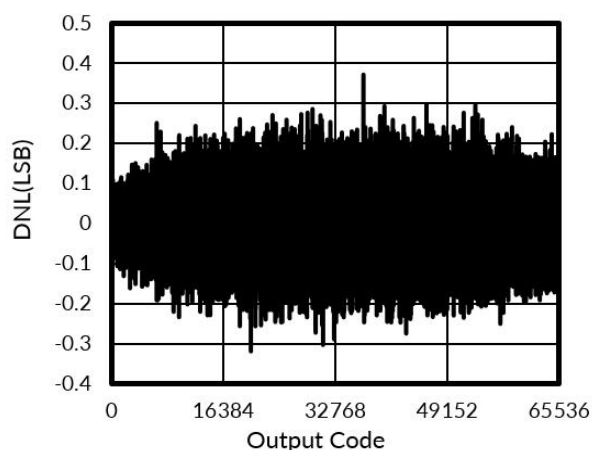


图2. DNL 与输出代码

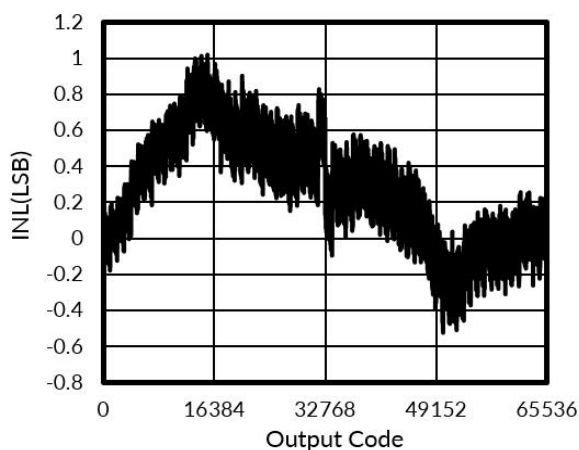


图 3. INL 与输出代码

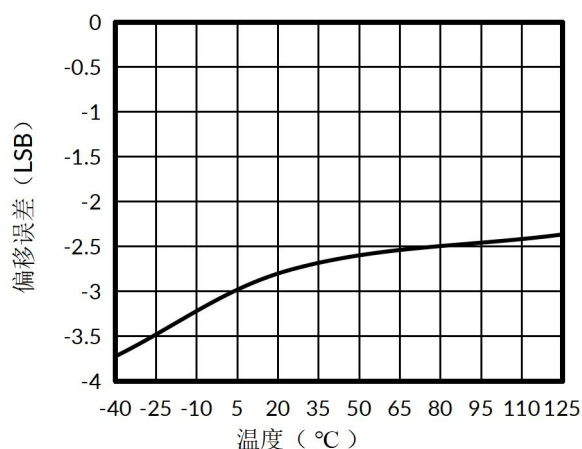


图 4. 偏移误差与温度

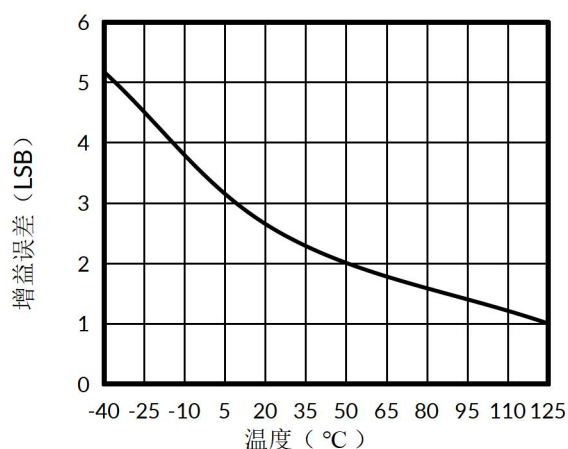


图 5.增益误差与温度的关系

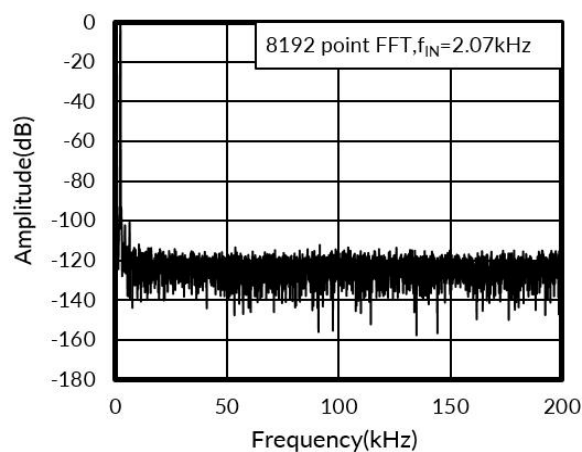


图 6. 光谱响应

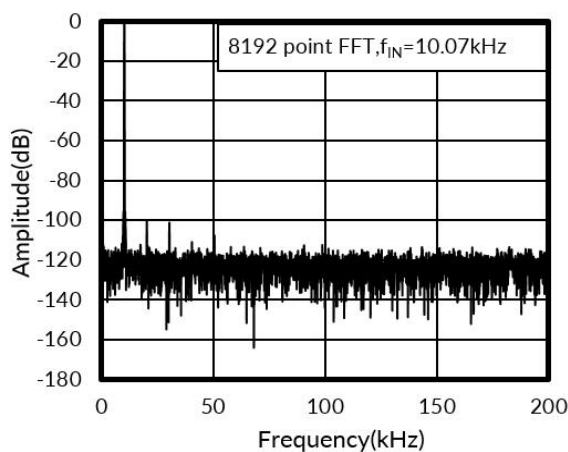


图 7.光谱响应

典型特性: $V_{DD} = +5V$ (续)

注: 本说明之后提供的图表是基于有限数量的样本的统计摘要, 仅供参考。

$T_A = 25^\circ C$, $V_{DD} = +5V$, $V_{REF} = +5V$, $F_S = 400\text{ KSPS}$, $f_{DCLOCK} = 10\text{ MHz}$, $f_{IN} = 2.07\text{ kHz}$, $P_{IN} = -0.2\text{ dBFS}$ (除非另有说明)。

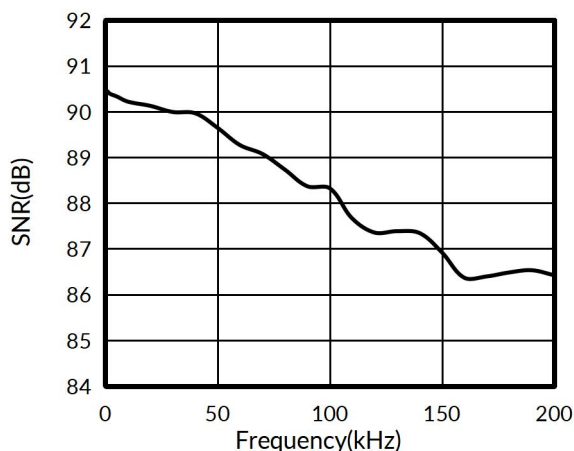


图 8. 信噪比与输入频率的关系

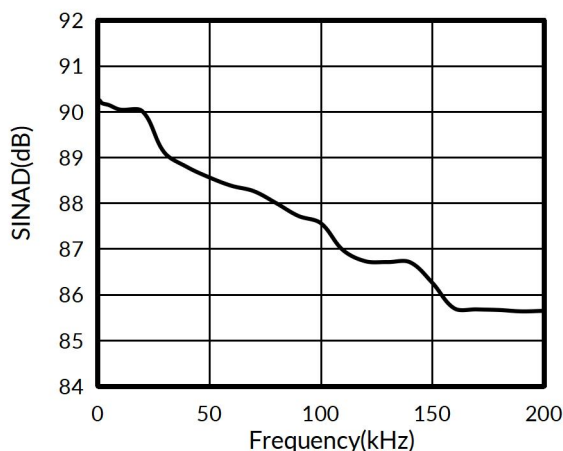


图 9. SINAD 与输入频率的关系

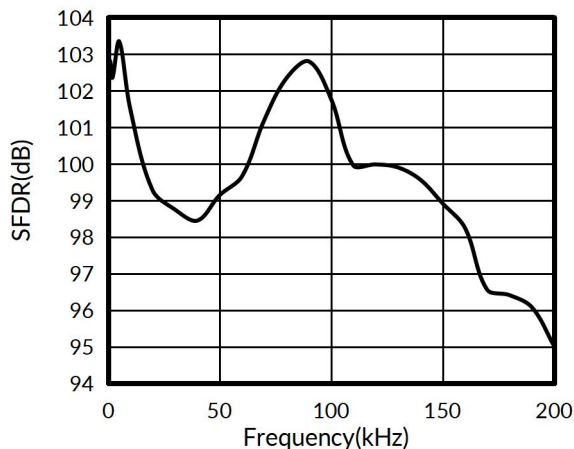


图 10. SFDR 与输入频率的关系

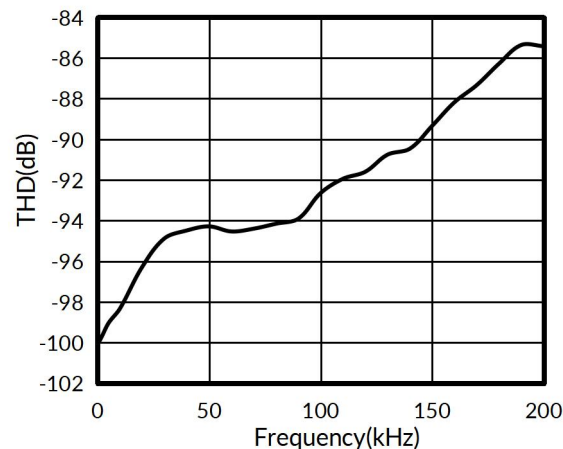


图 11. 总谐波失真与输入频率的关系

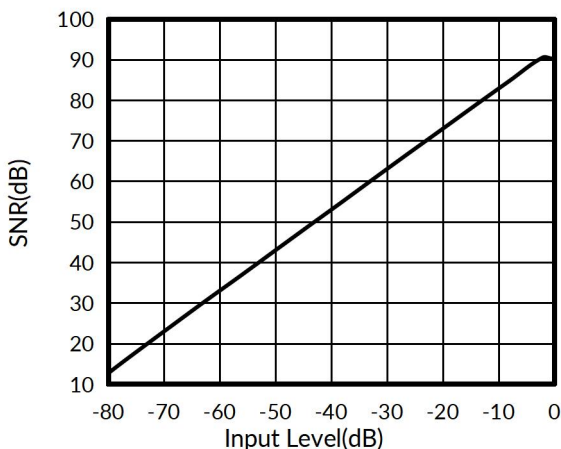


图 12. 信噪比与输入电平的关系

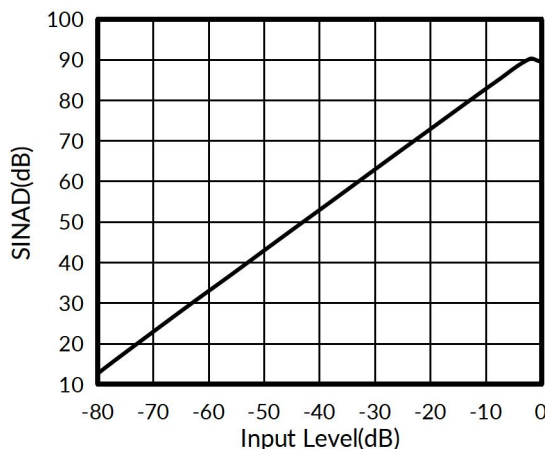


图 13. SINAD 与输入水平的关系

典型特性: $V_{DD} = +5V$ (续)

注: 本说明之后提供的图表是基于有限数量的样本的统计摘要, 仅供参考。

$T_A = 25^\circ C$, $V_{DD} = +5V$, $V_{REF} = +5V$, $F_s = 400\text{ KSPS}$, $f_{DCLOCK} = 10\text{ MHz}$, $f_{IN} = 2.07\text{ kHz}$, $P_{IN} = -0.2\text{ dBFS}$ (除非另有说明)

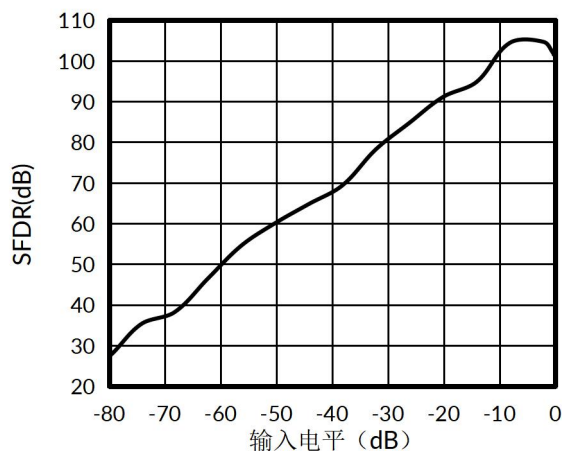


图 14. SFDR 与输入水平的关系

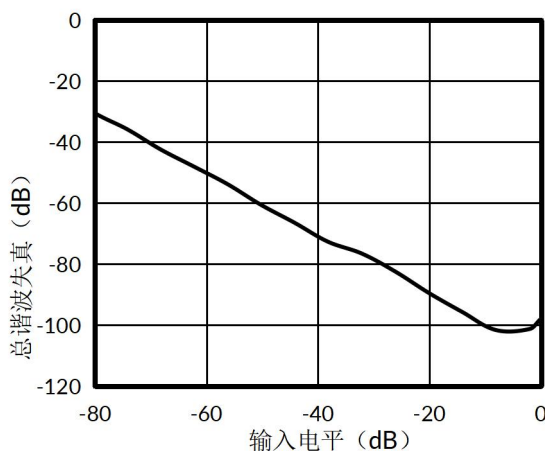
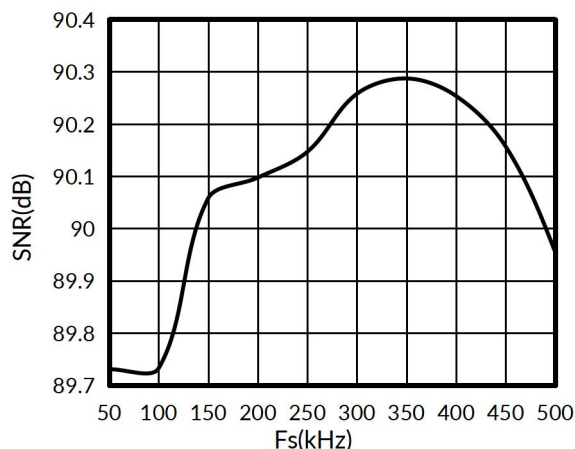
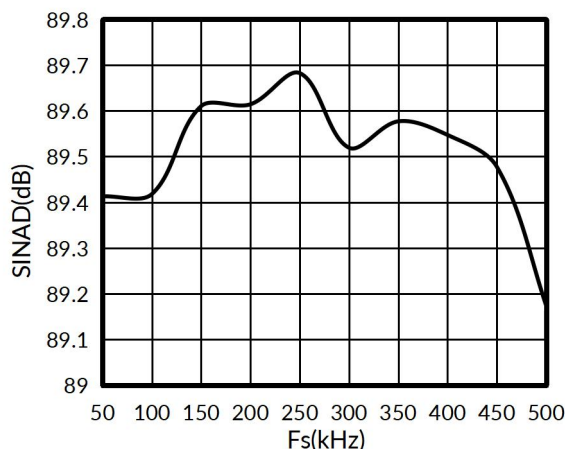
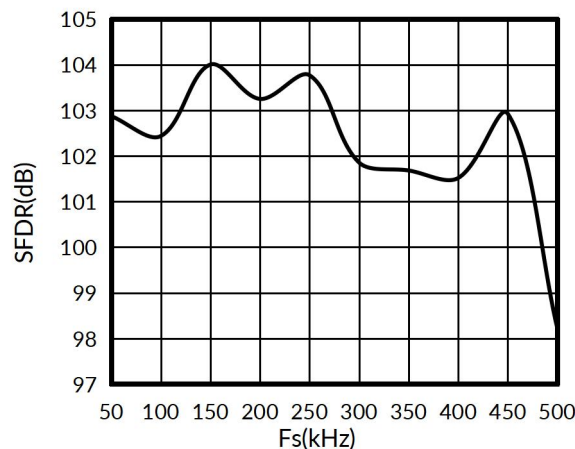
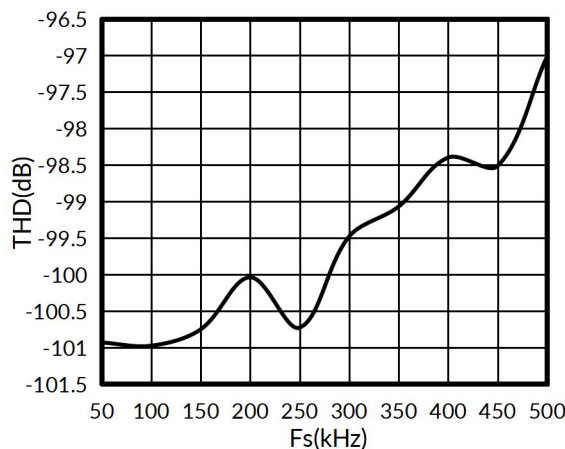


图 15. 总谐波失真与输入电平的关系

图 16. 信噪比与 F_s 的关系图 17. SINAD 与 F_s 图 18. SFDR 与 F_s 的关系图 19. THD 与 F_s 的关系

典型特性: **VDD = +5V** (续)

注: 本说明之后提供的图表是基于有限数量的样本的统计摘要, 仅供参考。

$T_A = 25^\circ\text{C}$, $V_{DD} = +5\text{ V}$, $V_{REF} = +5\text{ V}$, $F_s = 400\text{ KSPS}$, $f_{DCLOCK} = 10\text{ MHz}$, $f_{IN} = 2.07\text{ kHz}$, $P_{IN} = -0.2\text{ dBFS}$ (除非另有说明)。

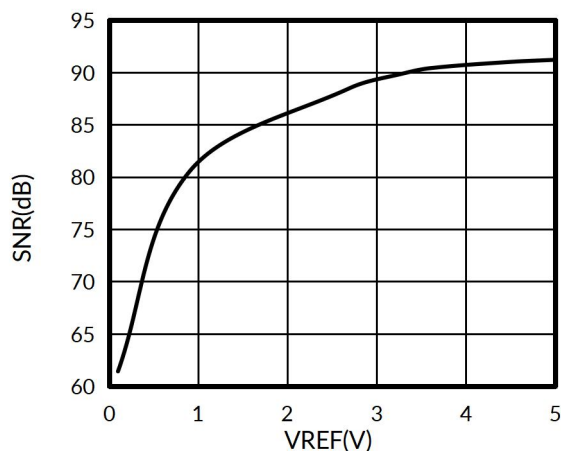


图 20. 信噪比与参考电压的关系

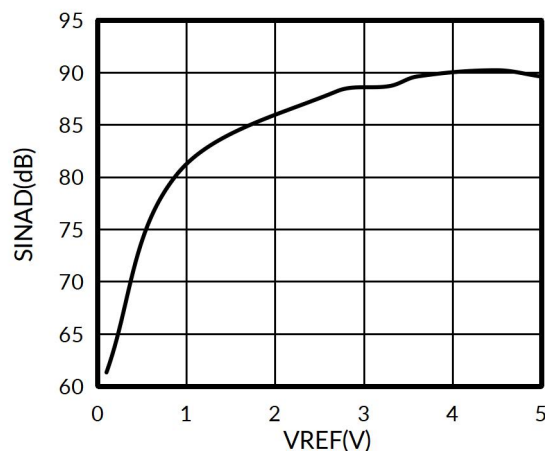
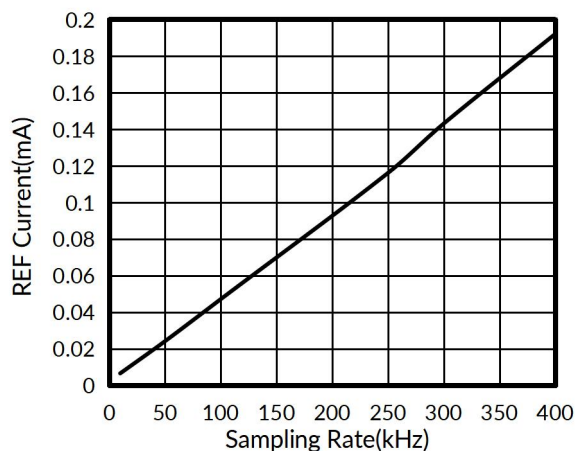
图 21. SINAD 与 V_{REF} 的关系

图 22. 参考电流与采样率的关系

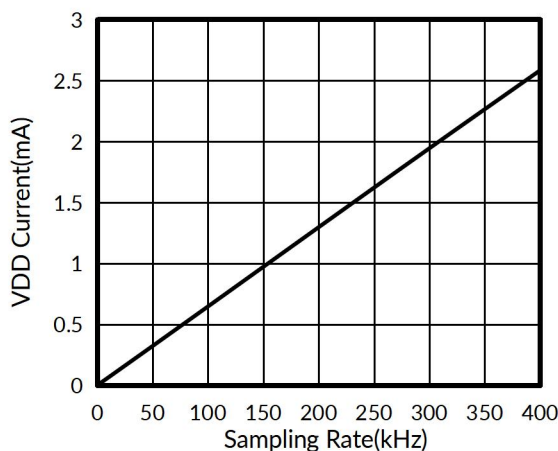


图 23. VDD 电流与采样率的关系

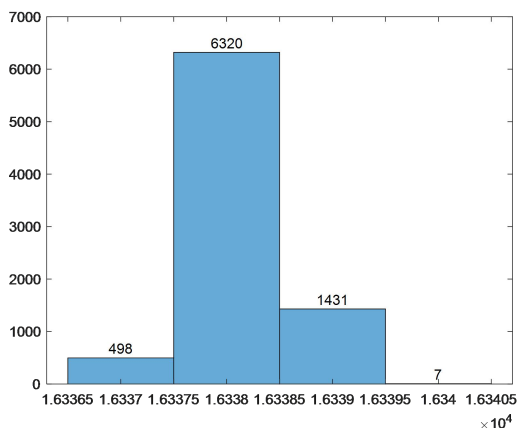


图 24. 直流输入输出码直方图 (8192 转换)

6.9 典型特性: $V_{DD} = +2.7V$

注: 本说明之后提供的图表是基于有限数量的样本的统计摘要, 仅供参考。

$T_A = 25^\circ\text{C}$, $V_{DD} = +2.7\text{ V}$, $V_{REF} = +2.5\text{ V}$, $F_s = 300\text{ KSPS}$, $f_{DCLOCK} = 7.5\text{ MHz}$, $f_{IN} = 2.07\text{ kHz}$, $P_{IN} = -0.2\text{ dBFS}$ (除非另有说明)。

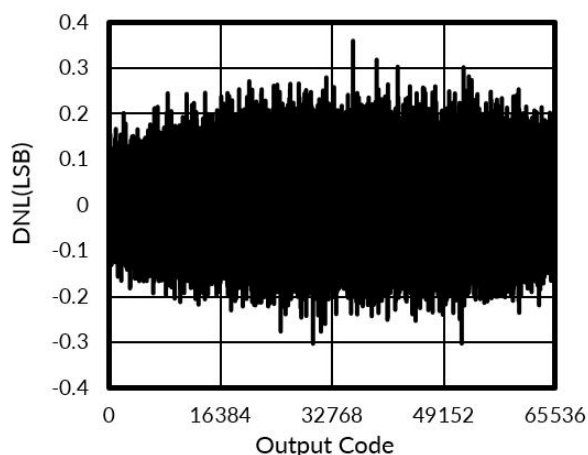


图 25. DNL 与输出代码

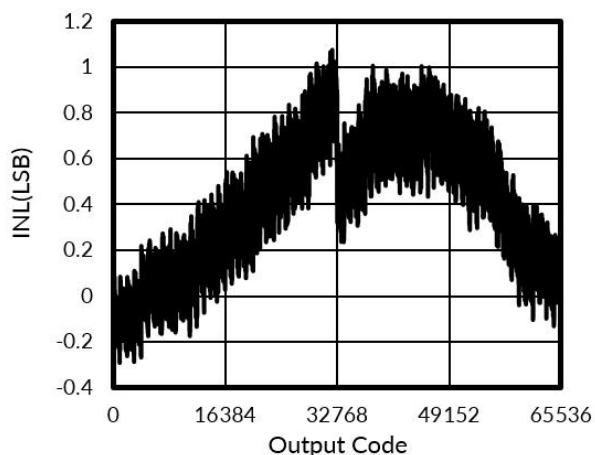


图 26. INL 与输出代码

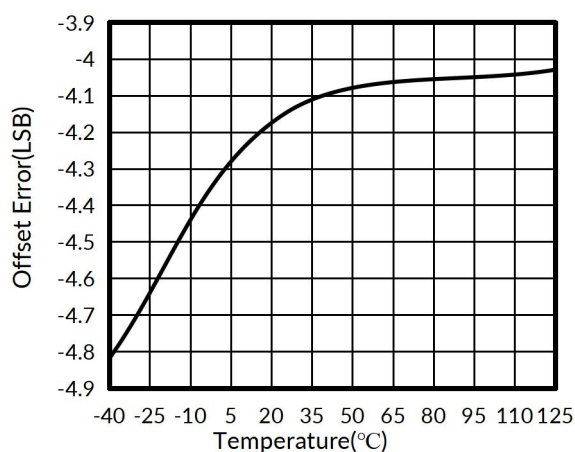


图 27. 偏移误差与温度

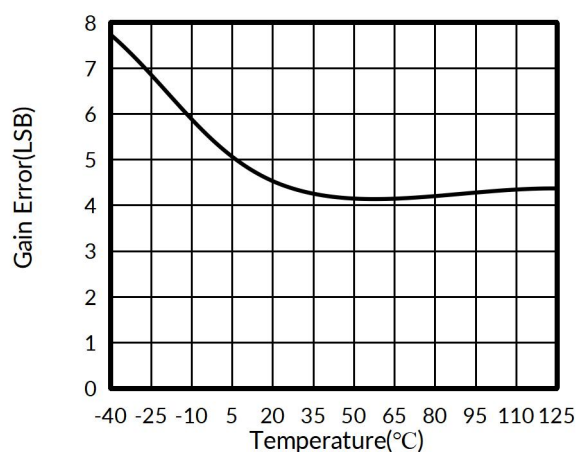


图 28. 增益误差与温度的关系

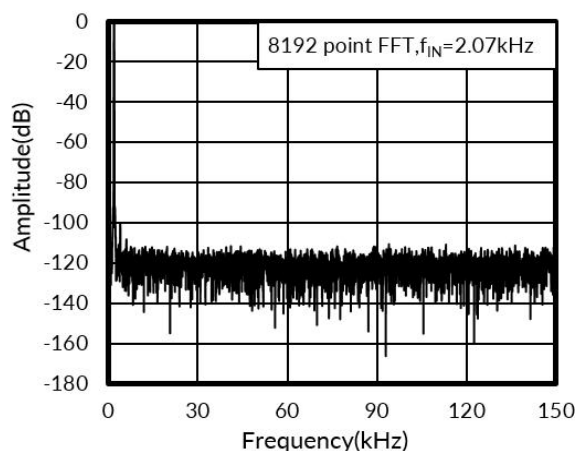


图 29. 光谱响应

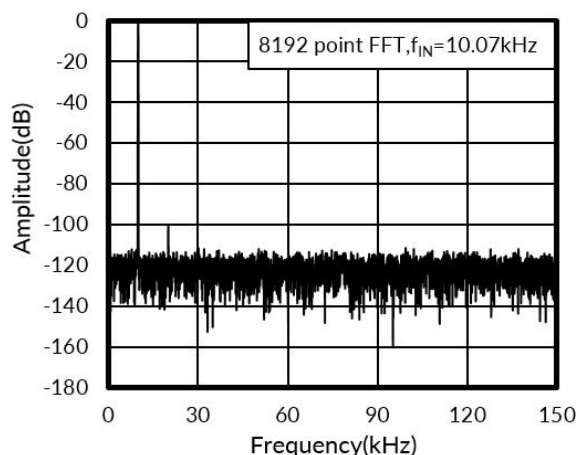


图 30. 光谱响应

典型特性: $V_{DD} = +2.7V$ (续)

注: 本说明之后提供的图表是基于有限数量的样本的统计摘要, 仅供参考。

$T_A = 25^\circ C$, $V_{DD} = +2.7 V$, $V_{REF} = +2.5 V$, $F_S = 300 KSPS$, $f_{DCLOCK} = 7.5 MHz$, $f_{IN} = 2.07 kHz$, $P_{IN} = -0.2 dBFS$ (除非另有说明)。

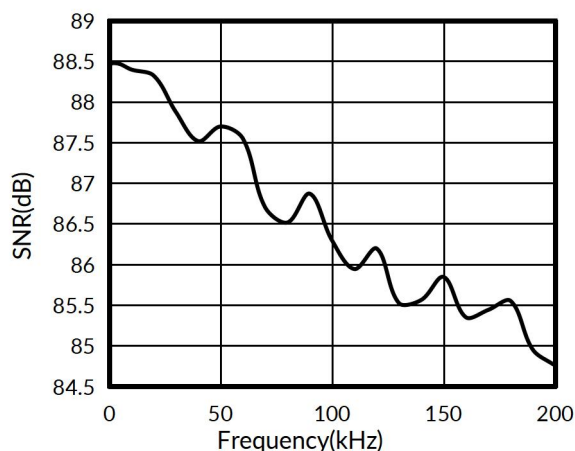


图 31.信噪比与输入频率的关系

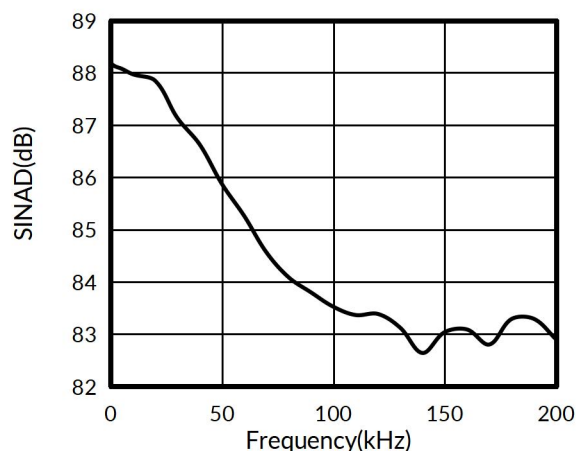


图 32. SINAD 与输入频率的关系

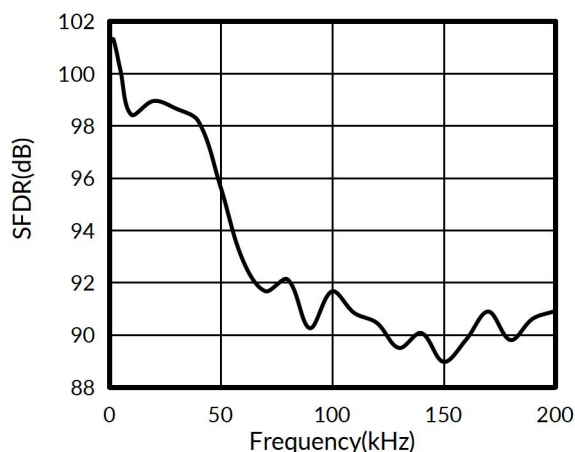


图 33. SFDR 与输入频率的关系

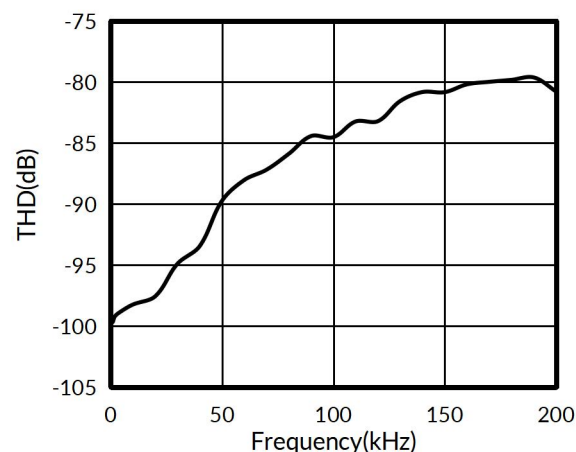


图 34.总谐波失真与输入频率的关系

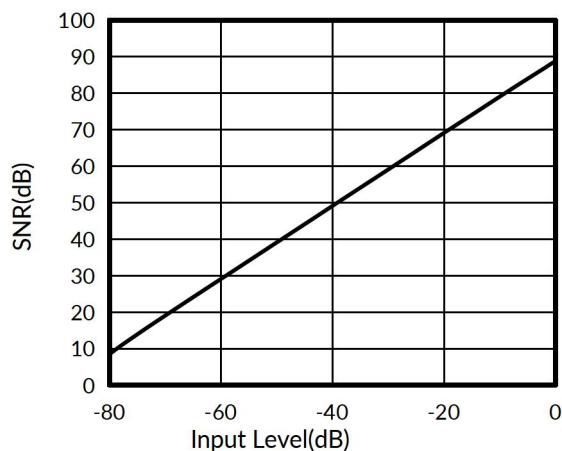


图 35.信噪比与输入电平的关系

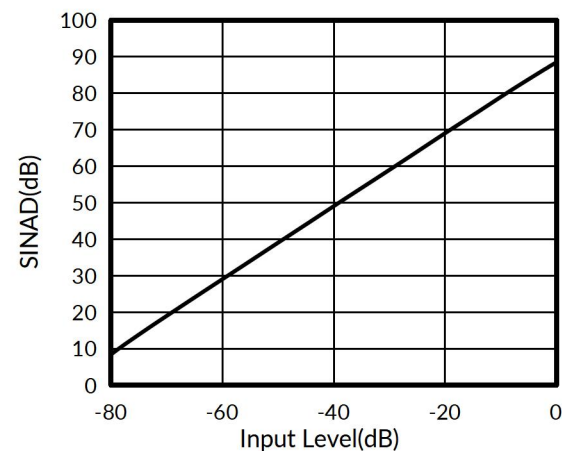


图 36. SINAD 与输入水平的关系

典型特性: $V_{DD} = +2.7V$ (续)

注: 本说明之后提供的图表是基于有限数量的样本的统计摘要, 仅供参考。

$T_A = 25^\circ C$, $V_{DD} = +2.7V$, $V_{REF} = +2.5V$, $F_s = 300\text{ KSPS}$, $f_{DCLOCK} = 7.5\text{ MHz}$, $f_{IN} = 2.07\text{ kHz}$, $P_{IN} = -0.2\text{ dBFS}$ (除非另有说明)。

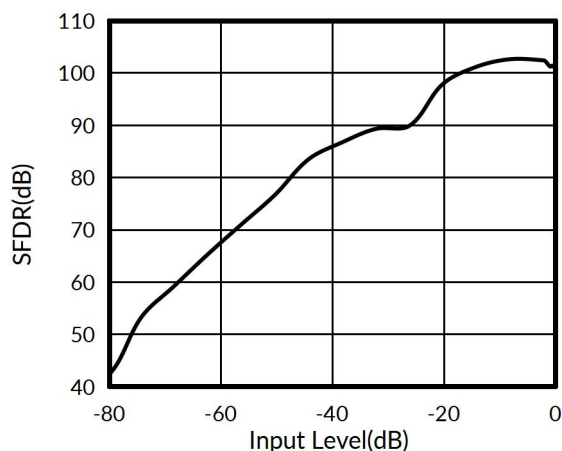


图 37. SFDR 与输入水平的关系

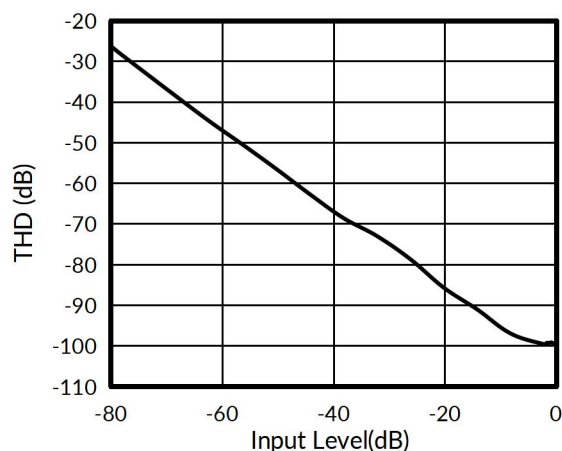


图 38. 总谐波失真与输入电平的关系

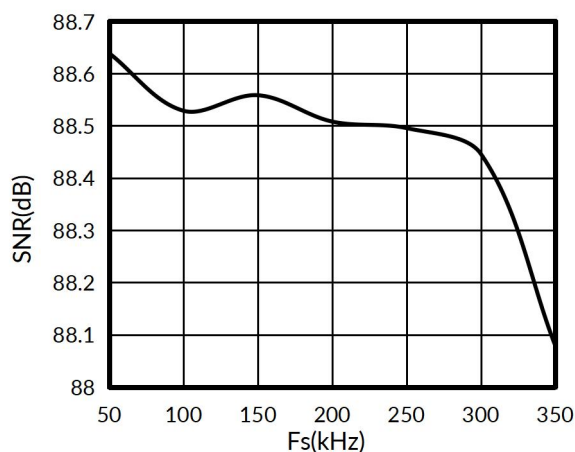


图 39. 信噪比与 F_s 的关系

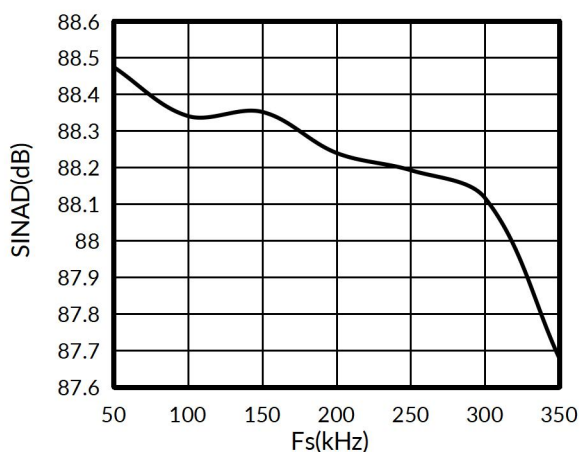


图 40. SINAD 与 F_s

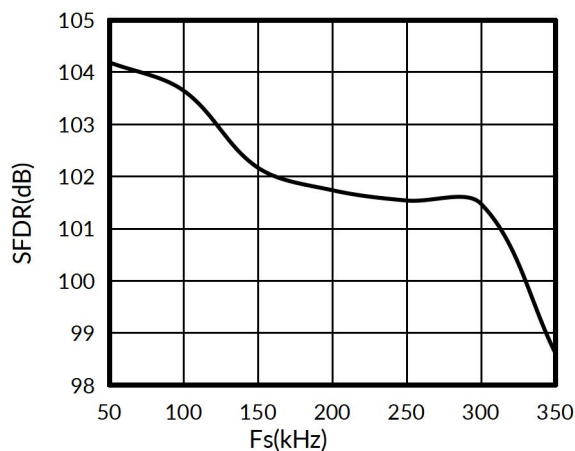


图 41. SFDR 与 F_s 的关系

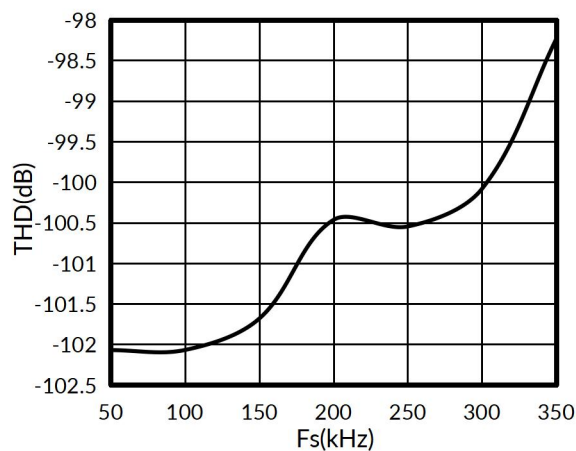


图 42. THD 与 F_s 的关系

典型特性: $V_{DD} = +2.7V$ (续)

注: 本说明之后提供的图表是基于有限数量的样本的统计摘要, 仅供参考。

$T_A = 25^\circ C$, $V_{DD} = +2.7V$, $V_{REF} = +2.5V$, $F_s = 300\text{ KSPS}$, $f_{DCLOCK} = 7.5\text{ MHz}$, $f_{IN} = 2.07\text{ kHz}$, $P_{IN} = -0.2\text{ dBFS}$ (除非另有说明)。

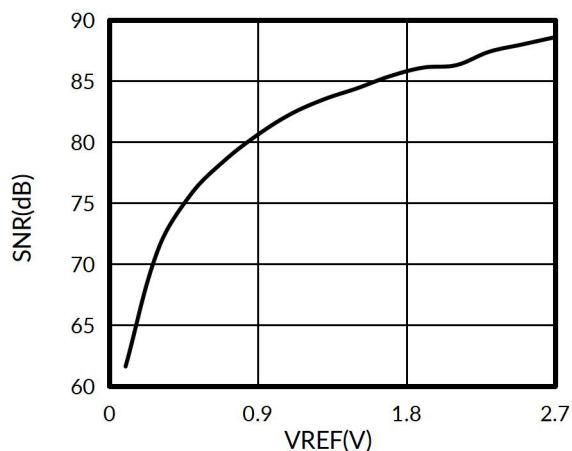


图 43. 信噪比与参考电压的关系

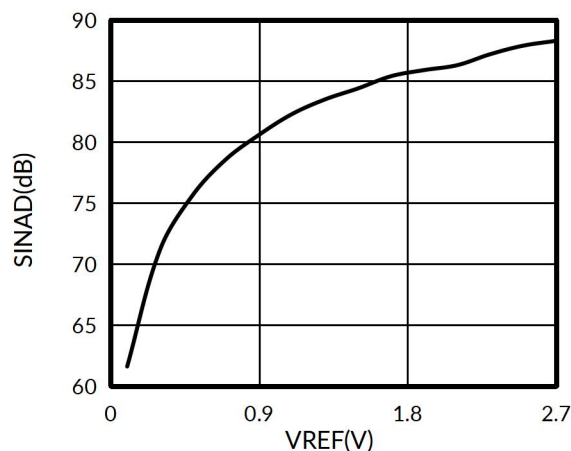


图 44. SINAD 与 V_{REF} 的关系

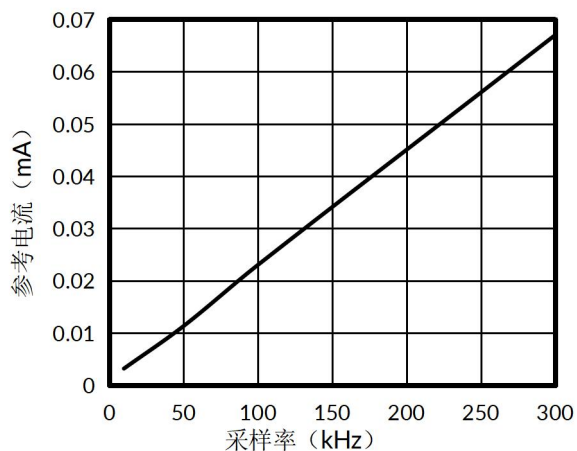


图 45. 参考电流与采样率的关系

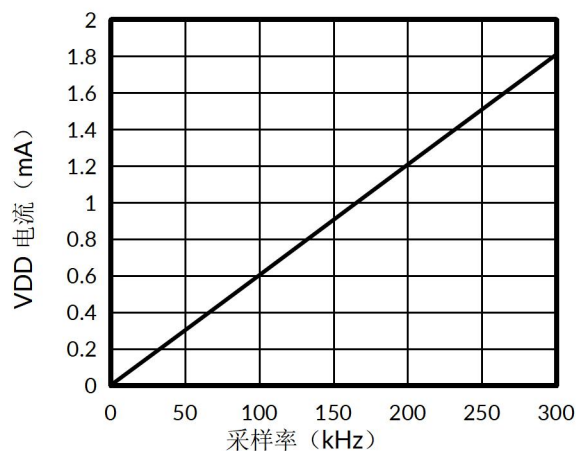


图 46. VDD 电流与采样率的关系

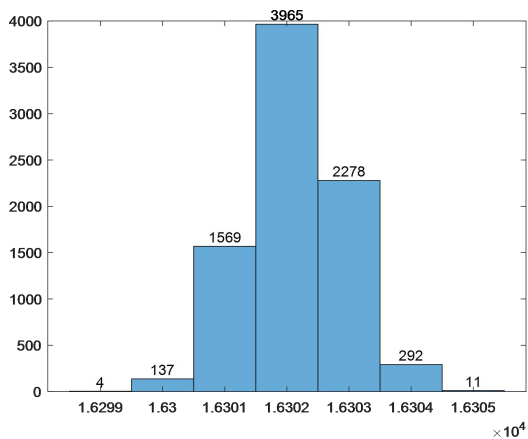


图 47. 直流输入输出码直方图 (8192 转换)

7 详细描述

7.1 概述

TLX1430B 是一款经典的逐次逼近寄存器 (SAR) 模数转换器。其架构基于电容重分配，并固有地包含采样保持功能。凭借该架构和工艺，TLX1430B 能够以高达每秒 400,000 次的转换速率采集和转换模拟信号，同时功耗低于 13mW（基于 V_{DD} ）。

TLX1430B 的差分线性度在出厂时通过封装级微调程序进行调整。微调元件的状态存储在非易失性存储器中，并在每个采集周期结束后、逐次逼近运算开始之前持续更新。此过程确保在断电情况下，一个完整的转换周期始终能使器件恢复到出厂调整状态。

TLX1430B 需要一个外部参考电压、一个外部时钟和一个电源 (V_{DD})。外部参考电压可以是 0.1 V 到 V_{DD} 之间的任意电压。参考电压的值直接决定了模拟输入的范围。参考输入电流取决于 TLX1430B 的转换速率。

外部时钟频率可在 25 kHz（1 kHz 吞吐量）至 10 MHz（400 kHz 吞吐量）之间变化。只要最小高电平和低电平持续时间至少为 40 ns（ $V_{DD} \geq 2.7$ V），时钟的占空比基本无关紧要。最小时钟频率由 TLX1430B 内部电容的漏电流决定。

模拟输入信号通过两个输入引脚 +IN 和 -IN 提供。当转换开始时，这些引脚上的伪差分输入信号会被采样到内部电容阵列上。转换进行期间，这两个输入引脚均与所有内部功能断开连接。

转换后的数字结果由 DCLOCK 输入端时钟输出，并以最高有效位优先的方式串行传输到 DOUT 引脚。DOUT 引脚上传的数字数据是上一次转换的结果。转换完成后，可以继续为 TLX1430B 提供时钟信号，以获取当前正在进行的转换的串行数据。更多信息请参阅“时序信息”部分。

7.2 模拟输入

TLX1430B 的模拟输入为伪差分输入。+IN 和 -IN 输入引脚允许输入伪差分信号。输入信号的幅度是 +IN 和 -IN 输入之间的差值，即 $(+IN) - (-IN)$ 。与某些同类型转换器不同，-IN 输入在转换周期的后续阶段不会进行重采样。当转换器进入保持模式或转换模式时，+IN 和 -IN 之间的电压差会被内部电容阵列捕获。

-IN 输入的范围限制在 -0.3V 至 +0.5V。由于此限制，伪差分输入可用于抑制指定范围内两个输入端共有的信号。因此，-IN 输入最适合用于检测可能相对于本地地电位略有变化的远程信号地。

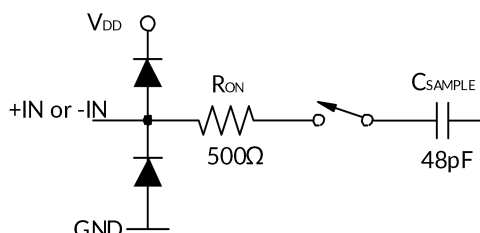


图 48. TLX1430B 的等效模拟输入电路

如图48和图49所示。-IN输入端保持在共模电压。+IN输入端从-IN（或共模电压）摆至-IN +V_{DD}（或共模电压 + V_{DD}），峰峰值幅度为+V_{DD}的值决定了共模电压的变化范围，如图50所示。

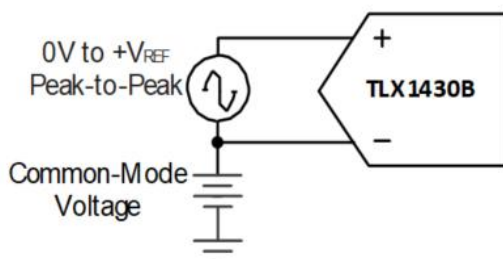


图 49. TLX1430B 的驱动方法

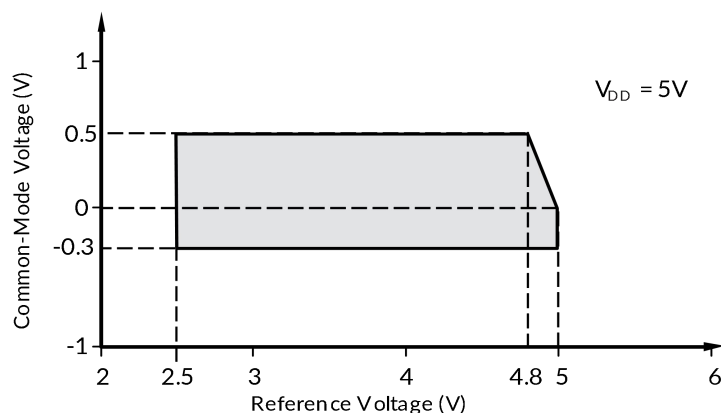
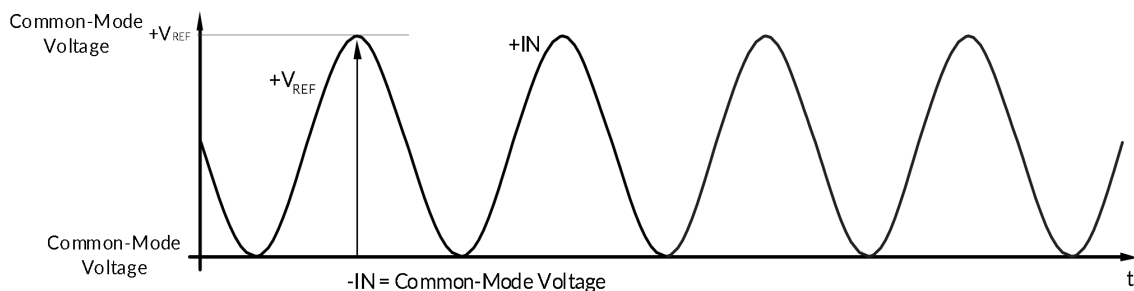


图 50. -IN 模拟输入：共模电压范围与 VREF 的关系



TLX1430B 的 +IN 和 -IN 之间的最大差分电压为 V_{DD}。参见图 50。为对伪差分输入共模电压范围的进一步解释请参见图 34。

图 51. TLX1430B 的伪差分输入模式

模拟输入所需的输入电流取决于多种因素：采样率、输入电压、源阻抗和掉电模式。本质上，TLX1430B 的电流在采样周期内为内部电容阵列充电。电容充满电后，不再有输入电流。模拟输入电压源必须能够在 4.5 个时钟周期（0.45μs）内将输入电容（48pF）充电至 16 位稳定电平。当转换器进入保持模式或掉电模式时，输入阻抗大于 10MΩ。

必须注意模拟输入电压的绝对值。为保持转换器的线性度，-IN 输入电压不应低于 GND-0.3V 或高于 GND+0.5V。+IN 输入电压应始终保持在 GND-0.3V 至 VDD+0.3V 或 -IN 至 -IN+VREF 的范围内，以先达到的限值为准。超出这些范围，转换器的线性度可能无法满足规格要求。为最大限度地降低噪声，应使用低带宽输入信号并配合低通滤波器。在任何情况下，都应注意确保驱动 +IN 和 -IN 输入的信号源的输出阻抗匹配。通常，

在正负输入端之间连接一个小电容有助于匹配它们的阻抗。为了获得 TLX1430B 的最佳性能，建议使用图 52 所示的输入电路。

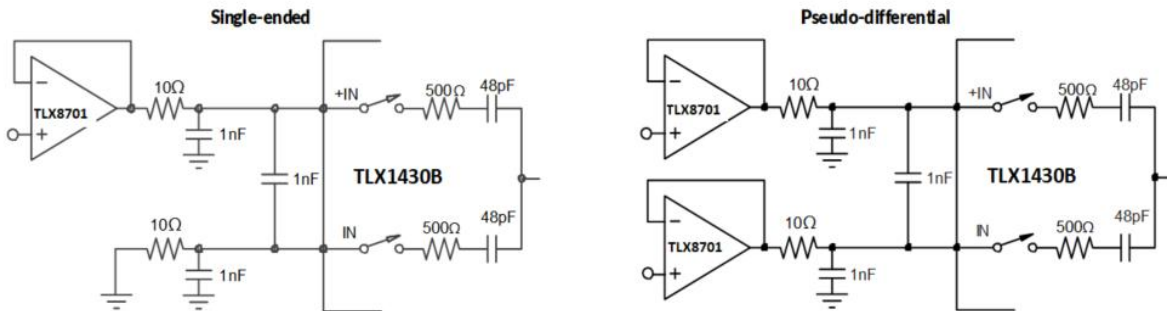


图52. TLX1430B 接口的单端和伪差分方法

7.3 参考输入

外部参考电压决定了模拟输入范围。TLX1430B 的参考电压范围为 0.1V 至 VDD。这其中有几个重要的意义。

随着参考电压的降低，每个数字输出码的模拟电压权重也会降低。这通常被称为最低有效位 (LSB) 的大小，等于参考电压除以 65,536。这意味着，随着参考电压的降低，模数转换器中固有的任何偏移或增益误差（以 LSB 大小衡量）都会显得增大。当参考电压为 2.5V 时，LSB 的值为 38.15μV；当参考电压为 5V 时，LSB 的值为 76.3μV。

转换器固有的噪声也会随着 LSB 位数的减小而增大。当参考电压为 5V 时，转换器的内部噪声通常只会对输出码产生 4LSB 峰峰值的潜在误差。当外部参考电压为 2.5V 时，内部噪声产生的潜在误差将增大一倍（7LSB）。内部噪声引起的误差本质上是高斯误差，可以通过对连续转换结果进行平均来降低。

由于参考电压较低，因此需要格外注意电路布局，包括足够的旁路电路、纯净的电源、低噪声参考电压源和低噪声输入信号。此外，由于最低有效位 (LSB) 尺寸较小，转换器对外部误差源（例如附近的数字信号和电磁干扰）也更加敏感。

图 53 展示了参考电压的等效输入电路。在转换过程中，会接通一个 48pF 的等效电容。为了使 TLX1430B 发挥最佳性能，必须特别注意参考输入引脚的接口电路设计。为确保参考电压稳定，应将一个低 ESR 的 47μF 钽电容尽可能靠近输入引脚连接。如果使用高输出阻抗的参考源，则必须在电容前串联一个带有限流电阻的运算放大器。

当 TLX1430B 处于掉电模式时，参考引脚的输入电阻为 10MΩ。由于输入电容必须在下一次转换开始前充电，因此必须使用具有良好动态特性的运算放大器来缓冲参考输入。

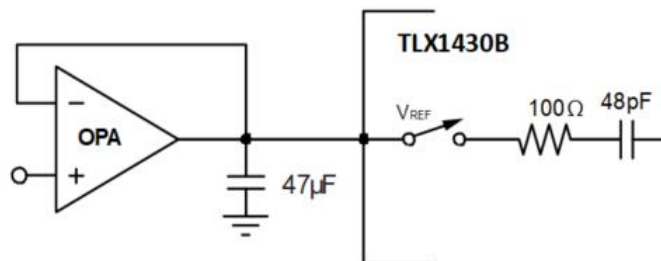


图 53. 输入参考电路和接口

7.4 噪声

如图 24 (+5V) 和图 47 (+2.7V) 所示, TLX1430B 本身的转换噪声极低, 远低于同类 A/D 转换器。这些直方图是通过施加低噪声直流输入并进行 8192 次转换生成的。由于 TLX1430B 的内部噪声, A/D 转换器的数字输出码会发生变化。使用直方图绘制输出码时, 其分布应呈钟形, 钟形曲线的峰值代表输入值的标称码。 $\pm 1\sigma$ 、 $\pm 2\sigma$ 和 $\pm 3\sigma$ 分布分别占有所有码的 68.3%、95.5% 和 99.7%。转换噪声可以通过将测得的码数除以 6 来计算, 从而得到 $\pm 3\sigma$ 分布, 即占有所有码的 99.7%。统计上, 执行 1000 次转换时, 最多可能有两个码超出分布范围。TLX1430B 的输出码在 $\pm 3\sigma$ 分布下少于 4 个, 因此转换噪声小于 $\pm 0.6\text{LSB}$ 。请注意, 要实现如此低的噪声性能, 输入信号和参考信号的峰峰值噪声必须小于 $50\mu\text{V}$ 。

7.5 信号强度

TLX1430B 具有宽广的供电电压范围。其模数转换器和数字接口电路均可接受并工作在 2.7V 至 5.5V 的电压范围内。该电压范围可兼容不同的逻辑电平。当 TLX1430B 的供电电压在 4.5V 至 5.5V 范围内 (5V 逻辑电平) 时, 可将其直接连接到另一个 5V 的 CMOS 集成电路。当 TLX1430B 的供电电压在 2.7V 至 3.6V 范围内 (3V 逻辑电平) 时, 可将其直接连接到另一个 3.3V 的低电压 CMOS 集成电路。

8 数字接口

8.1 串行接口

TLX1430B 通过同步三线串行接口与微处理器和其他数字系统通信，如“时序信息”部分所示。DCLOCK 信号用于同步数据传输，每个比特在 DCLOCK 的下降沿发送。大多数接收系统会在 DCLOCK 的上升沿捕获比特流。但是，如果 DOUT 的最小保持时间可以接受，系统也可以使用 DCLOCK 的下降沿来捕获每个比特。

下降沿 CS 信号启动转换和数据传输。转换周期的前 4.5 到 5.0 个时钟周期用于对输入信号进行采样。在第五个 DCLOCK 下降沿之后，DOUT 被使能，并输出一个时钟周期的低电平。接下来的 16 个 DCLOCK 周期，DOUT 将输出上一次的转换结果，先输出最高有效位 (MSB)。输出最低有效位 (BO) 后，后续时钟周期将以低电平为起点输出当前的转换结果。

只有当 CS 被拉高并返回低位时，才会发起新的转换。

8.2 数据格式

如图 54 所示。该图表示给定输入电压下的理想输出代码，不包含偏移、增益误差或噪声的影响。

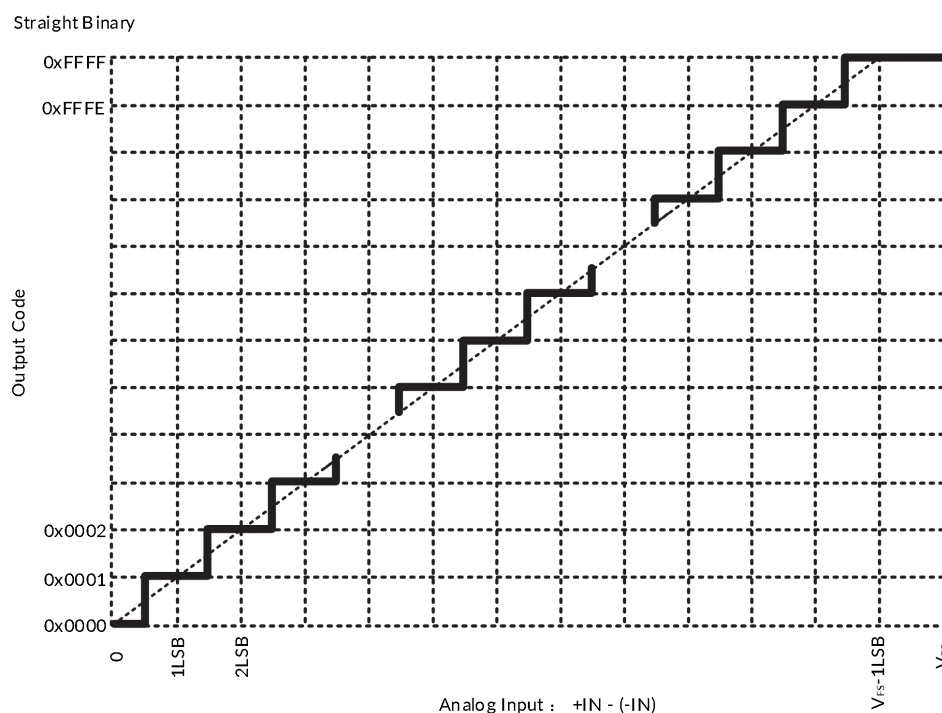


图 54. TLX1430B 理想传输特性

9 功率耗散

TLX1430B转换器的架构、半导体制造工艺以及精心的设计使其能够在高达400kHz的转换速率下工作，同时功耗极低。然而，为了实现绝对最低的功耗，需要注意以下几点。

TLX1430B的功耗与转换速率成正比。因此，实现最低功耗的第一步是找到满足系统要求的最低转换速率。

此外，TLX1430B 在两种情况下会进入掉电模式：转换完成时以及 CS 为高电平时（参见“时序信息”部分）。理想情况下，每次转换都应尽可能快地完成，最好以 10MHz 的时钟频率进行。这样，转换器就能在掉电模式下保持尽可能长的时间。这一点非常重要，因为转换器不仅在每次 DCLOCK 转换时消耗功率（这是数字 CMOS 器件的典型特征），而且还会消耗一些电流用于模拟电路，例如比较器。模拟电路会持续消耗功率，直到进入掉电模式。

图 22和图 23（+5V）以及图 45和图 46（+2.7V）展示了 TLX1430B 的电流消耗与采样率的关系。在这些图中，无论采样率如何，转换器均以最大时钟频率运行。在剩余的采样周期内，CS 保持高电平。

转换完成后进入的掉电模式与CS为高电平时启用的完全掉电模式之间存在重要区别。CS为低电平只会关闭模拟部分，数字部分只有在CS为高电平时才会完全关闭。因此，如果在转换结束后CS保持低电平，并且转换器持续获得时钟信号，则功耗不会像CS为高电平时那样低。

10 应用与实施

图 55 和图 56 展示了两个基本数据采集系统的示例。5Ω 电阻和 0.1μF 至 10μF 电容用于滤除电源上的微控制器噪声以及电源本身的高频噪声。应选择合适的电阻值和电容值，以确保滤波器能够充分抑制噪声。

CS 和 DCLOCK 上串联的 100Ω 电阻分别用于滤除数字过冲。具体的电阻值应根据转换速度、CS 和 DCLOCK 的上升/下降时间等因素来选择。

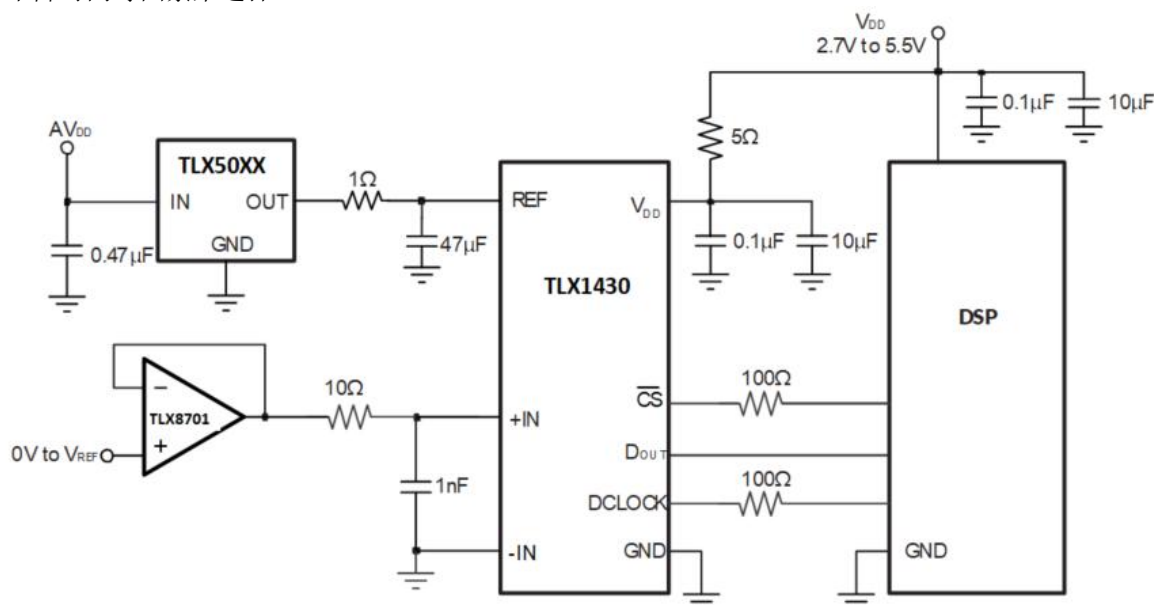


图 55. 基本数据采集系统：示例 1

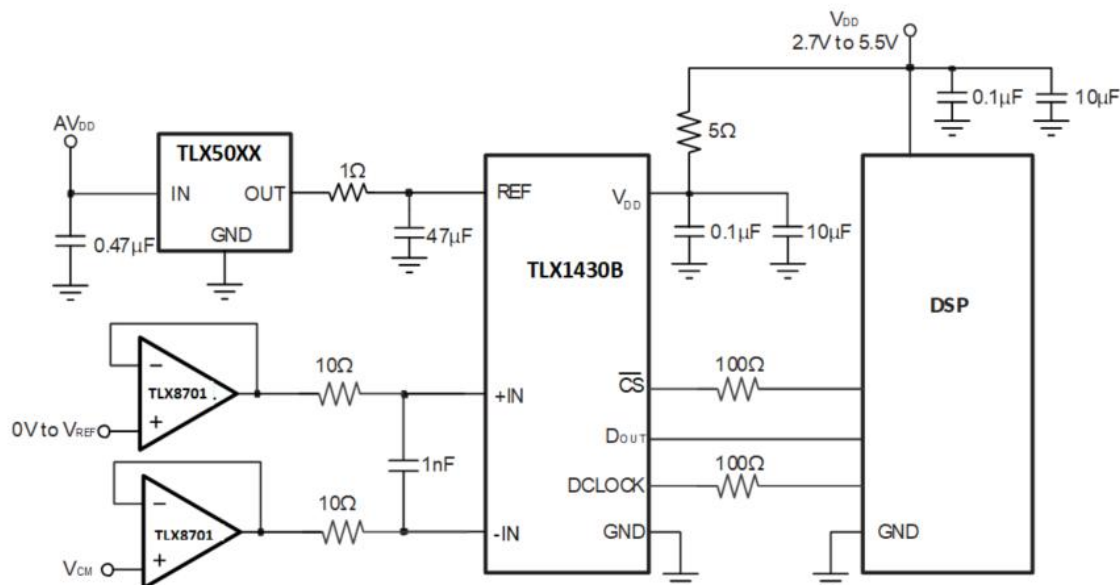
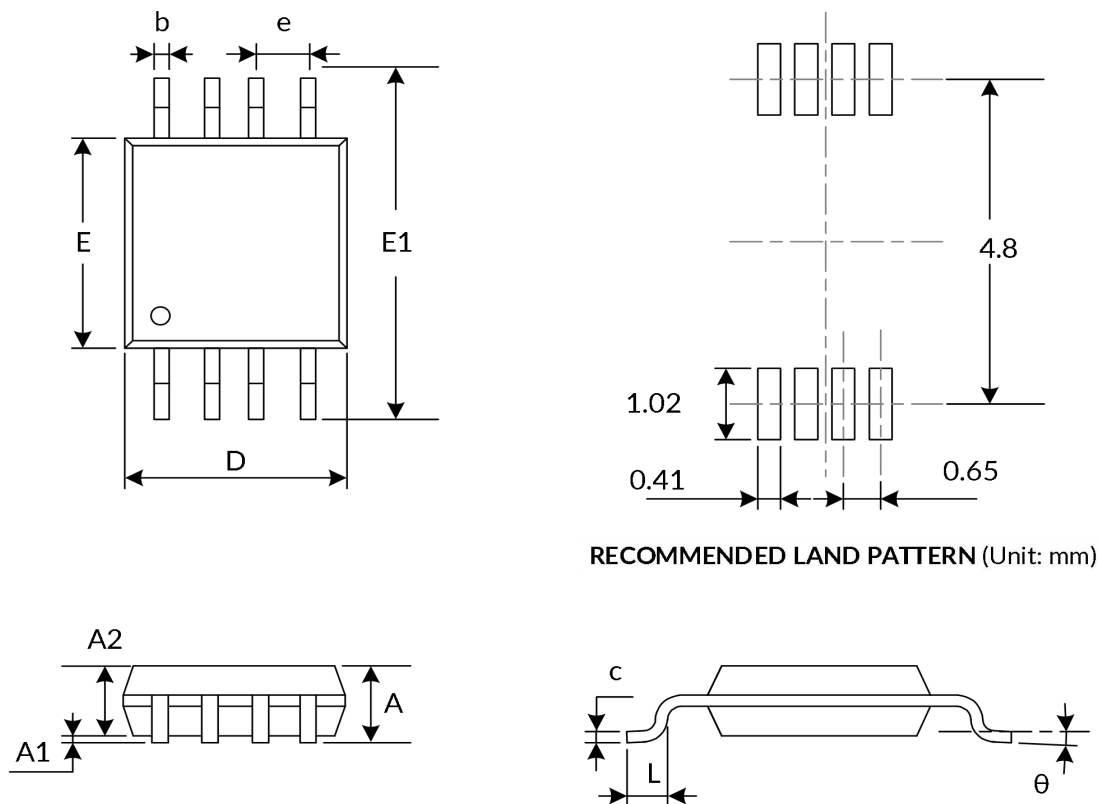


图 56. 基本数据采集系统：示例 2

11 封装外形尺寸

MSOP8⁽³⁾

代码	尺寸单位: 毫米		尺寸单位: 英寸	
	最小值	最大值	最小值	最大值
A ⁽¹⁾	0.820	1.100	0.032	0.043
A1	0.020	0.150	0.001	0.006
A2	0.750	0.950	0.030	0.037
b	0.250	0.380	0.010	0.015
c	0.090	0.230	0.004	0.009
D ⁽¹⁾	2.900	3.100	0.114	0.122
e	0.650(BSC) ⁽²⁾		0.026(BSC) ⁽²⁾	
E ⁽¹⁾	2.900	3.100	0.114	0.122
E1	4.750	5.050	0.187	0.199
L	0.400	0.800	0.016	0.031
θ	0°	6°	0°	6°

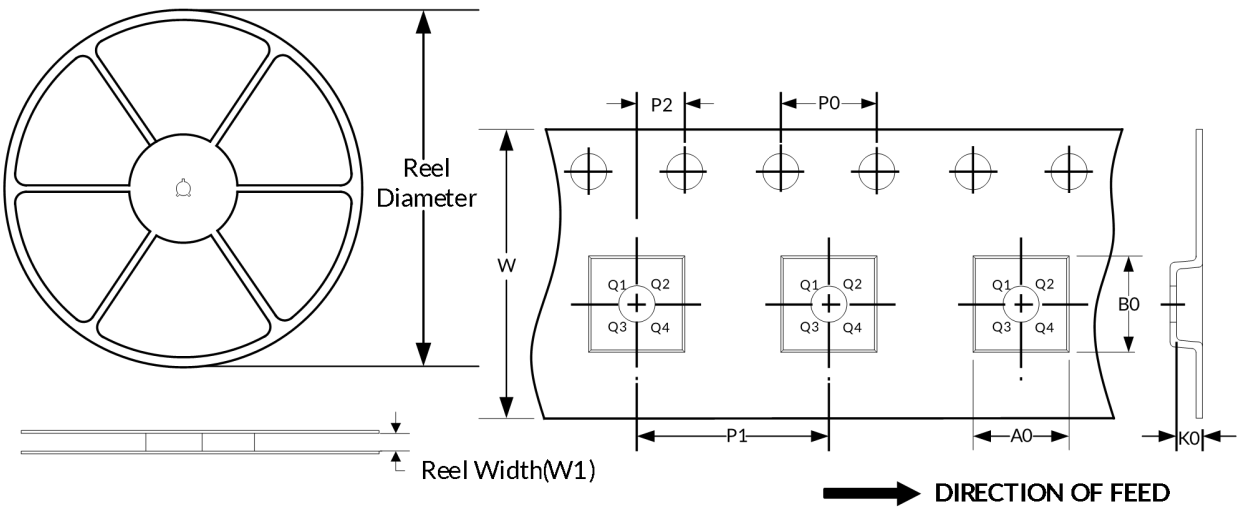
笔记:

1. 每边最大凸起部分 (0.15mm) 的塑料或金属凸起部分不包含在内。
2. BSC (中心间基本间距), “基本”间距是标称间距。
3. 本图纸如有更改, 恕不另行通知。

12 磁带和卷盘信息

卷轴尺寸

胶带尺寸



注：图片仅供参考，请以实物为准。

卷带式磁带的参数列表

封装类型	卷轴直径	卷筒宽度 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P0 (mm)	P1 (mm)	P2 (mm)	W (mm)	Pin1 Quadrant
MSOP8	13 英寸	12.4	5.20	3.30	1.50	4.0	8.0	2.0	12.0	Q1

笔记：

1. 所有尺寸均为标称尺寸。
2. 每边最大凸起部分（0.15mm）不包括在内。