无锡泰连芯科技有限公司

TLX1432
双通道、16 位、1MSPS、同步采样
模数转换器

2025 年 12 月

双通道、 16 位、1MSPS、同步采样模数转换器

1 特性

- **双通道同步采样**
- **支持全差分输入**
- **吞吐量：1MSPS**
- **出色的直流性能：**
  – 16 位丢码率 (NMC) 差分非线性 (DNL)，±1.7 最低有效位 (LSB)，典型积分非线性(INL)
- **出色的交流性能：**
  – 92.5dB 信噪比 (SNR)，-98dB 总谐波失真 (THD)
- **双通道、可编程和经缓冲的 2.5V 内部基准电压**
- **在 -55°C 至 125°C 的扩展工业温度范围内完全额定运行**

2 应用

- **电机控制： 使用编码器进行位置测量**
- **光纤网络： EDFA 增益控制环路**
- **保护中继器**
- **电源质量测量**
- **三相电源控制**
- **可编程逻辑控制器**

3 概述

TLX1432 是一款 16 位双通道高速同步采样模数转换器（ADC），支持全差分模拟输入。 该器件包含两个可独立编程的基准电压源，可用于系统级的增益校准。并且配有一个可在宽电源供电范围内运行的灵活串行接口，从而轻松实现与多种主机控制器的通信。该器件支持两种低功耗模式，可针对给定输出优化功耗。该器件在扩展工业温度范围（-55°C 至 + 125°C）内完全额定运行，并且采用 TSSOP16 封装。

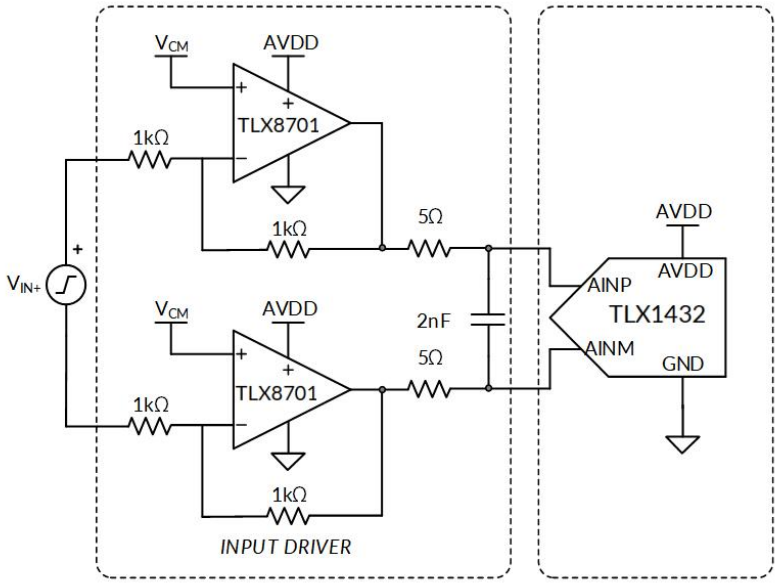
质量等级：军温级&企军标

器件信息 (1)

型号	封装	封装尺寸 (标称值)
TLX1432	TSSOP16	5.00 mm × 4.40 mm

(1) 详细的订单型号说明，请参考数据表后的封装选项部分。

典型应用图



目录

1 特性 2
2 应用 2
3 概述 2
4 修订历史 4
5 封装和订单说明[(1)] 5
6 引脚定义和功能 6
7 规格 7
7.1 绝对最大额定参数 7
7.2 ESD 等级 7
7.3 推荐工作条件 7
7.4 典型电气参数 8
7.5 时序要求：接口模式[(1)] 11
7.6 时序特性：串行接口 12
7.7 典型参数曲线 14
8 详细说明 19
8.1 概览 19
8.2 功能框图 19
8.3 特性说明 20
8.3.1 基准 20
8.3.2 模拟输入 21
8.3.3 传递函数 23
8.4 器件功能模式 24
8.5 寄存器映射与串行接口 24
8.5.1 串行接口 24
8.5.2 写入用户可编程寄存器 24
8.5.3 数据读取操作 28
8.5.4 低功耗模式 32
9 应用与设计 34
9.1 应用信息 34
9.1.1 输入放大器选择 34
9.1.2 抗混叠滤波器 35
9.2 典型应用 36
9.2.1 实现全吞吐量下输入信号最大 SINAD 的 DAQ 电路 36
10 电源建议 38
11 PCB 版图设计 39
11.1 PCB 布局设计注意事项 39
11.2 PCB 布局示意图 39
12 封装规格尺寸 40
13 包装规格尺寸 41

4 修订历史

注意: 更新前的版本页码可能与当前版本不同。

版本	更新日期	变更项目
A.0	2025/12/04	初始版

5 封装和订单说明 (1)

订单型号	工作温度(°C)	封装类型	丝印 (2)	MSL(3)	质量等级
JTLX1432XTSS16	-55°C ~+125°C	TSSOP16	TLX1432	MSL1	企军标
JTLX1432XTSS16(W)	-55°C ~+125°C	TSSOP16	TLX1432	MSL1	军温级
TLX1432XTSS16	-40°C ~+125°C	TSSOP16	TLX1432	MSL1	工业级

注意:

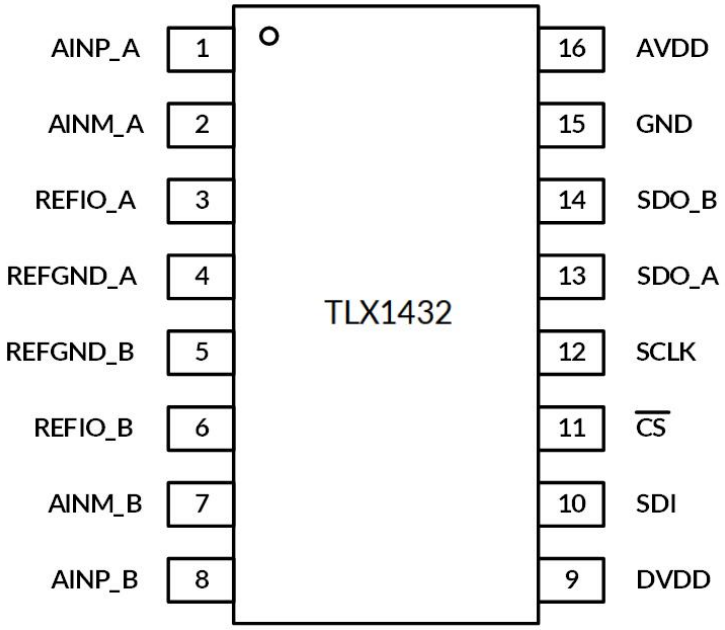
(1) 该信息是当前版本的最新数据，这些数据如有更新，将及时更新到我司官网，恕不另行通知。

(2) 丝印可能会有其他附加的代码，用于产品的内控追溯（包括数据代码和供应商代码）或者标志产地。

(3) TLXIC 装配厂使用符合 JEDEC 工业标准 J-STD-20F 的通用预处理设置对 MSL 级别进行分类。如果您的最终应用对预处理设置非常关键，或者您有特殊要求，请与 TLXIC 技术支持联系。

6 引脚定义和功能

顶视图



TSSOP16

引脚功能

引脚		I/O	功能说明
引脚名称	NO.		
	TSSOP16		
AINP_A	1	模拟输入	通道 A 正模拟输入
AINM_A	2	模拟输入	通道 A 负模拟输入
REFIO_A	3	模拟输入/输出	通道 A 基准电压输入/输出
REFGND_A	4	电源	参考地电位 A
REFGND_B	5	电源	参考地电位 B
REFIO_B	6	模拟输入/输出	通道 B 基准电压输入/输出
AINM_B	7	模拟输入	通道 B 负模拟输入
AINP_B	8	模拟输入	通道 B 正模拟输入
DVDD	9	数字输入/输出电源	数字输入/输出电源
SDI	10	数字输入	串行通信数据输入
$\overline{CS}$	11	数字输入	片选信号；低电平有效
SCLK	12	数字输入	时钟信号用于串行通信
SDO_A	13	数字输出	通道 A 与通道 B 串行通信数据输出
SDO_B	14	数字输出	通道 B 串行通信数据输出
GND	15	电源	数字地
AVDD	16	电源	ADC 工作电源电压

7 规格

7.1 绝对最大额定参数

在自然通风温度范围内（除非特别注明）(1)

		最小值	最大值	单位
AVDD 至 GND		–0.3	6	V
DVDD 至 GND		-0.3	AVDD + 0.3	V
基于 GND 的模拟电压 (AINP_x 和 AINM_x)		GND – 0.3	AVDD + 0.3	V
基于 GND 的数字输入电压		GND – 0.3	DVDD + 0.3	V
地电压差 |REFGND_x-GND|			0.3	V
除电源引脚外的任一引脚的输入电流			±10	mA
结至环境热阻, θ_{JA} (2)	TSSOP16		135	°C/W
最大结温, T_J (3)			150	°C
储存温度范围, T_{stg}		–65	150	°C

(1) 这里只表示产品在测试条件下得到的极限值，并不表示产品在这些条件下或者其他超出规格限定的参数条件下能够正常工作，超过上述绝对最大额定值所规定的范围将对产品造成损害，无法预测产品在上述条件外的工作状态。如果产品长期在上述条件外的条件下工作，可能影响产品性能。

(2) 封装热阻抗根据 JESD-51 标准计算。

(3) 最大功耗是有关 $T_{J(MAX)}$、$R_{\theta JA}$ 和 T_A 的函数。任意环境温度下的最大功耗为 $P_D = (T_{J(MAX)} - T_A) / R_{\theta JA}$ 。适用于直接焊接到 PCB 上的封装。

7.2 ESD 等级

以下 ESD 信息仅针对在防静电保护区内操作的敏感设备。

		标称值	单位
$V_{(ESD)}$ 静电放电	人体模型 (HBM)，符合 EIA/JESD22-a114 规范	±2000	V
	带电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002-2022 规范	±500	V

ESD 灵敏性警告

ESD 损坏的范围可以从细微的性能下降到完全的设备失效。精密集成电路可能更容易受到损坏，因为非常小的参数变化有可能导致器件不符合其公布的参数规格。

7.3 推荐工作条件

在自然通风温度范围内（除非特别注明）

		最小值	标称值	最大值	单位
AVDD	模拟电源电压		5		V
DVDD	数字电源电压		3.3		V

7.4 典型电气参数

所有最小和最大规格均在 T_A = –55°C 至 125°C, AVDD = 5 V, DVDD = 3.3 V, V_{REF_A} = V_{REF_B} = V_{REF} = 2.5 V (内部) 和 f_{DATA} = 1MSPS，16 时钟周期模式，除非特别注明。

典型值在 T_A = 25°C, AVDD = 5 V 和 DVDD = 3.3 V。

参数		测试条件	最小值	典型值	最大值	单位
分辨率						
	分辨率		16			Bits
直流精度 (1)						
NMC	无失码	16 时钟周期模式	16			Bits
INL	积分非线性	16 时钟周期模式		±1.7		LSB
DNL	差分非线性	16 时钟周期模式		±0.7		LSB
E_{IO}	输入失调误差			±0.5		mV
	E_{IO} 匹配	ADC_A to ADC_B		±0.5		mV
dE_{IO}/dT	输入失调温漂			1		µV/°C
E_G	增益误差	基于 REFIO_x 电压		±0.01		%FS
	E_G 匹配	ADC_A to ADC_B		±0.01		%FS
dE_G/dT	增益误差温漂	基于 REFIO_x 电压		1		ppm/°C
CMRR	共模抑制比	Both ADCs, dc to 20 kHz		85		dB
交流精度 (2)						
SINAD	信噪失真比	V_{REF} = 2.5 V, V_{REF} 输入范围, 16 时钟周期模式		89		dB
		V_{REF} = 2.5 V, 2 × V_{REF} 输入范围, 16 时钟周期模式		90		dB
		V_{REF} = 5 V (外部), 16 时钟周期模式, V_{REF} 输入范围 (外部)		92		dB
SNR	信噪比	V_{REF} = 2.5 V, V_{REF} 输入范围, 16 时钟周期模式		90		dB
		V_{REF} = 2.5 V, 2 × V_{REF} 输入范围, 16 时钟周期模式		91		dB
		V_{REF} = 5 V (外部), 16 时钟周期模式, V_{REF} 输入范围 (外部)		92.5		dB
THD	总谐波失真	V_{REF} = 2.5 V, V_{REF} 输入范围, 16 时钟周期模式		-98		dB
		V_{REF} = 2.5 V, 2 × V_{REF} 输入范围, 16 时钟周期模式		-97		dB
		V_{REF} = 5 V (外部), 16 时钟周期模式, V_{REF} 输入范围 (外部)		-98		dB
SFDR	无杂散动态范围	V_{REF} = 2.5 V, V_{REF} 输入范围, 16 时钟周期模式		100		dB
		V_{REF} = 2.5 V, 2 × V_{REF} 输入范围, 16 时钟周期模式		100		dB
		V_{REF} = 5 V (外部), 16 时钟周期模式, V_{REF} 输入范围 (外部)		100		dB
ISOXT	ADC 间隔离	f_{IN}=2kHz, DC=V_{REF}/2		-120		dB

(1) LSB = 最低有效位。

(2) 所有交流参数均在-0.5 dBFS 和 2 kHz 输入频率下进行测试。

典型电气参数（续）

所有最小和最大规格均在 T_A = –55°C 至 125°C, AVDD = 5 V, DVDD = 3.3 V, V_{REF_A} = V_{REF_B} = V_{REF} = 2.5 V (内部) 和 f_{DATA} = 1MSPS，16 时钟周期模式，除非特别注明。

典型值在 T_A = 25°C, AVDD = 5 V 和 DVDD = 3.3 V。

参数		测试条件	最小值	典型值	最大值	单位
模拟输入						
FSR	满量程输入范围 (3) (AINP_x – AINM_x)	V_{REF} 范围	–V_{REF}		V_{REF}	V
		2 × V_{REF} 范围, AVDD ≥ 2 × V_{REF}	–2 × V_{REF}		2 × V_{REF}	V
V_{IN}	绝对输入电压 (AINP_x 和 AINM_x to GND)	V_{REF} 范围	0		V_{REF}	V
		2 × V_{REF} 范围, AVDD ≥ 2 × V_{REF}	0		2 × V_{REF}	V
V_{CM}	共模电压范围 (AINP_x + AINM_x) / 2	V_{REF} 范围	(V_{REF} / 2) – 0.1	V_{REF} / 2	(V_{REF} / 2) + 0.1	V
		2 × V_{REF} 范围	V_{REF} – 0.1	V_{REF}	V_{REF} + 0.1	V
C_i	输入电容	采样模式下		40		pF
		保持模式下		4		pF
$I_{lkg(i)}$	输入漏电流			±0.1		µA
内部电压基准						
V_{REFOUT}	基准输出电压	REFDAC_x = 1FFh, at 25°C		2.5		V
$V_{REF\text{-}match}$	V_{REF_A} 至 V_{REF_B} 匹配	REFDAC_x = 1FFh, at 25°C		1.8		mV
	REFDAC_x 分辨率 (4)			1.22		mV
dV_{REFOUT}/dT	基准电压温漂	REFDAC_x = 1FFh		5		ppm/°C
dV_{REFOUT}/dt	长期稳定性	1000 小时		250		ppm
R_O	内部基准输出阻抗			1		Ω
I_{REFOUT}	基准输出直流电流			2		mA
C_{REFOUT}	基准输出电容			10		µF
t_{REFON}	基准输出建立时间	For C_{REF} = 10 µF		8		ms

(3) 理想输入跨度，不包括增益或失调误差。

(4) 详情请参阅基准部分。

典型电气参数（续）

所有最小和最大规格均在 T_A = –55°C 至 125°C, AVDD = 5 V, DVDD = 3.3 V, V_{REF_A} = V_{REF_B} = V_{REF} = 2.5 V (内部) 和 f_{DATA} = 1MSPS，16 时钟周期模式，除非特别注明。

典型值在 T_A = 25°C, AVDD = 5 V 和 DVDD = 3.3 V。

参数		测试条件		最小值	典型值	最大值	单位
电压基准输入							
V_{REF}	基准电压（输入）	V_{REF} 范围		2.4		AVDD	V
		2 × V_{REF} 范围		2.4		AVDD / 2	V
I_{REF}	平均基准输入电流	每 ADC			500		µA
C_{REF}	外部陶瓷基准电容				10		µF
$I_{lkg(dc)}$	直流漏电流				±0.1		µA
采样动态							
t_A	孔径延迟				10		ns
	t_A 匹配	ADC_A to ADC_B			50		ps
t_{AJIT}	孔径抖动				50		ps
数字输入 (5)							
V_{IH}	高电平输入电压	DVDD > 2.3 V		0.7 DVDD			V
		DVDD ≤ 2.3 V		0.8 DVDD			V
V_{IL}	低电平输入电压	DVDD > 2.3 V				0.3 DVDD	V
		DVDD ≤ 2.3 V				0.2 DVDD	V
	输入电流				±10		nA
数字输出 (5)							
V_{OH}	高电平输出电压	I_{OH} = 500µA 拉电流		0.8 DVDD		DVDD	V
V_{OL}	低电平输出电压	I_{OH} = 500µA 灌电流		0		0.2 DVDD	V
电源							
AVDD	模拟电源电压 (AVDD to GND)	±V_{REF} 范围	内部基准	4.5	5	5.5	V
			外部基准: V_{EXT_REF} < 4.5 V	4.5	5	5.5	V
			外部基准: V_{EXT_REF} > 4.5 V	V_{EXT_REF}	5	5.5	V
		±2 × V_{REF} 范围	内部基准	5	5	5.5	V
			外部基准	2 × V_{REF_EXT}	5	5.5	V
DVDD	数字电源电压 (DVDD to GND)			1.62		5.5	V

(5) 设计规定；未进行生产测试。

典型电气参数（续）

所有最小和最大规格均在 T_A = –55°C 至 125°C, AVDD = 5 V, DVDD = 3.3 V, V_{REF_A} = V_{REF_B} = V_{REF} = 2.5 V (内部) 和 f_{DATA} = 1MSPS，16 时钟周期模式，除非特别注明。

典型值在 T_A = 25°C, AVDD = 5 V 和 DVDD = 3.3 V。

参数		测试条件	最小值	典型值	最大值	单位
AIDD	模拟电源电流	AVDD = 5 V, 最大吞吐量, 内部基准		10		mA
		AVDD = 5 V, 最大吞吐量, 外部基准 (6)		8.5		mA
		AVDD = 5 V, 无转换, 内部基准		7		mA
		AVDD = 5 V, 无转换, 外部基准 (6)		5.5		mA
		AVDD = 5 V, 待机模式, 内部基准		2		mA
		AVDD = 5 V, 待机模式, 外部基准 (6)		0.5		mA
		断电模式		3		µA
DIDD	数字电源电流	DVDD = 3.3 V, C_{LOAD} = 20 pF, 最大吞吐量		1.5		mA
		DVDD = 5 V, C_{LOAD} = 20 pF, 最大吞吐量		2		mA
P_D	功耗 (正常工作)	AVDD = 5 V, 最大吞吐量, 内部基准		50		mW

(6) 当内部基准电源关闭时，CFR.B6 = 0。

7.5 时序要求：接口模式 (1)

参数		相关附图
t_{CLK}	时钟周期	图 1, 图 30, 图 31, 图 32, 图 33
t_{ACQ}	采样时间	图 30, 图 31, 图 32, 图 33
t_{CONV}	转换时间	图 30, 图 31, 图 32, 图 33

(1) 这些参数专用于接口模式操作。详情请参阅转换数据读取部分。

7.6 时序特性：串行接口

参数		测试条件	最小值	典型值	最大值	单位
时序要求						
t_{PH_CK}	时钟高电平时间		0.4		0.6	t_{CLK}
t_{PL_CK}	时钟低电平时间		0.4		0.6	t_{CLK}
f_{CLK}	时钟频率				$1/t_{CLK}$	MHz
t_{PH_CS}	$\overline{CS}$ 高电平时间		20	40		ns
t_{ACQ}	采样时间			$CLK_{CNT} \times t_{CLK} - t_{CONV}$		ns
t_{CONV}	转换时间				640	ns
t_{SU_CSCK}	建立时间: $\overline{CS}$ 下降沿至 SCLK 下降沿		15			ns
t_{D_CKCS}	延迟时间: 最后一个 SCLK 下降沿至 $\overline{CS}$ 上升沿		15			ns
t_{SU_CKDI}	建立时间: DIN 数据有效至 SCLK 下降沿		5			ns
t_{HT_CKDI}	保持时间: SCLK 下降沿至 (前一个) DIN 数据有效		5			ns
t_{PU_STDBY}	从待机模式启动时间		1			µs
t_{PU_SPD}	从 SPD 模式启动时间	带内部基准源	2			ms
		带外部基准源	1			µs
时序规格						
$t_{THROUGHPUT}$	吞吐时间		1			µs
$f_{THROUGHPUT}$	吞吐量				$1 / t_{THROUGHPUT}$	kSPS
t_{DV_CSDO}	延迟时间: $\overline{CS}$ 下降沿至数据使能				20	ns
t_{DZ_CSDO}	延迟时间: $\overline{CS}$ 上升沿至数据进入三态				15	ns
t_{D_CKDO}	延迟时间: SCLK 下降沿至下一个数据有效				15	ns

图 1 展示了该器件与数字主机控制器之间串行接口的详细信息。

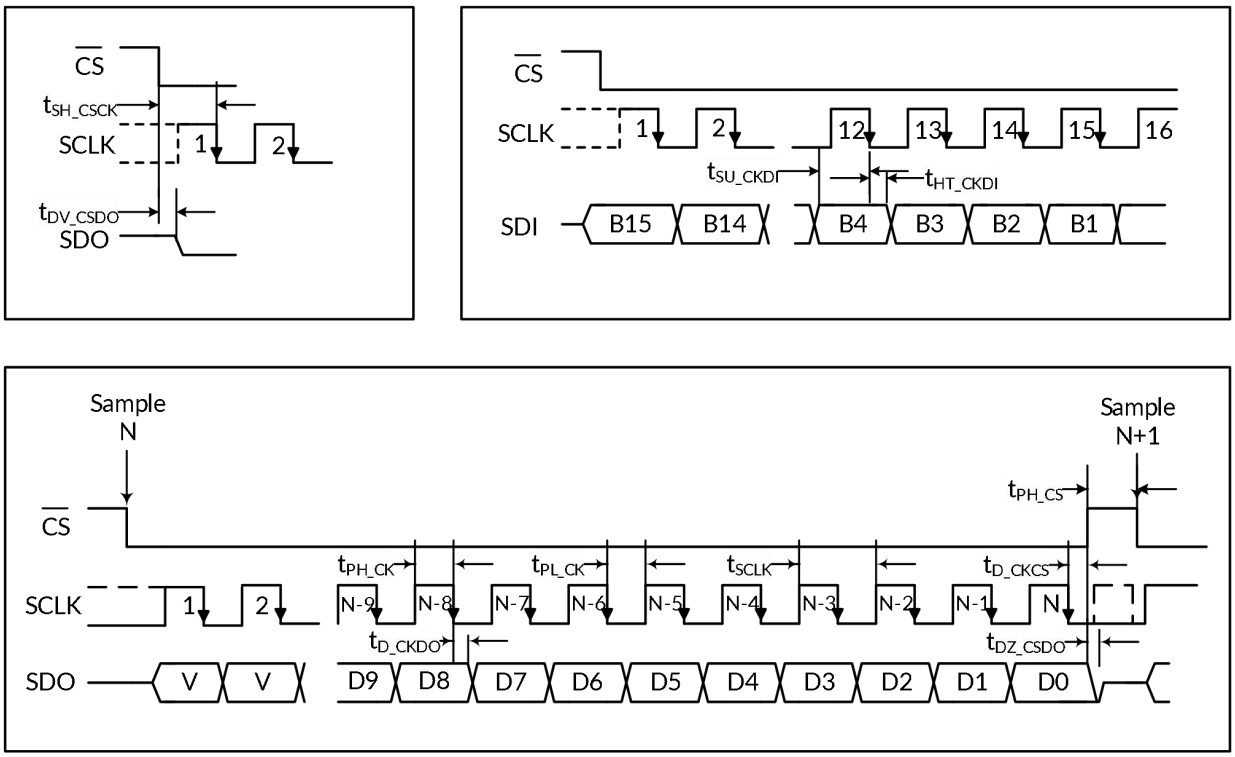


图 1. 串行接口时序图

7.7 典型参数曲线

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

测试条件为：T_A = 25°C, AVDD = 5 V, DVDD = 3.3 V, V_{REF} = 2.5 V (内部), 和 f_{DATA} = 1MSPS, 16 时钟周期模式, 除非特别注明。

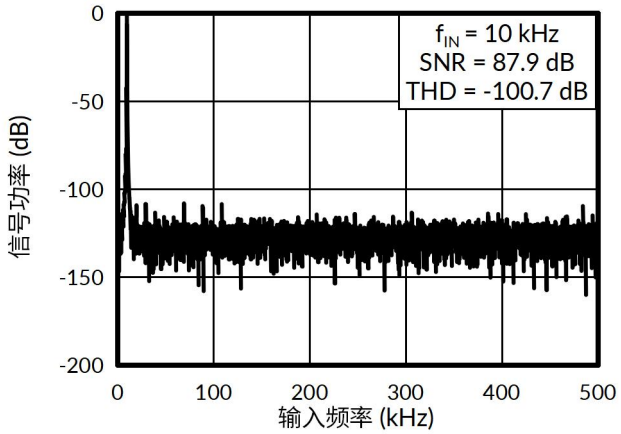


图 2. 典型 FFT

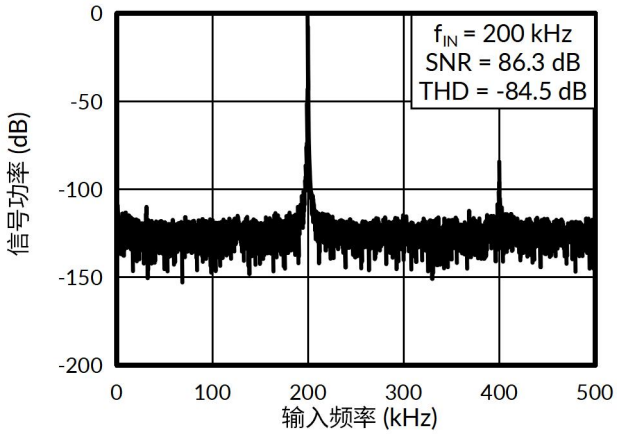


图 3. 典型 FFT

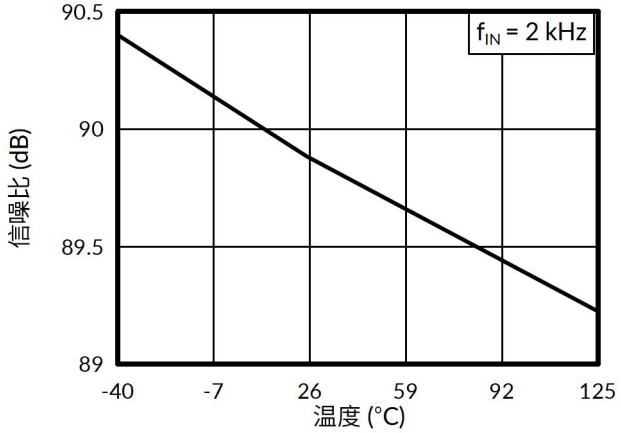


图 4. SNR 与温度的关系

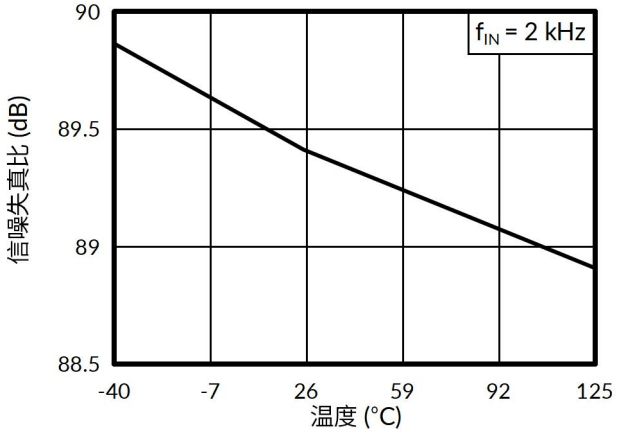


图 5. SINAD 与温度的关系

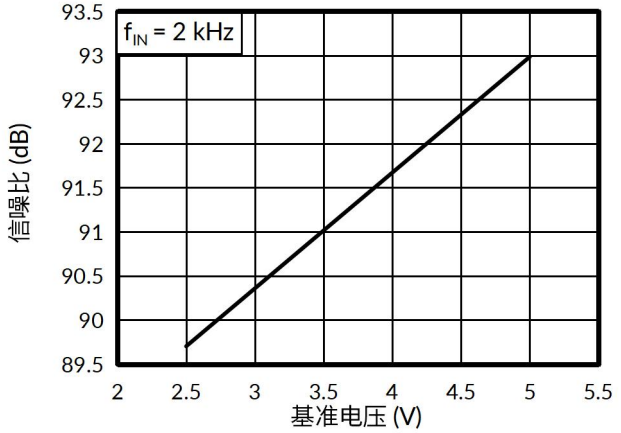


图 6. SNR 与基准电压的关系

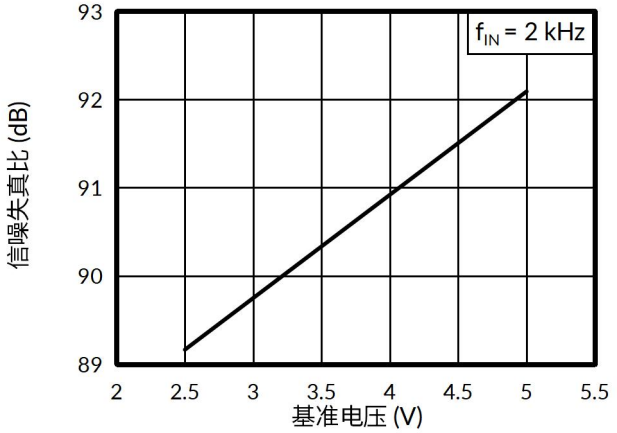


图 7. SINAD 与基准电压的关系

典型参数曲线（续）

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

测试条件为：T_A = 25°C, AVDD = 5 V, DVDD = 3.3 V, V_{REF} = 2.5 V (内部), 和 f_{DATA} = 1MSPS, 16 时钟周期模式, 除非特别注明。

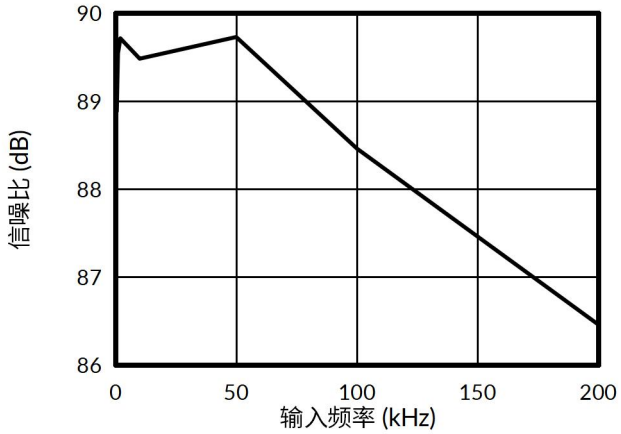


图 8. SNR 与输入频率的关系

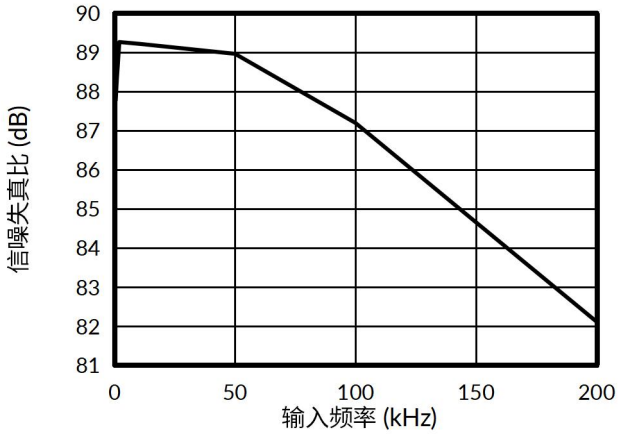


图 9. SINAD 与输入频率的关系

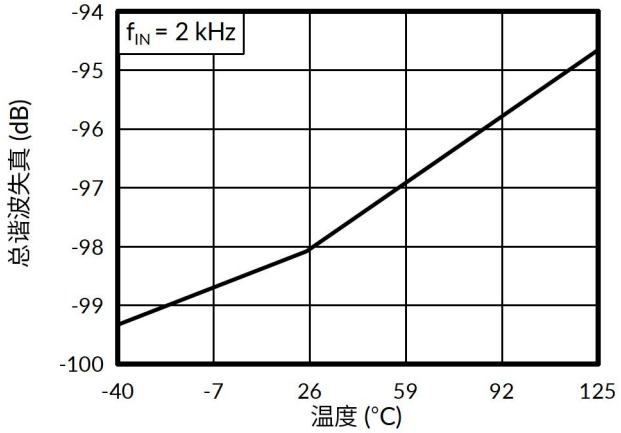


图 10. THD 与温度的关系

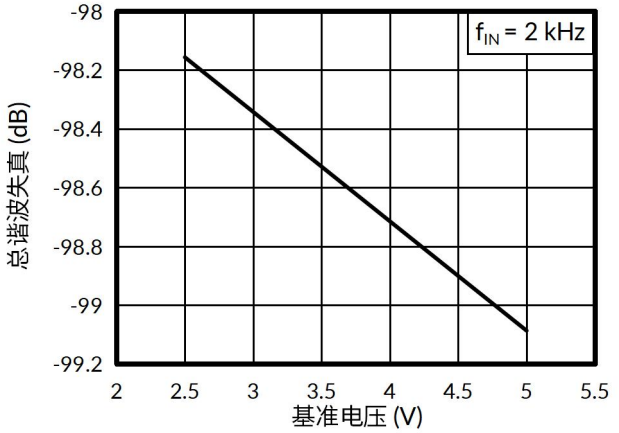


图 11. THD 与基准电压的关系

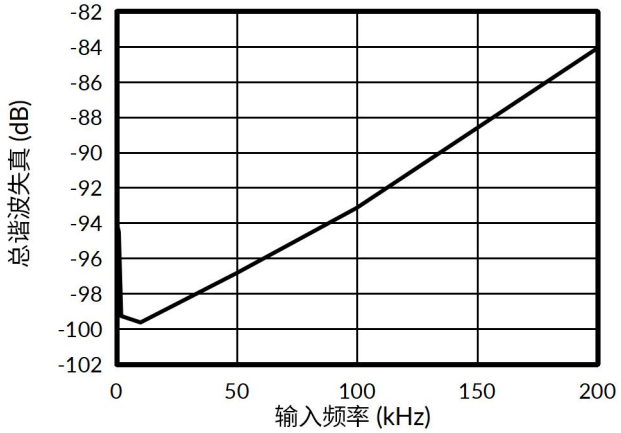


图 12. THD 与输入频率的关系

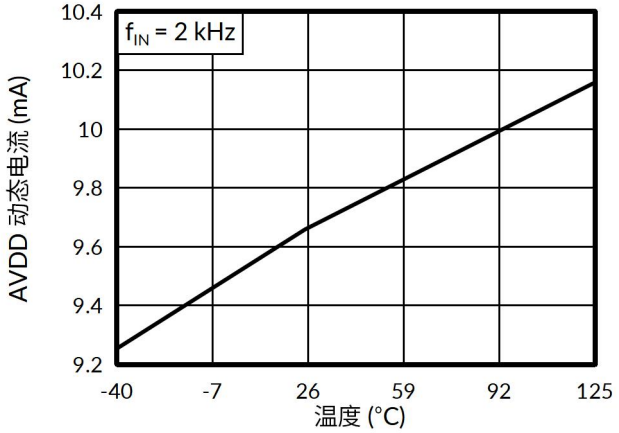


图 13. 模拟电源电流与温度的关系

典型参数曲线（续）

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

测试条件为：T_A = 25°C, AVDD = 5 V, DVDD = 3.3 V, V_{REF} = 2.5 V (内部), 和 f_{DATA} = 1MSPS, 16 时钟周期模式, 除非特别注明。

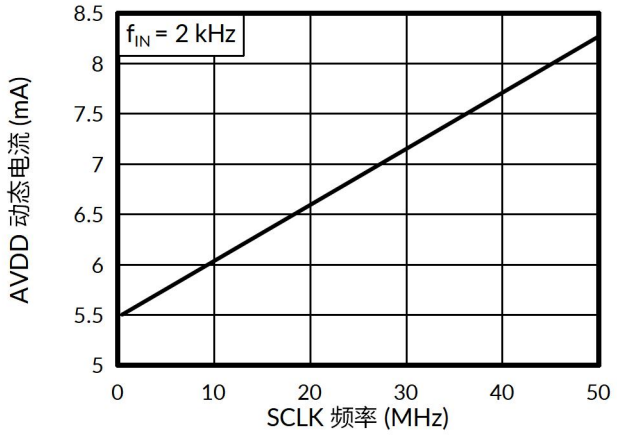


图 14. 模拟电源电流与 SCLK 频率的关系

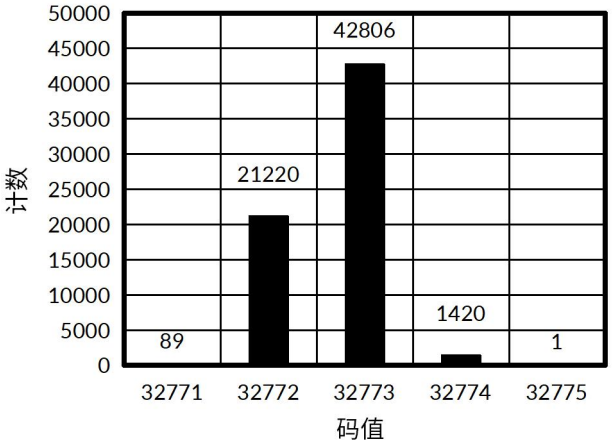


图 15. DC 直方图

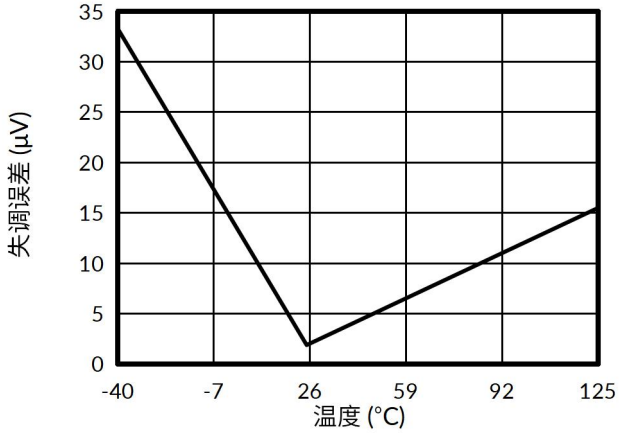


图 16. 失调误差与温度的关系

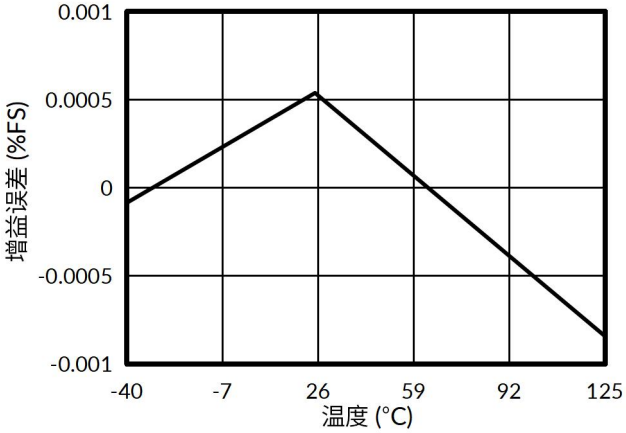


图 17. 增益误差与温度的关系

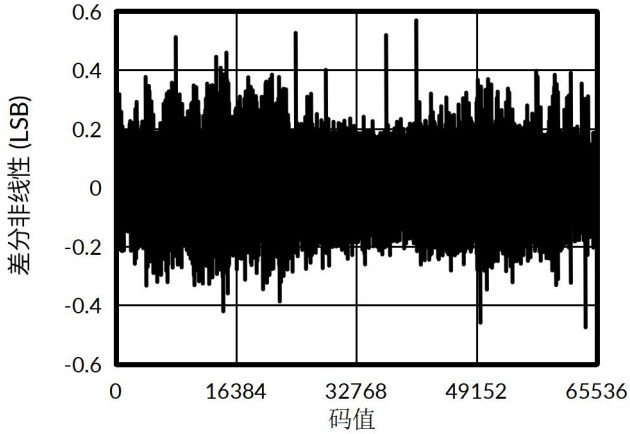


图 18. 典型 DNL

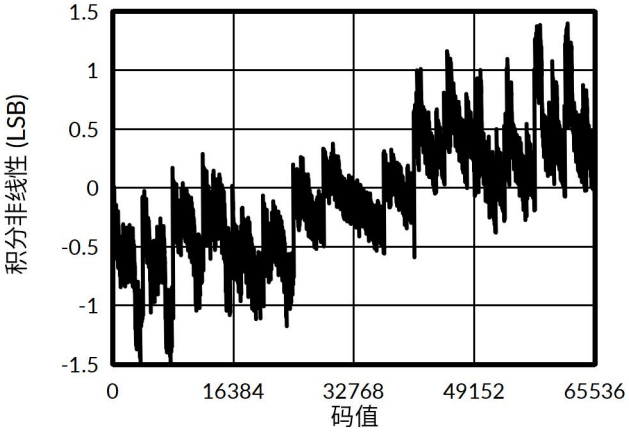


图 19. 典型 INL

典型参数曲线（续）

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

测试条件为：T_A = 25°C, AVDD = 5 V, DVDD = 3.3 V, V_{REF} = 2.5 V (内部), 和 f_{DATA} = 1MSPS, 16 时钟周期模式, 除非特别注明。

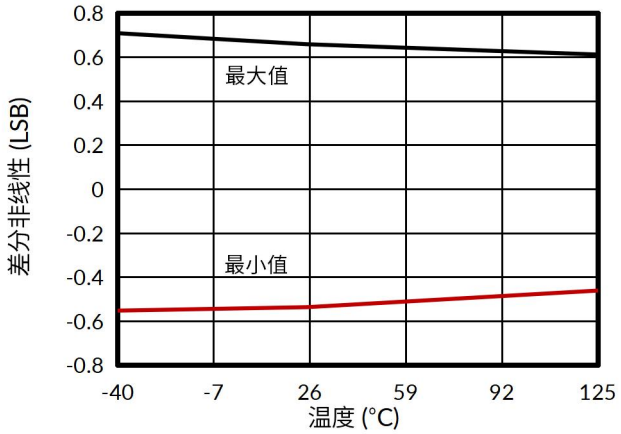


图 20. DNL 与温度的关系

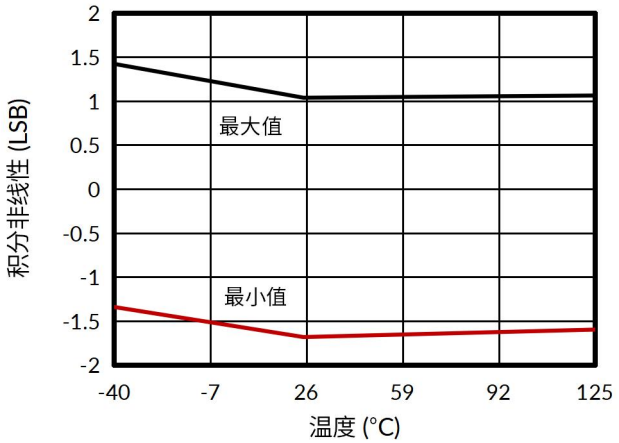


图 21. INL 与温度的关系

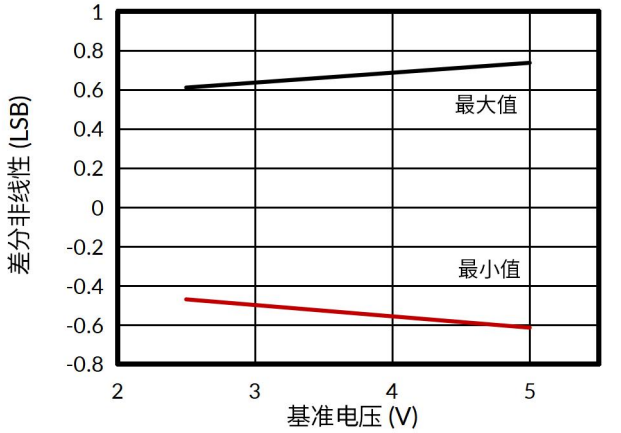


图 22. DNL 与基准电压的关系

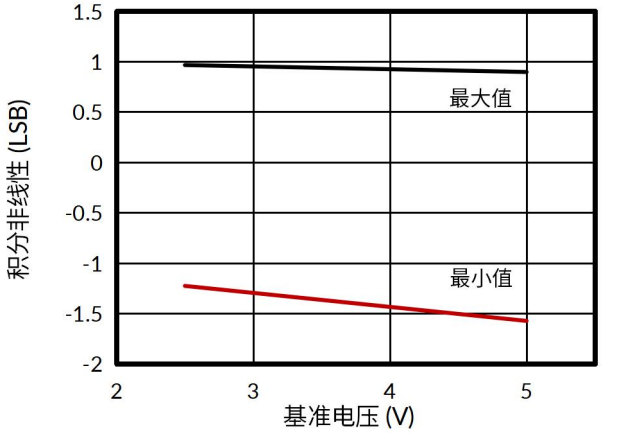


图 23. INL 与基准电压的关系

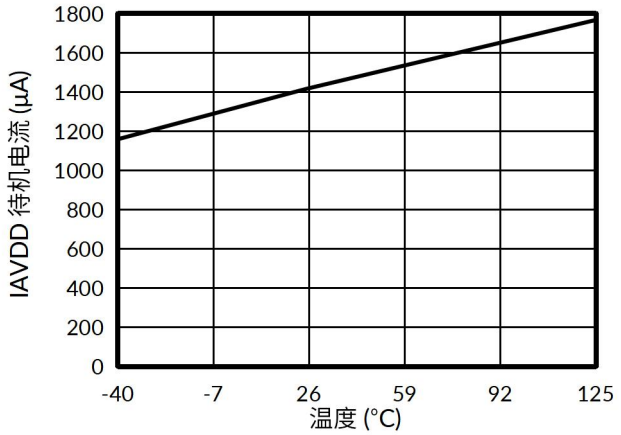


图 24. 待机电流与温度的关系

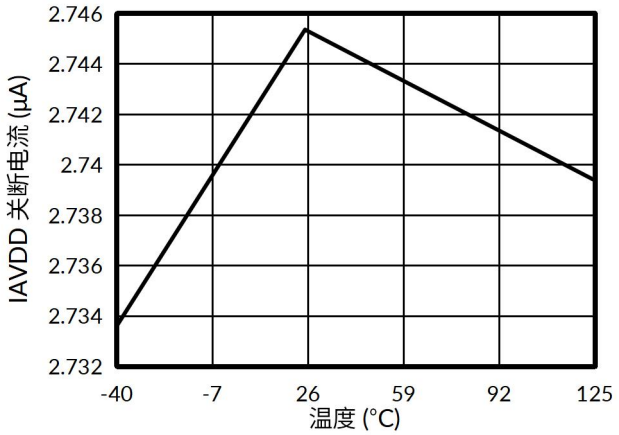


图 25. 关断电流与温度的关系

典型参数曲线（续）

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

测试条件为：T_A = 25°C, AVDD = 5 V, DVDD = 3.3 V, V_{REF} = 2.5 V (内部), 和 f_{DATA} = 1MSPS, 16 时钟周期模式, 除非特别注明。

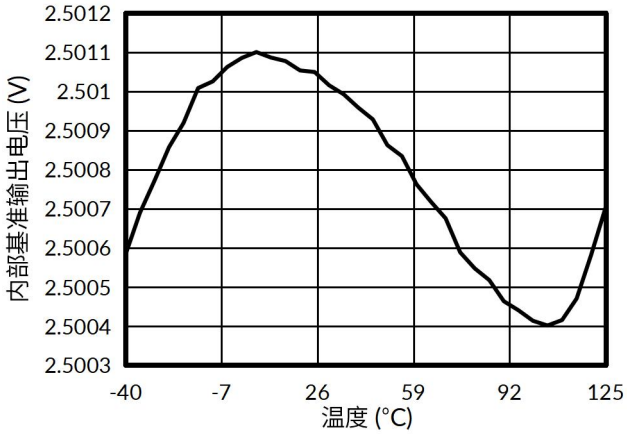


图 26. 内部基准输出电压与温度的关系

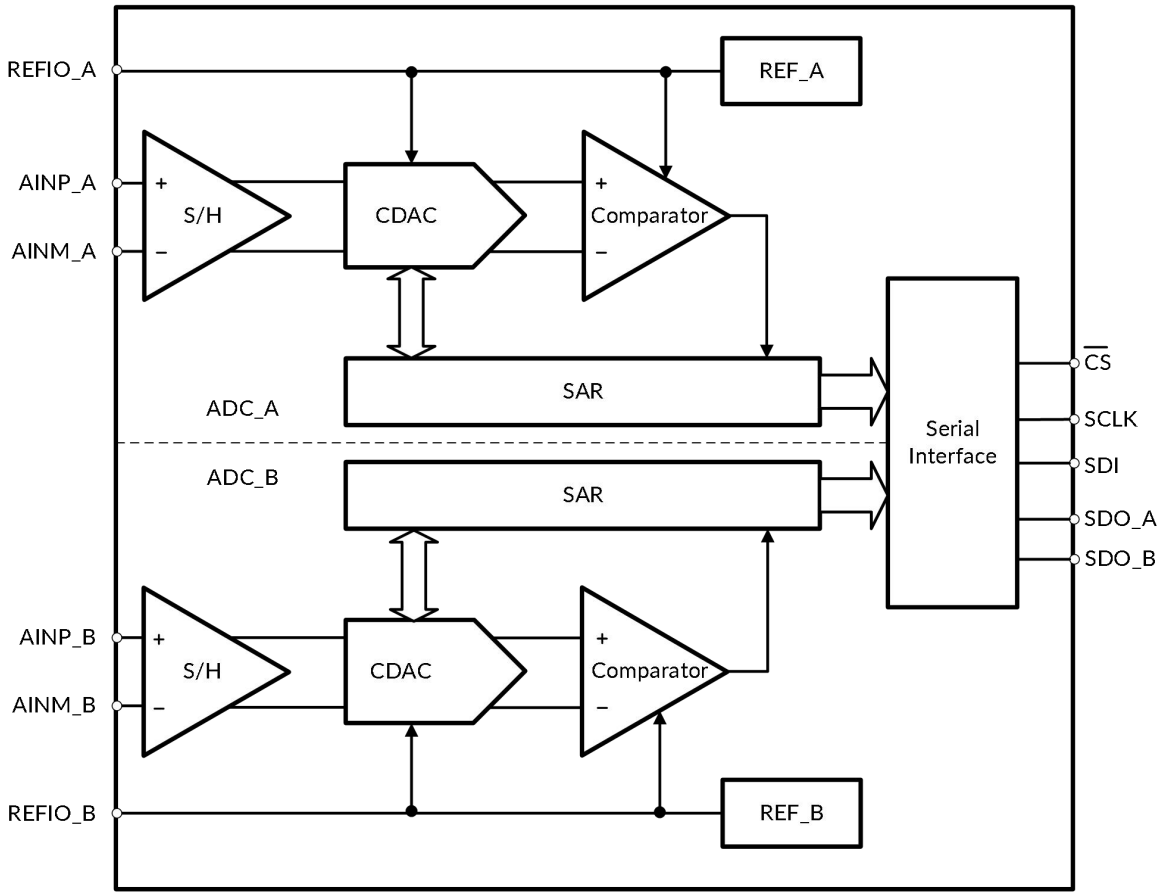
8 详细说明

8.1 概览

TLX1432 是一款 16 位双通道高速同步采样模数转换器（ADC），支持全差分输入信号，提供简单的串行接口与主控器通信，并可在宽范围的模拟和数字电源电压下工作。

该器件包含两个可独立编程的基准电压源，可用于系统级的增益校准。功能框图部分提供了该器件的结构示意图。

8.2 功能框图



8.3 特性说明

8.3.1 基准

该器件配备两个同步采样的模数转换器（ADC_A 和 ADC_B）。ADC_A 和 ADC_B 分别通过 REFIO_A 和 REFIO_B 引脚接入基准电压 V_{REF_A} 和 V_{REF_B}。REFIO_A 和 REFIO_B 引脚应分别通过 10μF 去耦电容与 REFGND_A 和 REFGND_B 引脚解耦。

如图 27 所示，该器件支持使用内部或外部基准源进行工作。基准电压源的选择通过配置寄存器第 6 位（CFR.B6）设定，需注意该位为 ADC_A 和 ADC_B 共用。

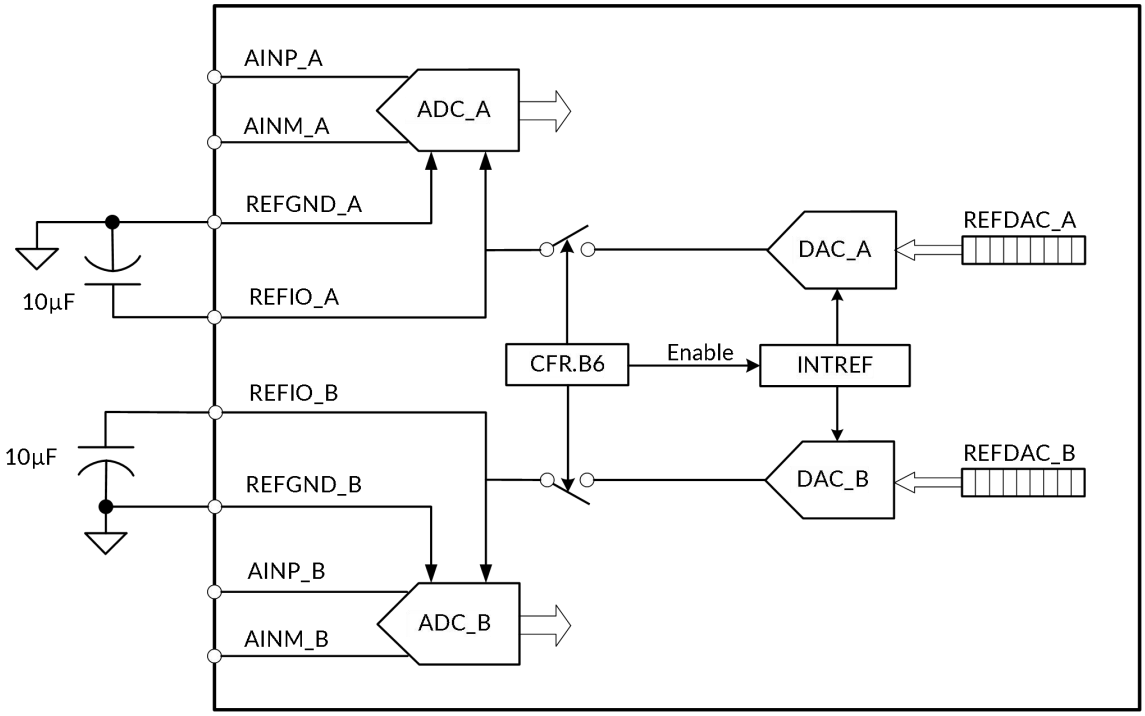


图 27. 基准源配置和连接

当 CFR.B6 为 0 时，器件关闭内部基准源（INTREF），ADC_A 和 ADC_B 分别通过用户在 REFIO_A 和 REFIO_B 引脚上提供的外部基准电压运行。

当 CFR.B6 为 1 时，器件启用内部基准源（INTREF），并通过 DAC_A 和 DAC_B 分别连接至 REFIO_A 和 REFIO_B。此时，用户可通过编程寄存器 REFDAC_A 和 REFDAC_B 独立调节 V_{REF_A} 和 V_{REF_B}。更多内容详见 REFDAC 寄存器（REFDAC_A 和 REFDAC_B）部分。

8.3.2 模拟输入

TLX1432 支持两个 ADC 通道的全差分模拟输入。这两个 ADC（ADC_A 和 ADC_B）同时对输入信号进行采样和转换：ADC_A 采样并转换（$V_{AINP_A} - V_{AINM_A}$），ADC_B 采样并转换（$V_{AINP_B} - V_{AINM_B}$）。

图 28a 和图 28b 分别展示了 ADC_A 与 ADC_B 模拟输入引脚的等效电路。串联电阻 R_S 表示导通状态下的采样开关电阻，C_{SAMPLE} 为器件采样电容（典型值为 40 pF）。

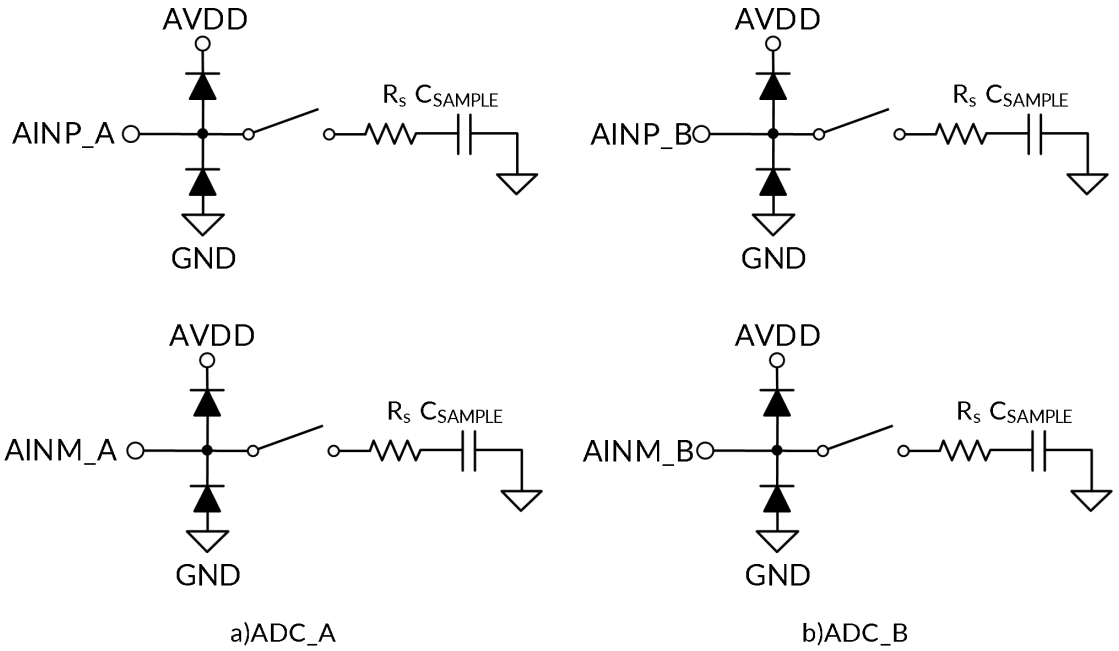


图 28. 模拟输入引脚的等效电路

8.3.2.1 模拟输入：满量程选择

该器件模拟输入端的满量程范围（FSR）可通过配置寄存器第 9 位（CFR.B9）进行编程设置，该位为两个模数转换器（ADC_A 和 ADC_B）共用。

FSR 的计算公式见式 1 和式 2：

$$\text{For CFR. B9} = 0, \text{FSR_ADC_A} = \pm V_{REF_A} \text{ and FSR_ADC_B} = \pm V_{REF_B} \quad (1)$$

$$\text{For CFR.B9} = 1, \text{FSR_ADC_A} = \pm 2 \times V_{REF_A} \text{ and FSR_ADC_B} = \pm 2 \times V_{REF_B} \quad (2)$$

其中：

- V_{REF_A} 和 V_{REF_B} 分别为 ADC_A 和 ADC_B 的基准电压（详见基准部分）。

通过合理配置 REFDAC_A 和 REFDAC_B 寄存器、CFR.B7 及 CFR.B9，可充分利用 ADC 的最大动态范围。

需注意：当设置 CFR.B9 为 1 时，需确保 ADC 模拟电源（AVDD）满足式 3 和式 4 的要求：

$$2 \times V_{REF_A} \leq \text{AVDD} \leq \text{AVDD(max)} \quad (3)$$

$$2 \times V_{REF_B} \leq \text{AVDD} \leq \text{AVDD(max)} \quad (4)$$

8.3.2.2 模拟输入：全差分配置

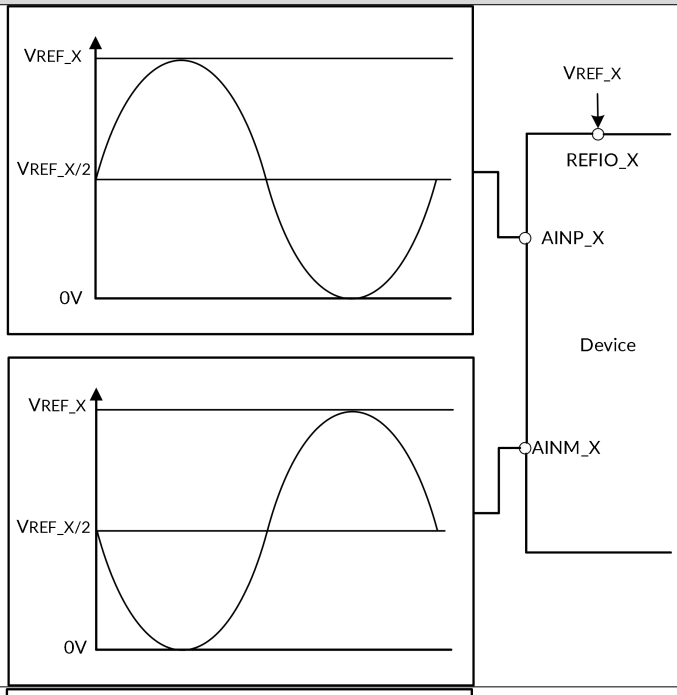
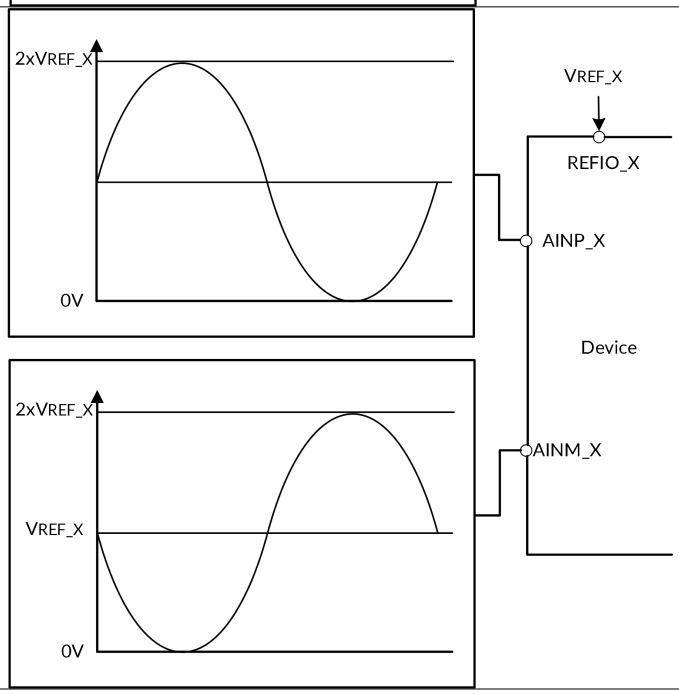
TLX1432 可支持全差分输入信号。公式 5 和公式 6 提供了 ADC_A 与 ADC_B 差分输入的共模电压。

$$VCM_A = FSR_ADC_A / 2 \quad (5)$$

$$VCM_B = FSR_ADC_B / 2 \quad (6)$$

该器件支持的各类输入配置如表 1 所示。

表 1. 输入配置

输入范围选择	AINM 选择	连接图
CFR.B9 = 0 (FSR_ADC_A = ±V_{REF_A}) (FSR_ADC_B = ±V_{REF_B})	$V_{CM_A} = \left(\frac{V_{REF_A}}{2}\right) \pm 0.1\ V$ $V_{CM_B} = \left(\frac{V_{REF_B}}{2}\right) \pm 0.1\ V$	
CFR.B9 = 1 (FSR_ADC_A = 2 x V_{REF_A}) (FSR_ADC_B = 2 x V_{REF_B})	V_{CM_A} = V_{REF_A} ± 0.1 V V_{CM_B} = V_{REF_B} ± 0.1 V	

8.3.3 传递函数

该器件输出采用二进制补码格式。全差分输入的器件分辨率通过公式 7 计算得出：

$$1\ \mathrm{LSB} = (2 \times \mathrm{FSR_ADC_x}) / (2^N) \tag{7}$$

其中：

- N = 16.
- FSR_ADC_x 表示模数转换器（ADC）的满量程输入范围（详见模拟输入部分）。

表 2 和表 3 展示了该器件的不同输入电压及其对应的输出码。

表 2. 标准二进制输出的传输特性（CFR.B4 = 0，默认值）

输入电压 (AINP_x – AINM_x), ±V_{REF} 范围	输入电压 (AINP_x – AINM_x), ±2 × V_{REF} 范围	输入电压	输出码（十六进制）	
			码值	
< – V_{REF_x}	< –2 × V_{REF_x}	NFSC	NFSC	0000
0	0	0	PLC	7FFF
> V_{REF_x}	> 2 × V_{REF_x}	PFSC	PFSC	FFFF

表 3. 二进制补码输出的传输特性 (CFR.B4 = 1)

输入电压 (AINP_x – AINM_x), ±V_{REF} 范围	输入电压 (AINP_x – AINM_x), ±2 × V_{REF} 范围	输入电压	输出码（十六进制）	
			码值	
< – V_{REF_x}	< –2 × V_{REF_x}	NFSC	NFSC	8000
–V_{REF_x} + 1 LSB	–2 × V_{REF_x} + 1 LSB	NFSR	NFSC + 1	8001
–1 LSB	–1 LSB	–1 LSB	MC	FFFF
0	0	0	PLC	0000
> V_{REF_x} – 1 LSB	> 2 × V_{REF_x} – 1 LSB	PFSR – 1 LSB	PFSC	7FFF

图 29 展示了该器件的理想器件传输特性。

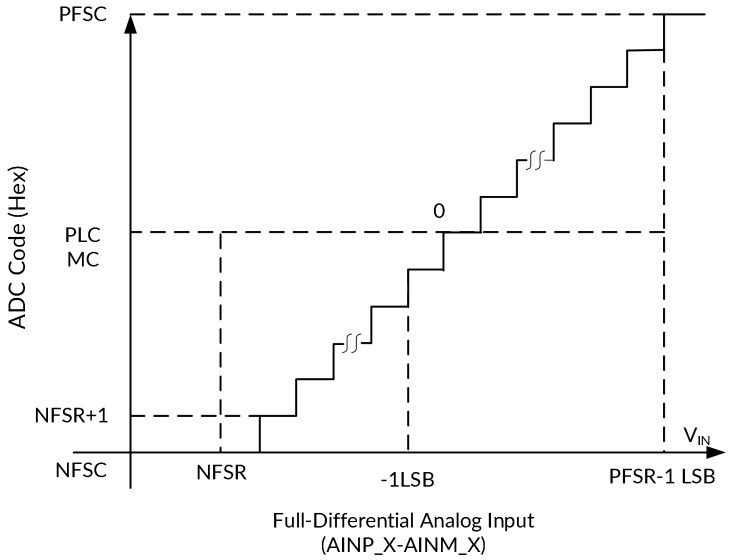


图 29. 全差分模拟输入的理想传输特性

8.4 器件功能模式

该器件提供三个用户可编程寄存器：配置寄存器（CFR）、REFDAC_A 寄存器和 REFDAC_B 寄存器。这些寄存器支持写入操作（详见写入用户可编程寄存器部分）和读回操作（详见读取用户可编程寄存器部分），用户可通过其自定义 ADC 行为以满足特定应用需求。

该器件支持三种接口模式（详见转换数据读取部分）和两种低功耗模式（详见低功耗模式部分）。

8.5 寄存器映射与串行接口

8.5.1 串行接口

该器件使用串行时钟（SCLK）同步器件内外的数据传输。

$\overline{CS}$ 信号定义一个转换和串行传输帧。帧起始于 $\overline{CS}$ 信号的下降沿，结束于其上升沿。在帧的起始与结束之间，必须提供至少 N 个 SCLK 下降沿以验证读或写操作。如表 4 所示，N 值取决于读取转换结果所用的接口模式。当提供 N 个 SCLK 下降沿时，帧中尝试的写入操作将被验证，内部用户可编程寄存器将在后续 $\overline{CS}$ 上升沿时更新。该 $\overline{CS}$ 上升沿同时标志帧的结束。

表 4. 有效写入操作的 SCLK 下降沿

接口模式	验证写入操作所需的最小 SCLK 下降沿数 N
32 时钟周期, 双 SDO 模式（默认）。详见 32 时钟周期, 双 SDO 模式部分。	32
32 时钟周期, 单 SDO 模式。详见 32 时钟周期, 单 SDO 模式部分。	48
16 时钟周期, 双 SDO 模式。详见 16 时钟周期, 双 SDO 模式部分。	16

8.5.2 写入用户可编程寄存器

该器件包含三个用户可编程寄存器：配置寄存器（CFR）、REFDAC_A 寄存器和 REFDAC_B 寄存器。这些寄存器可通过器件的 SDI 引脚进行写入操作。SDI 上的前 16 位数据会在前 16 个 SCLK 的下降沿被锁存到设备中。但需注意，新配置仅在读写操作验证通过后生效。若无需更新这些寄存器，则需在对应帧周期内保持 SDI 引脚为低电平。

前四位 SDI 数据位（B[15:12]）用于确定操作类型（即读写操作或无操作）、目标寄存器地址，以及后续 12 位 SDI 数据位（B[11:0]）的功能。表 5 列出了 B[15:12] 位支持的所有组合配置。

表 5. 数据写入操作

B15	B14	B13	B12	操作	B[11:0] 位功能
0	0	0	0	未执行任何操作	忽略这些位
0	0	0	1	REFDAC_A 读取	000h; 详见读取用户可编程寄存器部分
0	0	1	0	REFDAC_B 读取	000h; 详见读取用户可编程寄存器部分
0	0	1	1	CFR 读取	000h; 详见读取用户可编程寄存器部分
1	0	0	0	CFR 写入	详见配置寄存器（CFR）部分
1	0	0	1	REFDAC_A 写入	详见 REFDAC_A 部分
1	0	1	0	REFDAC_B 写入	详见 REFDAC_B 部分
1	0	1	1	未执行任何操作	忽略这些位
X	1	X	X	未执行任何操作	忽略这些位

8.5.2.1 配置寄存器 (CFR)

器件的操作配置由配置寄存器（CFR）的状态控制。在有效帧（F）中写入 CFR 的数据将决定器件在帧（F+1）中的配置。各位的功能定义详见表 6。上电时，CFR 中的所有位默认值为 0。

表 6. CFR 位功能

15	14	13	12	11	10	9	8
WRITE/READ	0	ADDR1	ADDR0	RD_CLK_MODE	RD_DATA_LINES	INPUT_RANGE	0
7	6	5	4	3	2	1	0
0	REF_SEL	STANDBY	RD_DATA_FORMAT	0	0	0	SOFT_RESET

表 7. 配置寄存器（CFR）字段说明

位	字段	类型	复位	说明
15	WRITE/READ	W	0h	用户可编程寄存器选择位。 1000 = 选择此组合以写入 CFR 寄存器并启用位 11:0
14	0	R/W	0h	
13	ADDR1	R/W	0h	
12	ADDR0	R/W	0h	
11	RD_CLK_MODE	R/W	0h	串行接口时钟模式选择位。 0 = 选择 32 时钟周期模式（默认） 1 = 选择 16 时钟周期模式
10	RD_DATA_LINES	R/W	0h	串行接口数据线选择位。 0 = 使用 SDO_A 输出 ADC_A 数据，SDO_B 输出 ADC_B 数据（默认） 1 = 仅使用 SDO_A 依次输出 ADC_A 和 ADC_B 数据
9	INPUT_RANGE	R/W	0h	该位根据提供给 ADC 的基准电压选择其最大输入范围。详见模拟输入部分。 0 = FSR 等于 V_{REF} 1 = FSR 等于 2 × V_{REF}
8	0	R/W	0h	该位必须设置为 0（默认）。
7	0	R/W	0h	该位必须设置为 0（默认）。

6	REF_SEL	R/W	0h	ADC 基准电压源选择位。详见基准部分 0 =使用外部基准电压（默认） 1 =使用内部基准电压
5	STANDBY	W	0h	待机模式控制位，用于控制器件进入/退出待机模式。详见待机模式部分。
4	RD_DATA_FORMAT	R/W	0h	输出数据格式选择位 0 =输出为标准二进制格式（默认） 1 =输出为二进制补码格式
3:1	0	R/W	0h	该位必须设置为 0（默认）。
0	SOFT_RESET	R/W	0h	软复位功能选择位。 0 = 无复位操作（默认） 1 = 软复位，所有寄存器复位为0（默认）

8.5.2.2 REFDAC 寄存器 (REFDAC_A 和 REFDAC_B)

本节介绍了 REFDAC 寄存器、位功能和分辨率信息。

表 8. REFDAC_X 位功能

15	14	13	12	11	10	9	8
WRITE/READ	0	ADDR1	ADDR0	D8	D7	D6	D5
7	6	5	4	3	2	1	0
D4	D3	D2	D1	D0	0	0	0

表 9. REFDAC 寄存器字段说明

位	字段	类型	复位	说明
15	WRITE/READ	W	0h	这些位用于选择可配置寄存器地址。 1001 = 选择此组合以写入 REFDAC_A 寄存器 1010 = 选择此组合以写入 REFDAC_B 寄存器
14	0	R/W	0h	
13	ADDR1	R/W	0h	
12	ADDR0	R/W	0h	
11:3	D[8:0]	R/W	0h	用于编程单个 DAC 输出电压的数据。 注意：这些位仅在位 15:12=1001 或位 15:12=1010 时有效。 表 10 显示了 REFDAC_x 编程值与 DAC_x 输出电压之间的关系。
2:0	0	R/W	0h	该位必须设置为 0（默认）。

表 10. REFDAC 设置

REFDAC_x 值 (十六进制 11:3 位)	B[2:0]	典型 DAC_x 输出电压 (V) [1]
1FF	000	2.5000
1FE	000	2.4989
1FD	000	2.4978
—	—	—
1D7	000	2.45
—	—	—
1AE	000	2.40
—	—	—
186	000	2.35
—	—	—
15D	000	2.30
—	—	—
134	000	2.25
—	—	—
10C	000	2.20
—	—	—
0E3	000	2.15
—	—	—
0BA	000	2.10
—	—	—
091	000	2.05
—	—	—
069	000	2.00
—	—	—
000 (default)	000	1.87

(1) 实际输出电压可能与标称值存在数毫伏的偏差。为获得目标输出电压，应从标称寄存器设置值开始，随后在该设置值的上下各五个码值范围内进行实验。

8.5.3 数据读取操作

该器件支持两种读取操作：读取用户可编程寄存器和读取转换结果。

8.5.3.1 读取用户可编程寄存器

该器件支持对所有用户可编程寄存器（CFR、REFDAC_A 和 REFDAC_B）的读回功能。图 30 展示了该操作的详细时序图。

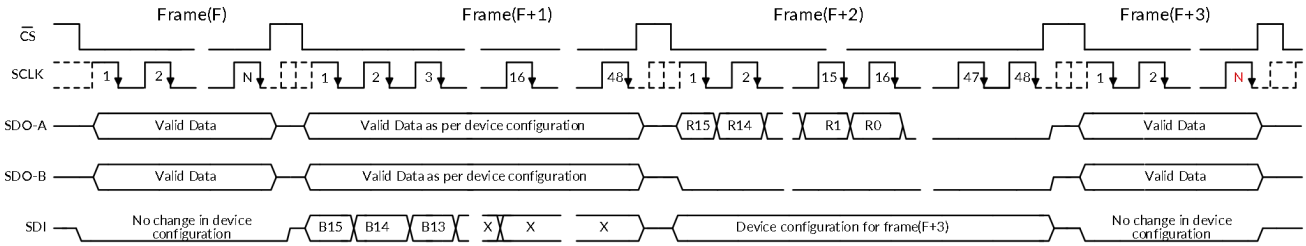


图 30. 寄存器读回时序图

要读取用户可编程寄存器设置，需根据表 11 所示，在帧（F+1）期间向器件传输相应的控制字。帧（F+1）必须包含至少 48 个 SCLK 下降沿。

表 11. 读回用户可编程寄存器的控制字

用户可编程寄存器	帧 (F+1) 中需编程的控制字	
	B[15:12] (二进制)	B[11:0] (十六进制)
CFR	0011b	000h
REFDAC_A	0001b	000h
REFDAC_B	0010b	000h

帧（F+2）同样需包含至少 48 个 SCLK 下降沿。SDO_A 引脚在前 16 个 SCLK 下降沿输出所选用户可编程寄存器的内容（见表 12），后续 SCLK 下降沿均输出 0。SDO_B 引脚在所有 SCLK 下降沿均输出 0。

表 12. 寄存器数据读回

用户可编程寄存器	SDO-A 帧（F+2）中的数据读取									
	R15	R14	R13	R12	R11	—	R3	R2	R1	R0
CFR	0	0	1	1	CFG.B11	—	CFG.B3	CFG.B2	CFG.B1	CFG.B0
REFDAC_A	0	0	0	1	REFDAC_A.D8	—	REFDAC_A.D0	0	0	0
REFDAC_B	0	0	1	0	REFDAC_B.D8	—	REFDAC_B.D0	0	0	0

在帧（F+2）中编程的寄存器设置决定了帧（F+3）中的器件配置。

8.5.3.2 转换数据读取

该器件为用户提供了三种不同的接口模式用于读取转换结果。这些模式支持灵活的硬件连接和固件编程。表 13 展示了如何选择这三种接口模式之一。

表 13. 接口模式选择

CFR.B11	CFR.B10	接口模式	验证写入操作所需的最小 SCLK 下降沿数 N
0	0	32 时钟周期, 双 SDO 模式（默认）	32
0	1	32 时钟周期, 单 SDO 模式	48
1	X	16 时钟周期, 双 SDO 模式	16

在 32 时钟周期接口模式中，器件使用内部时钟对采样的模拟信号进行转换。转换在 SCLK 的前 16 个周期内完成，转换结果可在后续 SCLK 下降沿读取。

除了 32 时钟周期接口模式外，TLX1433 还支持 16 时钟周期接口模式。通过 16 时钟周期接口模式，可在显著降低 SCLK 时钟频率的情况下实现相同的吞吐量。

以下章节详细阐述了该器件支持的各种接口模式。

8.5.3.2.1 32 时钟周期, 双 SDO 模式 (CFR.B11 = 0, CFR.B10 = 0, 默认)

32 时钟周期双 SDO 模式是该器件支持的默认工作模式。该模式也可通过写入 CFR.B11=0 且 CFR.B10=0 来选择。

在此模式下，SDO_A 引脚输出 ADC_A 的转换结果，SDO_B 引脚输出 ADC_B 的转换结果。详细时序图参见图 31。

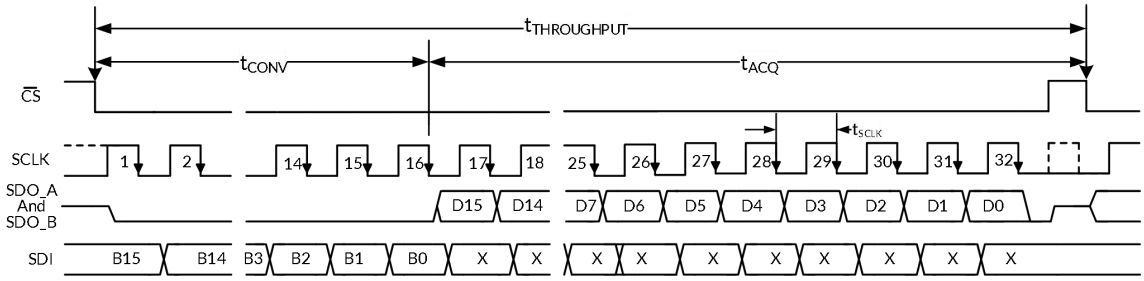


图 31. 32 时钟周期, 双 SDO 模式时序图

$\overline{CS}$ 下降沿使串行数据总线退出三态，并在 SDO_A/SDO_B 引脚输出 0。器件在转换时间 (t_{CONV}) 内对采样的模拟输入进行转换，此时读取 SDO_A/SDO_B 为 0。完成转换过程后，采样保持电路返回到采样模式。器件在第 16 个 SCLK 下降沿分别在 SDO_A 和 SDO_B 引脚输出 ADC_A 和 ADC_B 的最高有效位 (MSB)。后续 SCLK 下降沿按表 14 所示时序输出转换结果的剩余比特位。

表 14. 数据启动沿

引脚	启动沿												
	$\overline{CS}$	SCLK											$\overline{CS}$
	↓	↓ 1	—	↓ 15	↓ 16	—	↓ 27	↓ 28	↓ 29	↓ 30	↓ 31	↓ 32 ...	↑
SDO-A	0	0	—	0	D15_A	—	D4_A	D3_A	D2_A	D1_A	D0_A	0 ...	Hi-Z
SDO-B	0	0	—	0	D15_B	—	D4_B	D3_B	D2_B	D1_B	D0_B	0 ...	Hi-Z

在此模式下，必须提供至少 32 个 SCLK 下降沿以验证读取数据或写入配置帧。$\overline{CS}$ 上升沿将结束当前帧并使串行总线进入三态。

有关此串行接口模式的时序规范，请参阅表 15。

表 15. 32 时钟周期, 双 SDO 接口特定时序

参数		最小值	典型值	最大值	单位
时序要求					
t_{CLK}	时钟周期	20			ns
t_{ACQ}	采样时间		33 × t_{CLK} - t_{CONV}		ns
时序规格					
t_{CONV}	转换时间			640	ns

8.5.3.2.2 32 时钟周期, 单 SDO 模式 (CFR.B11 = 0, CFR.B10 = 1)

32 时钟周期单 SDO 模式支持仅使用一个 SDO 引脚 (SDO_A) 来读取两个 ADC (ADC_A 和 ADC_B) 的转换结果。此时 SDO_B 保持三态，可视为未连接 (NC) 引脚。

通过写入 CFR.B11=0 且 CFR.B10=1 可选择该模式，详细时序图参见图 33。

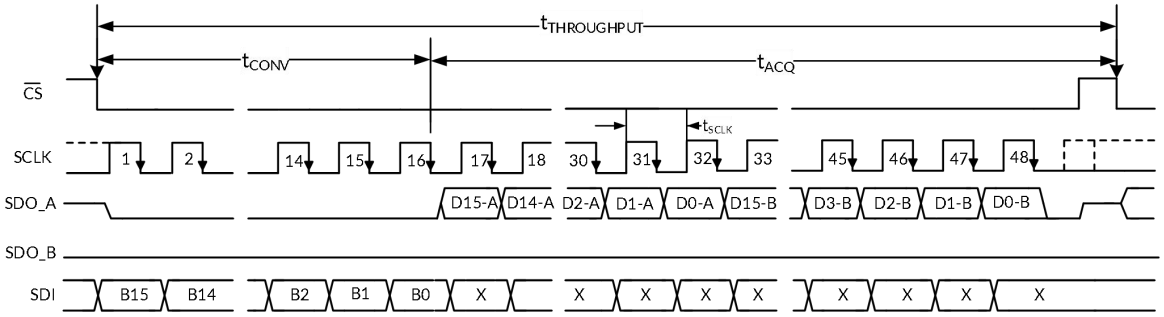


图 33. 32 时钟周期, 单 SDO 模式时序图

$\overline{CS}$ 下降沿使串行数据总线退出三态，并在 SDO_A 引脚输出 0。器件在转换时间 (t_{CONV}) 内对采样的模拟输入进行转换，此时读取 SDO_A 为 0。完成转换过程后，采样保持电路返回到采样模式。器件在第 16 个 SCLK 下降沿在 SDO_A 引脚输出 ADC_A 的最高有效位 (MSB)。后续 SCLK 下降沿按表 16 所示时序依次输出 ADC_A 和 ADC_B 的转换结果剩余比特位。

表 16. 数据启动沿

引脚	启动沿																			
	$\overline{CS}$	SCLK																		$\overline{CS}$
	↓	↓ 1	—	↓ 15	↓ 16	—	↓ 27	↓ 28	↓ 29	↓ 30	↓ 31	↓ 32	—	↓ 43	↓ 44	↓ 45	↓ 46	↓ 47	↓ 48 ...	↑
SDO-A	0	0	—	0	D15_A	—	D4_A	D3_A	D2_A	D1_A	D0_A	D15_B	—	D4_B	D3_B	D2_B	D1_B	D0_B	0 ...	Hi-Z

在此模式下，必须提供至少 48 个 SCLK 下降沿以验证读取数据或写入配置帧。$\overline{CS}$ 上升沿将结束当前帧并使串行总线进入三态。

有关此串行接口模式的时序规范，请参阅表 17。

表 17. 32 时钟周期, 单 SDO 接口特定时序

参数		最小值	典型值	最大值	单位
时序要求					
t_{CLK}	时钟周期	20			ns
t_{ACQ}	采样时间		$49 \times t_{CLK} - t_{CONV}$		ns
时序规格					
t_{CONV}	转换时间			640	ns

8.5.3.2.3 16 时钟周期, 双 SDO 模式 (CFR.B11 = 1, CFR.B10 = 0)

16 时钟周期双 SDO 模式专为在较低 SCLK 频率下实现最大吞吐量而设计。

对于 TLX1432，可通过设置 CFR.B11=1 且 CFR.B10=0 选择该模式，此模式下，SDO_A 引脚输出 ADC_A 的转换结果，SDO_B 引脚输出 ADC_B 的转换结果，详细时序图参见图 34。

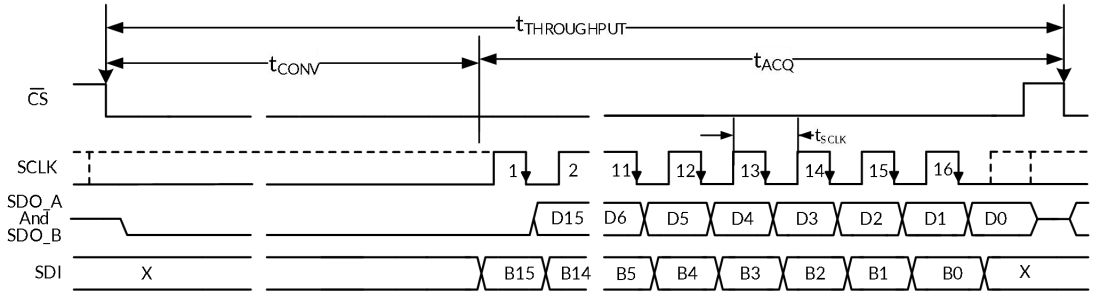


图 34. 16 时钟周期, 双 SDO 模式时序图

$\overline{CS}$ 下降沿使串行数据总线退出三态，并在 SDO_A/SDO_B 引脚输出 0。随后的 SCLK 下降沿用于转换和使用串行接口进行数据传输，如表 18 所示。

转换完成后，采样保持电路立即返回采样模式。

表 18. 数据启动沿

引脚	启动沿								
	$\overline{CS}$	SCLK							$\overline{CS}$
	↓	↓ 1	↓ 2	—	↓ 13	↓ 14	↓ 15	↓ 16 ...	↑
SDO-A	0	D15_A	D14_A	—	D3_A	D2_A	D1_A	D0_A ...	Hi-Z
SDO-B	0	D15_B	D14_B	—	D3_B	D2_B	D1_B	D0_B ...	Hi-Z

在此模式下，必须提供至少 16 个 SCLK 下降沿以验证读取数据或写入配置帧。$\overline{CS}$ 上升沿将结束当前帧并使串行总线进入三态。

有关此串行接口模式的时序规范，请参阅表 19。

表 19. 16 时钟周期, 双 SDO 接口特定时序

参数		最小值	典型值	最大值	单位
时序要求					
t_{CLK}	时钟周期	20			ns

t_{ACQ}	采样时间		17 × t_{CLK}		ns
时序规格					
t_{CONV}	转换时间			640	ns

8.5.4 低功耗模式

在正常工作模式下，器件的所有内部电路始终保持供电状态，器件始终准备好开始新的转换。此模式使器件能够支持额定吞吐量。器件还支持两种低功耗模式，以在较低吞吐量时优化功耗：待机模式和软件断电 (SPD) 模式。

8.5.4.1 待机模式

该器件支持待机模式运行，在此模式下部分内部电路断电。但若配置寄存器的第 6 位设置为 1 (CFR.B6=1)，则内部基准电压不会断电，且 REFDAC_A 和 REFDAC_B 寄存器的内容将得以保留，从而实现更快地唤醒至正常工作模式。

如图 35 所示，当帧 (F) 中有效写入操作将配置寄存器的 B5 位置为 1（CFR.B5 = 1）时，器件将在随后的 $\overline{CS}$ 上升沿进入待机模式。在待机模式下，当 $\overline{CS}$ 为低电平时，SDO_A 和 SDO_B 引脚输出全为 1；当 $\overline{CS}$ 为高电平时，SDO_A 和 SDO_B 保持三态。若需维持待机模式，后续帧中的 SDI 必须保持低电平。

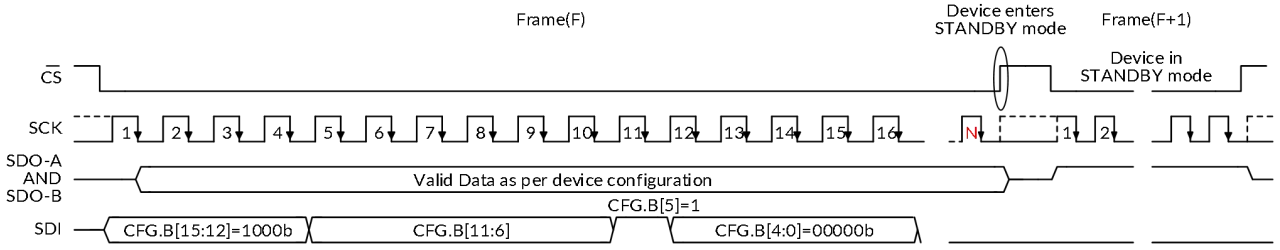
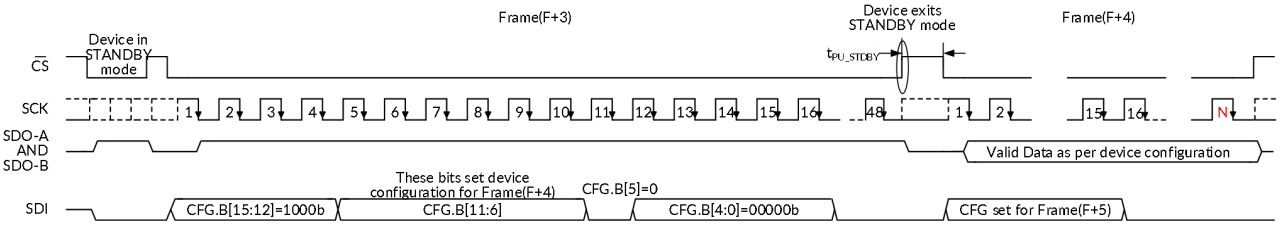


图 35. 进入待机模式

如图 36 所示，在帧 (F+3) 中通过配置寄存器 B5 被设置为 0 (CFR.B5=0) 的有效写入操作，将在后续 $\overline{CS}$ 上升沿使器件退出待机模式。帧 (F+3) 必须包含至少 48 个 SCLK 下降沿。

器件退出待机模式后，需经过 t_{PU_STDBY} 延迟时间，内部电路方能在帧（F+4）中完成完全供电并恢复正常运行。帧 (F+4) 的器件配置由帧 (F+3) 中编程的 CFR.B[11:6]寄存器位状态决定。



需注意，N 值是器件配置的函数，如表 4 所述。

图 36. 退出待机模式

有关此工作模式的时序规范，请参阅时序特性：串行接口。

8.5.4.2 软件断电 (SPD) 模式

在软件断电 (SPD) 模式下，器件所有内部电路（包括内部基准）均会断电，但 REFDAC_A 和 REFDAC_B 寄存器的内容将得以保留。

如图 37 所示，要进入 SPD 模式，必须选择该器件（通过将 $\overline{CS}$ 置为低电平），在帧 (F) 期间，SDI 必须保持高电平至少 48 个 SCLK 周期。器件在帧 (F) 后的 $\overline{CS}$ 上升沿进入 SPD 模式。SPD 模式下，无论 $\overline{CS}$ 信号状态如何，SDO_A 和 SDO_B 始终保持三态。

为维持 SPD 模式，后续帧中 SDI 必须持续保持高电平。

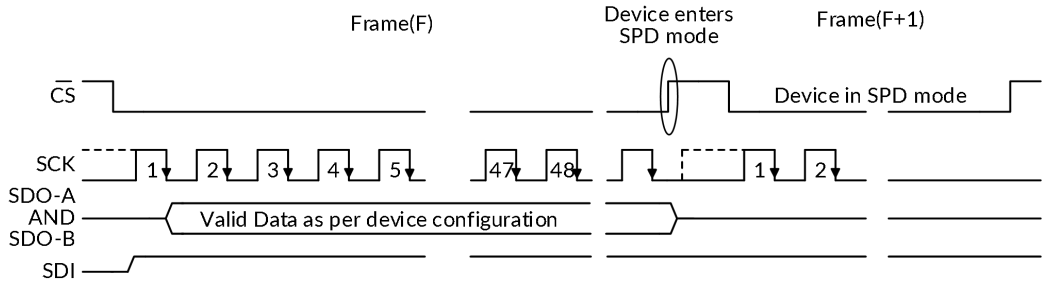
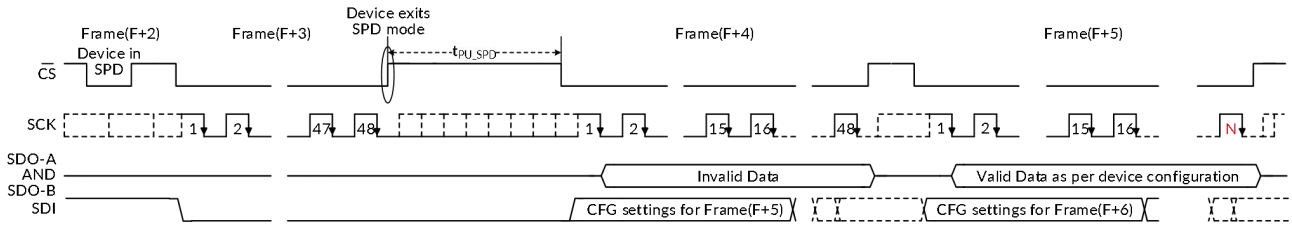


图 37. 进入 SPD 模式

如图 38 所示，要退出 SPD 模式，必须选择该器件（通过将 $\overline{CS}$ 置为低电平），并且在帧（F+3）期间，SDI 必须保持低电平至少 48 个 SCLK 周期。器件在帧（F+3）之后的 $\overline{CS}$ 上升沿开始上电。在帧（F+3）之后，必须经过 t_{PU_SPD} 的延迟才能对配置寄存器进行编程。

帧（F+4）中的有效写入操作将为帧（F+5）设置器件配置。帧（F+4）必须至少有 48 个 SCLK 下降沿。帧（F+4）中的输出数据应被丢弃。



需注意，N 值是器件配置的函数，如表 4 所述。

图 38. 退出 SPD 模式

有关此工作模式的时序规范，请参阅时序特性：串行接口。

9 应用与设计

以下应用设计部分中的信息不属于 TLXIC 器件规格的范围，TLXIC 不保证其准确性和完整性。TLXIC 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

要实现高精度逐次逼近寄存器 (SAR) 模数转换器 (ADC) 的最佳性能，需要两个关键电路：输入驱动电路和基准源驱动电路。本节将阐述设计这些电路的基本原理，并展示基于该器件设计的典型应用电路。

该器件支持使用内部或外部基准源工作，关于去耦要求详见基准部分。

ADC 的基准源必须提供低漂移、高精度的直流电压，并支持动态电荷需求，同时不影响器件的噪声和线性性能。基准源的输出宽带噪声（通常约数百 μV_{RMS}）必须通过截止频率为数百赫兹的低通滤波器进行有效滤波。噪声滤波后，需设计能驱动 ADC 基准输入动态负载的基准缓冲器。每次转换开始时，缓冲器必须将基准引脚的电压稳定在目标值的 1 LSB 范围内。这要求在 ADC 基准引脚处使用大容量滤波电容。用于驱动基准输入引脚的放大器必须在驱动这个大电容时保持稳定，并应具有低输出阻抗、低失调和温漂特性。建议为每个 ADC 通道配置独立的基准缓冲器，以降低动态电流需求和通道间串扰。

高精度模数转换器（ADC）的输入驱动电路主要由两部分构成：驱动放大器和飞轮 RC 滤波器。放大器用于对输入电压进行信号调理，其低输出阻抗在信号源与 ADC 的开关电容输入端之间形成缓冲作用。RC 滤波器既能衰减 ADC 开关电容输入级产生的采样电荷注入，又可作为抗混叠滤波器，抑制前端电路产生的宽带噪声。要实现高精度 ADC 的线性度和噪声性能，前端电路的设计至关重要。

9.1.1 输入放大器选择

输入放大器的选型标准主要取决于输入信号类型和数据采集系统的性能目标。在选择适合驱动 ADC 输入的放大器时，需重点考虑以下关键规格参数：

- 小信号带宽。在满足系统功耗预算的前提下，应尽可能选择小信号带宽更高的输入放大器。较高的带宽可降低放大器的闭环输出阻抗，从而更轻松地驱动 ADC 输入端的低截止频率 RC 滤波器。此外，高带宽还能最小化高频输入信号下的谐波失真。为确保输入驱动电路的整体稳定性，放大器的带宽选择应遵循公式 8。

$$\text{Unity-Gain Bandwidth} \geq 4 \times \left(\frac{1}{2\pi \times (R_{FLT}+R_{FLT})^{*}C_{FLT}}\right) \tag{8}$$

- 噪声。前端放大器的噪声贡献应尽可能低，以避免系统信噪比 (SNR) 性能下降。根据经验法则，为确保数据采集系统的噪声性能不受前端电路限制，前端电路的总噪声贡献应保持在 ADC 输入基准噪声的 20% 以下。输入驱动电路的噪声通过设计低截止频率 RC 滤波器进行频带限制，其计算需依据公式 9。

$$N_G \times \sqrt{2} \times \sqrt{\left(\frac{V_{1/f_AMP_PP}}{6.6}\right)^2 + e_{n_RMS}^2 \times \frac{\pi}{2} \times f_{-3dB}} \leq \frac{1}{5} \times \frac{V_{REF}}{\sqrt{2}} \times 10^{-\left(\frac{SNR(dB)}{20}\right)} \tag{9}$$

其中：

- V_{1/f_AMP_PP} 是峰峰值闪烁噪声，单位为μV。
- e_{n_RMS} 是放大器宽带噪声密度，单位为 $nV/\sqrt{Hz}$。
- f_{-3dB} 是 RC 滤波器的 3dB 带宽。
- NG 是前端电路的噪声增益，在缓冲器配置中等于 1。

- 失真度。在数据采集模块中，模数转换器（ADC）和输入驱动器均会引入非线性失真。根据经验法则，为确保数据采集系统的失真性能不受前端电路限制，输入驱动器的失真度应至少比 ADC 的失真度低 10dB，如公式 10 所示：

$$THD_{AMP} \leq THD_{ADC} - 10\ (dB) \tag{10}$$

- 建立时间。对于多路复用应用中常见的具有快速瞬变的直流信号，输入信号必须在采样时间窗口内稳定至 ADC 输入端所需的精度。这一条件对维持 ADC 的整体线性性能至关重要。

9.1.2 抗混叠滤波器

模数信号转换需以恒定速率对输入信号进行采样。若输入信号中超过采样频率一半的高频成分会被数字化并折回低频频谱，该过程称为混叠。因此，必须在 ADC 采样前使用模拟抗混叠滤波器去除输入信号中的谐波成分。抗混叠滤波器通常采用低通 RC 滤波器设计，其 3dB 带宽需根据具体应用需求优化。对于具有快速瞬变的直流信号（包括多路复用输入信号），需设计高带宽滤波器以确保在小采样时间窗口内信号能稳定至 ADC 输入端；而对于交流信号，滤波器带宽应保持较低以限制输入 ADC 的噪声带宽，从而提升系统信噪比（SNR）。

跨接在 ADC 输入端的滤波电容，C_{FLT}，（如图 39 所示）可滤除前端驱动电路的噪声、减少采样电荷注入，并快速为采样过程中的内部采样保持电容提供充电。根据经验法则，该电容值应至少为 ADC 采样电容标称值的 10 倍。对于此类器件，输入采样电容为 40pF，因此 C_{FLT} 需大于 400pF。建议选用 COG 或 NPO 型电容，因其具有高 Q 值、低温度系数，且在不同电压、频率和时间下电气特性稳定。

需要注意的是，驱动容性负载会降低输入放大器的相位裕度，可能导致放大器临界不稳定。为避免稳定性问题，需在放大器输出端串联隔离电阻（R_{FLT}）。较大的 R_{FLT} 值虽有利于放大器稳定，但会因与 ADC 非线性输入阻抗的相互作用引入失真。失真会随源阻抗、输入信号频率和幅值增加而加剧，因此需在稳定性和失真间权衡设计。推荐将 R_{FLT} 最大值限制为 22Ω 以避免线性性能显著下降。由于输入端差分电容可抵消电阻失配影响，所选电阻容差可选 1%。

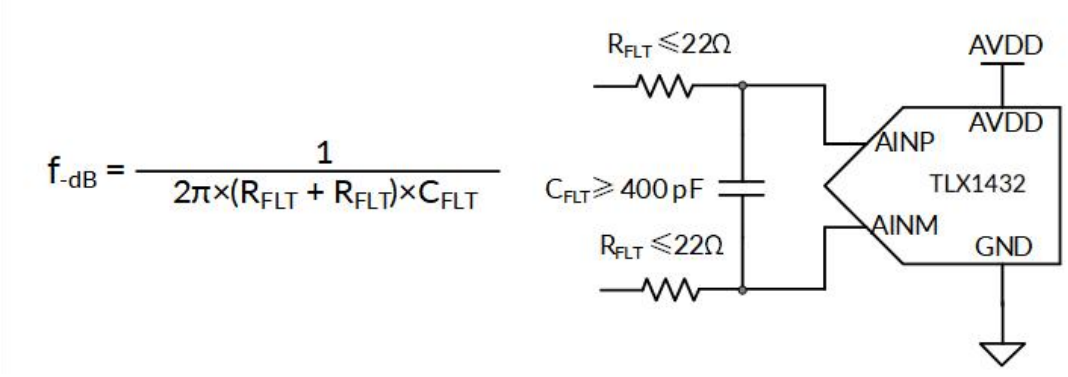


图 39. 抗混叠滤波器

输入放大器带宽应远高于抗混叠滤波器的截止频率。若放大器在 22Ω电阻下相位裕度不足 40°，建议选用更高带宽的放大器，或通过增大差分电容来降低滤波器截止频率。

9.2 典型应用

9.2.1 实现全吞吐量下输入信号最大 SINAD 的 DAQ 电路

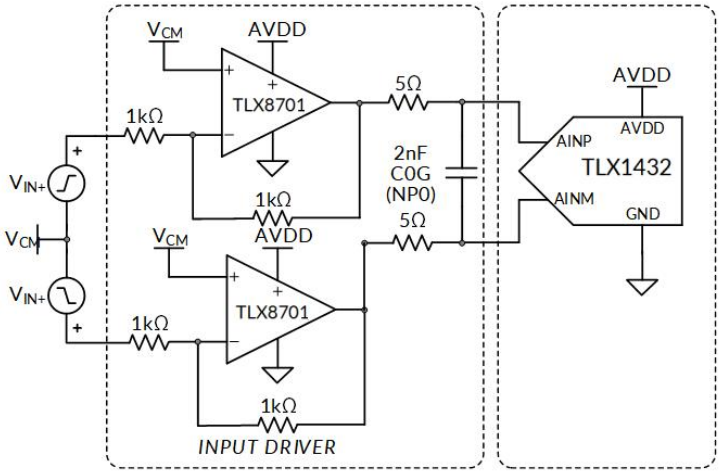
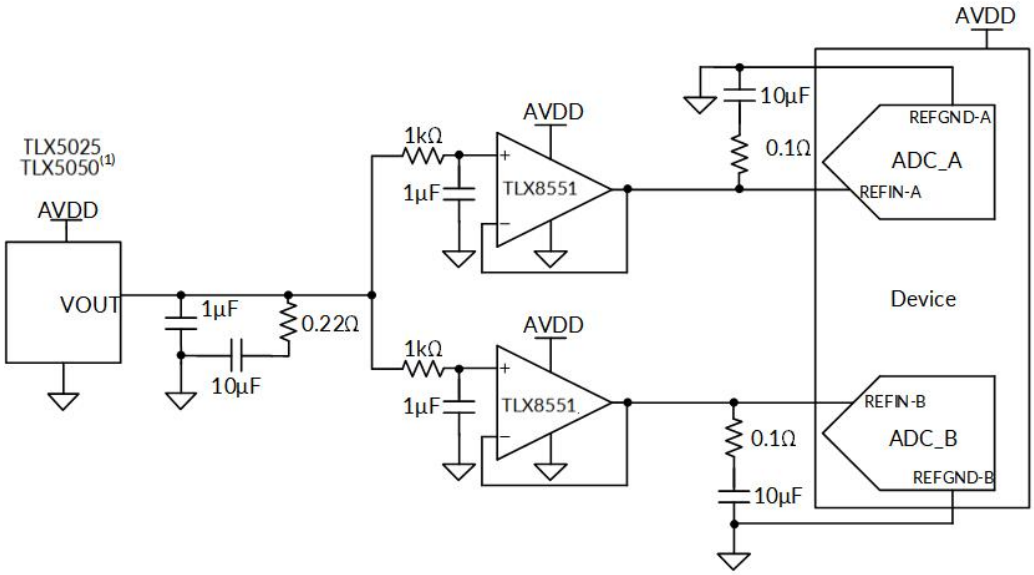


图 40. DAQ 电路：全吞吐量下输入信号的最大 SINAD



(1) 使用 TLX5050 时， AVDD 必须设置为 5.5V。

图 41. 基准驱动电路

9.2.1.1 详细设计程序

最佳实践要求输入驱动器产生的失真度应至少比 ADC 的失真度低 10dB。通过采用反相增益配置的放大器，可消除共模信号变化引起的失真，该配置为电路建立了固定的共模电平。此结构还无需放大器输入实现轨到轨摆幅。当采用低功耗 TLX8701XF 作为输入驱动器时，其极低失真度和高带宽特性可提供优异的交流性能。

此外，抗混叠滤波器的组件经过优化设计，能够在不增加输入信号失真度的情况下抑制前端电路的噪声。图 40 所示的应用电路针对输入信号进行了优化，当 TLX1432 在默认 32 时钟周期、双 SDO 接口模式下以全吞

吐率运行时，可实现最低失真和噪声。输入信号在输入器件前，需先经高带宽、低失真的反相增益放大器及低通 RC 滤波器处理。

16 时钟周期接口模式也得到支持，允许在较低串行时钟频率下实现额定吞吐率。图 40 所示电路在 16 时钟周期、双 SDO 接口模式下，当 TLX1432 以全吞吐率运行时，同样可实现最低失真和噪声。此时输入信号仍需经高带宽、低失真的反相放大器电路和低通 RC 滤波器处理。

图 41 展示了使用外部电压基准时的基准驱动电路。基准电压由高精度、低噪声的 TLX50xx 系列器件产生，其输出宽带噪声经截止频率为 160Hz 的低通滤波器深度滤波。每个基准引脚选用 1μF 去耦电容。具有低输出阻抗、低噪声和快速建立特性的 TLX8551XF 是驱动此类高容性负载的理想选择。

9.2.1.2 应用曲线

为最小化外部组件并最大化模数转换器（ADC）的动态范围，该器件配置为采用内部基准电压运行（CFR.B6 = 1），其输入满量程为 2 × V_{REF_x}（CFR.B9 = 1）。

图 42、图 44 显示了采用图 40 所示电路配置，在全吞吐量操作下使用 32 时钟周期接口获得的相应 FFT 频谱图和测试结果。

图 43、图 45 显示了采用图 40 所示电路配置，在全吞吐量操作下使用 16 时钟周期接口获得的相应 FFT 频谱图和测试结果。

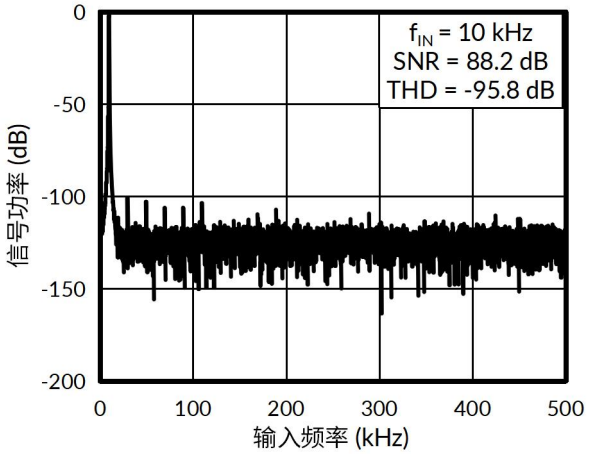


图 42. 32 时钟周期接口模式

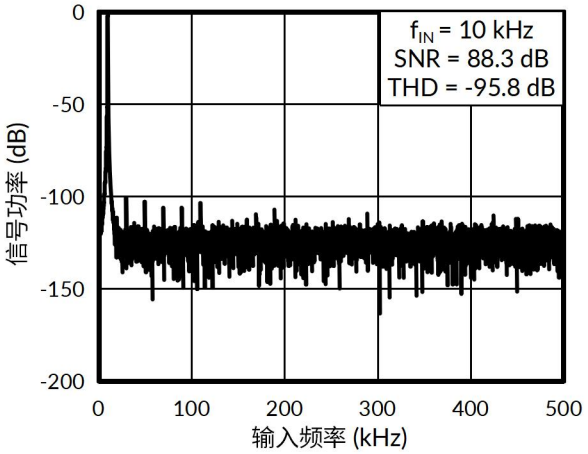


图 43. 16 时钟周期接口模式

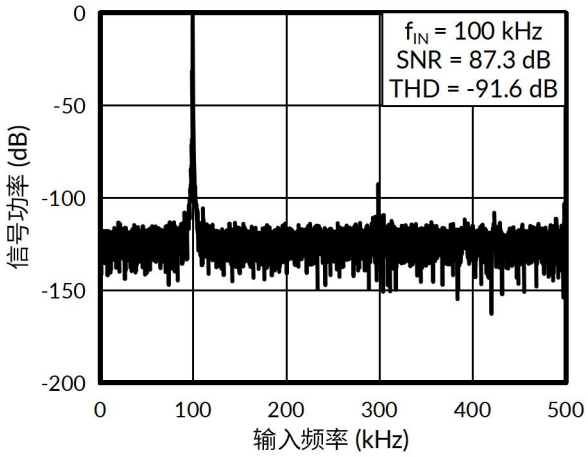


图 44. 32 时钟周期接口模式

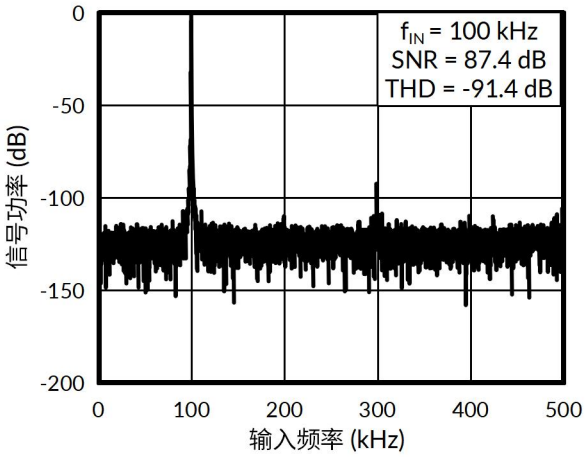


图 45. 16 时钟周期接口模式

10 电源建议

该器件采用两个独立电源供电：AVDD（模拟电源）和 DVDD（数字电源）。其中 AVDD 为器件主供电电源，DVDD 专用于接口电路。AVDD 与 DVDD 的电压值可在允许范围内独立设置。

当器件配置为 2×V_{REF} 输入范围（CFR.B9=1）时，AVDD 电源电压值将决定模拟输入引脚允许的电压摆幅。为避免输出代码饱和并充分利用模拟输入引脚的全动态范围，AVDD 需按公式 11、12、13 所示进行设置：

$$\mathrm{AVDD} \geq 2 \times \mathrm{V_{REF_A}} \quad (11)$$

$$\mathrm{AVDD} \geq 2 \times \mathrm{V_{REF_B}} \quad (12)$$

$$4.75\ \mathrm{V} \leq \mathrm{AVDD} \leq 5.25\ \mathrm{V} \quad (13)$$

需采用独立的 10μF 去耦电容，将 AVDD 和 DVDD 引脚分别与 GND 引脚连接（如图 46 所示）。

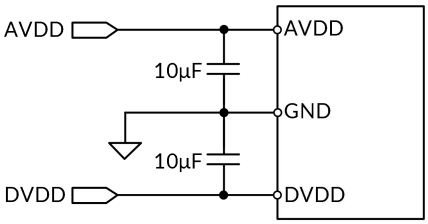


图 46. 电源去耦

11 PCB 版图设计

11.1 PCB 布局设计注意事项

图 47 展示了采用 TSSOP 封装的 TLX1432 板级布局示例。器件下方设置接地平面。将 PCB 划分为模拟和数字部分。避免数字线路与模拟信号路径交叉，并使模拟输入信号和基准输入信号远离噪声源。如图 47 所示，模拟输入与基准信号布线于板左侧，数字连接布线于器件右侧。

器件的电源必须洁净且充分去耦。在模拟电源 (AVDD) 和数字电源 (DVDD) 引脚附近放置 10µF 陶瓷旁路电容，并避免在电源引脚与旁路电容间设置过孔。所有接地引脚需通过短的、低阻抗路径连接至接地平面。

REFIO-A 和 REFIO-B 基准输入/输出端需并联 10µF、X7R 级、0805 尺寸、16V 陶瓷电容 (C_{REF-x})。基准旁路电容应尽可能靠近 REFIO-x 引脚，采用短的低电感连接。避免在 REFIO -x 引脚和旁路电容器之间放置通孔。在基准旁路电容串联 0.1Ω-0.2Ω电阻 (R_{REF-x}) 以提升稳定性。

飞轮式 RC 滤波器需紧邻输入引脚放置。在陶瓷贴片电容中，COG (NPO) 陶瓷电容具有最佳电容精度。COG (NPO) 电容的介电材料在电压、频率和温度变化下电气特性最稳定。图 47 展示了 CIN-A 和 CIN-B 滤波电容器分别连接在设备模拟输入引脚上的配置。

11.2 PCB 布局示意图

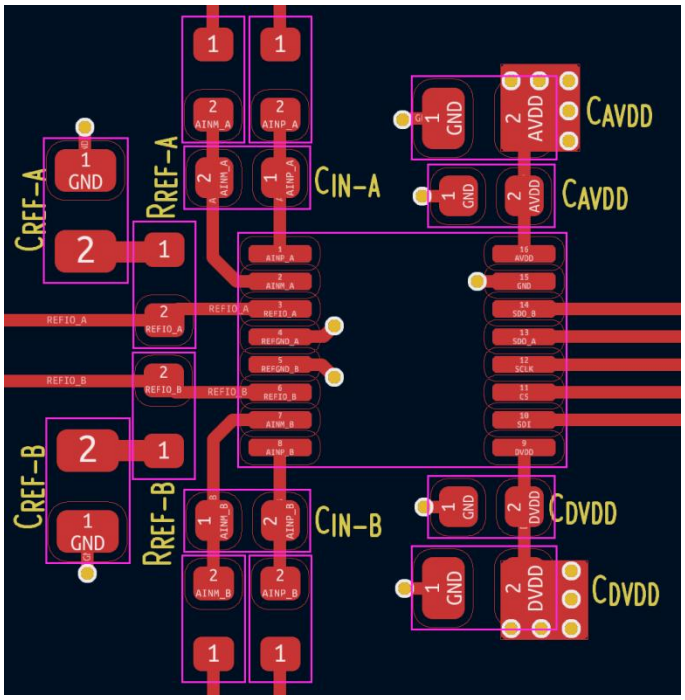
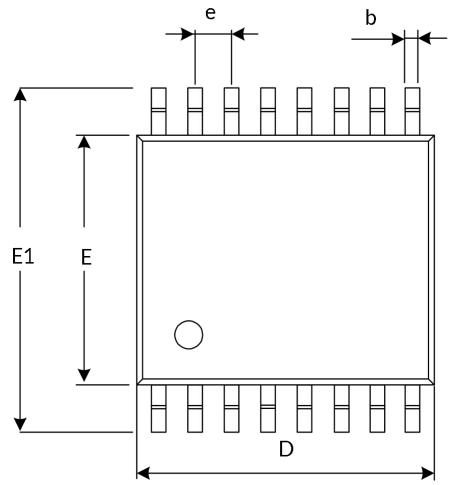
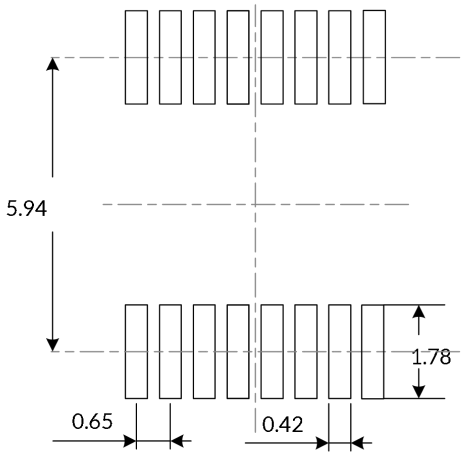


图 47. 推荐 PCB 布局

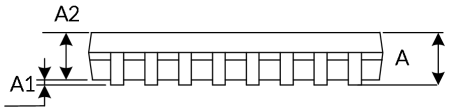
12 封装规格尺寸

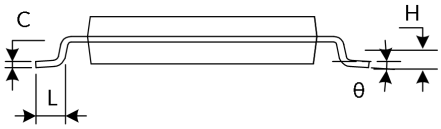
TSSOP16 (3)





推荐焊盘尺寸（单位：毫米）





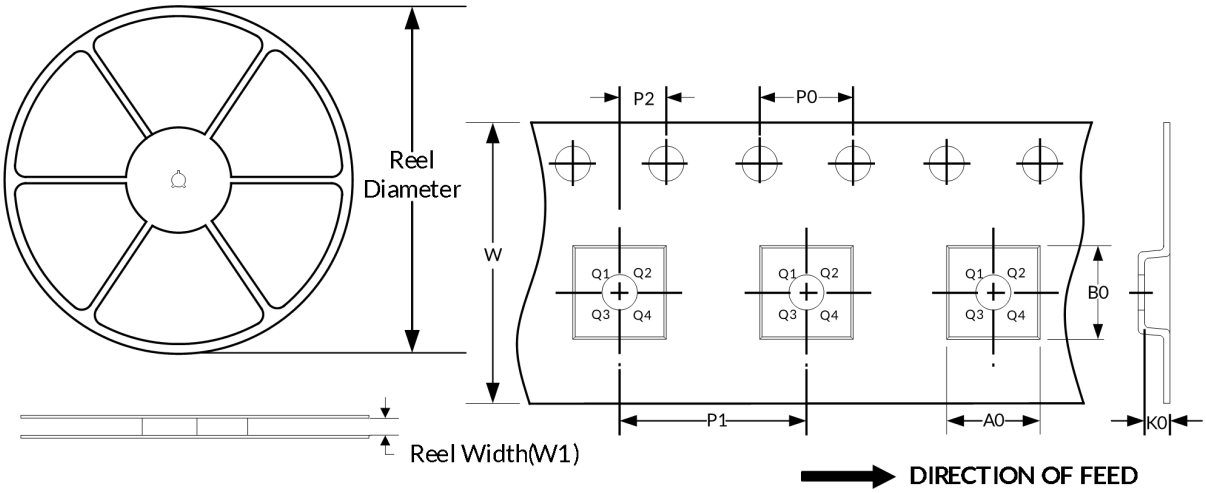
符号	尺寸（单位：毫米）		尺寸（单位：英寸）	
	最小值	最大值	最小值	最大值
A (1)		1.200		0.047
A1	0.050	0.150	0.002	0.006
A2	0.800	1.050	0.031	0.041
b	0.190	0.300	0.007	0.012
c	0.090	0.200	0.004	0.008
D (1)	4.860	5.100	0.191	0.201
E (1)	4.300	4.500	0.169	0.177
E1	6.200	6.600	0.244	0.260
e	0.650 (BSC) (2)		0.026 (BSC) (2)	
L	0.500	0.700	0.020	0.028
H	0.250 TYP		0.010 TYP	
θ	1°	7°	1°	7°

注意：

1. 不包括每侧最大 0.15mm 的塑封料或金属突起。
2. BSC（基本中心间距），“基本”间距为标称间距。
3. 本图如有更改，恕不另行通知。

13 包装规格尺寸

卷盘尺寸 **编带尺寸**



注意：图片仅供参考。请以实物为标准。

关键参数表

Package Type	Reel Diameter	Reel Width(mm)	A0 (mm)	B0 (mm)	K0 (mm)	P0 (mm)	P1 (mm)	P2 (mm)	W (mm)	Pin1 Quadrant
TSSOP16	13”	12.4	6.90	5.60	1.20	4.0	8.0	2.0	12.0	Q1

注意：

1. 所有尺寸均为标称尺寸。
2. 不包括每边最大 0.15 毫米的塑封料或金属突起。