

无锡泰连芯科技有限公司

TLX1438 型

16 位 8 通道 250KSPS PulSAR ADC

2025 年 08 月

16 位、8 通道、250KSPS PuISAR ADC

1 特点

- 16 位分辨率，无丢码
- 8通道多路复用器，可选择输入
- 单极单端
- 差分（地感）
- 假性双相情感障碍
- 吞吐量：250 kSPS
- INL：典型值 $\pm 1.5\text{LSB}$ ，最大值 $\pm 3\text{LSB}$ （ $\pm 2.3\text{ ppm}$ 或 FSR）
- 动态范围：91.6dB
- 模拟输入范围：0 V 至 V_{REF} ，其中 V_{REF} 最高可达 VDD
- 多种引用类型
 - 内部可选 2.5V 或 4.096V
 - 外部缓冲（最高 4.096 V）
 - 外部（最高 VDD）
- 内部温度传感器（TEMP）
- 通道序列器、可选单极滤波器、忙碌指示器
- 无管道延迟，SAR架构
- 单电源供电，工作电压范围为 2.3V 至 5.5V，逻辑接口电压范围为 1.8V 至 5.5V。
- 串行接口兼容SPI、MICROWIRE、QSPI和 DSP
- 功率损耗
 - 3.5 mW，2.5 V/200 kSPS
 - 5V/250kSPS 时功率为 14.6mW
- 待机电流：50 nA
- 提供低成本等级

2 应用

- 多通道系统监控
- 电池供电设备
- 医疗器械：心电图/心电图仪
- 移动通信：GPS
- 电力线监测
- 数据采集
- 地震数据采集系统
- 仪器仪表
- 过程控制

3D描述

TLX1438 是一款 8 通道、16 位、电荷重新分配逐次逼近寄存器 (SAR) 模数转换器 (ADC)，由单个电源 VDD 供电。

TLX1438 包含用于多通道、低功耗数据采集系统的所有组件，包括一个真正的 16 位 SAR ADC（无缺失码）；一个 8 通道低串扰多路复用器，可用于将输入配置为单端（带或不带接地检测）、差分或双极性；一个内部低漂移基准（可选择 2.5 V 或 4.096 V）和一个缓冲器；一个温度传感器；一个可选择的单极点滤波器；以及一个在通道按顺序连续扫描时非常有用的序列器。

TLX1438 使用简单的串行端口接口 (SPI) 来写入配置寄存器和接收转换结果。SPI 接口使用单独的电源 VIO，该电源设置为主机逻辑电平。功耗随吞吐量而变化。

质量等级：军温级&企军标

设备信息⁽¹⁾

产品编号	封装	尺寸（标准）
TLX1438	QFN4X4-20	4.00 mm × 4.00 mm

(1) 有关所有可用套餐，请参阅数据表末尾的订购附录。

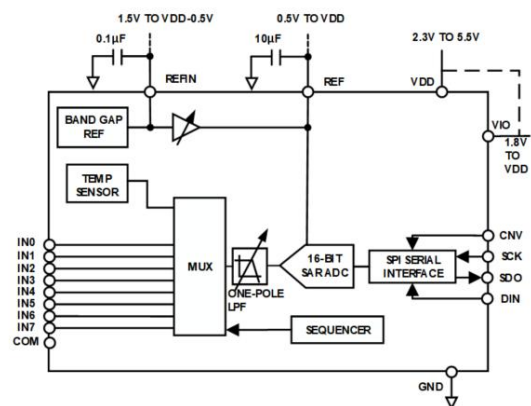


图1.功能框图

目录

1 特点	2
2 应用	2
3D 描述	2
4 修订历史	4
5 包装/订购信息 ⁽¹⁾	5
6 引脚配置及功能	6
7. 技术规格	8
7.1 绝对最大额定值	8
7.2 静电放电防护等级	8
7.3 技术规格	9
7.4 时序规格	13
7.5 典型性能特征	16
8 术语	19
9 工作原理	21
9.1 概述	21
9.2 转换器操作	21
9.3 传递函数	22
9.4 典型连接图	23
9.4.1 单极或双极	23
9.4.2 双极单电源	23
9.5 模拟输入	24
9.5.1 输入结构	24
9.5.2 可选低通滤波器	24
9.5.3 输入配置	24
9.5.4 序列器	25
9.5.5 源电阻	25
9.6 驱动放大器选择	25
9.7 电压参考输出/输入	26
9.7.1 内部参考/温度传感器	26
9.7.2 外部参考和内部缓冲	26
9.7.3 外部参考	27
9.7.4 参考解耦	27
9.8 电源	28
9.9 从参考源向 ADC 供电	28
10 数字接口	30
10.1 转换过程中的读写操作, 快速主机	30
10.2 转换后的读写, 任意速度主机	30
10.3 读写跨度转换, 任意速度主机	30
10.4 配置寄存器, CFG	31
10.5 无忙碌指示器的一般计时	33
10.6 带忙碌指示器的一般计时	34
10.7 通道音序器	35
10.7.1 示例	35
10.8 无忙碌指示器的读/写跨度转换	36
10.9 读/写跨越转换与忙碌指示器	37
11 包 KAGE 轮廓尺寸	39
12 磁带和卷盘信息	40

4 修订历史

注意：先前版本的页码可能与当前版本的页码不同。

版本	更改日期	更改项目
A.0	2024/12/10	初步版本已完成
A.0.1	2025/08/11	1. 更新套餐选项 2. 添加磁带和卷盘的关键参数列表

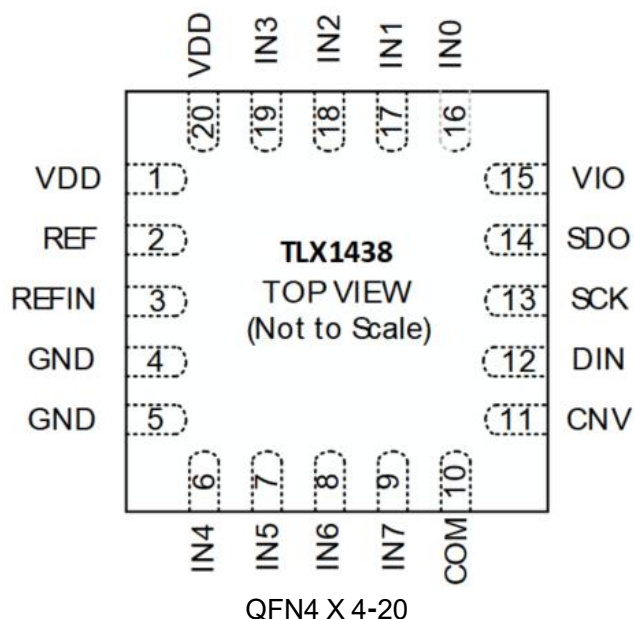
5 包装/订购信息 ⁽¹⁾

订购型号	温度等级	封装类型	丝印 ⁽²⁾	MSL	质量等级
JTLX1438XTQR20	-55 °C ~+125 °C	QFN4X4-20	JTLX1438	MSL1/3	企军标
JTLX1438XTQR20(W)	-55 °C ~+125 °C	QFN4X4-20	JTLX1438	MSL1/3	军温级
TLX1438XTQR20	-40 °C ~+125 °C	QFN4X4-20	TLX1438	MSL1/3	工业级

笔记:

- (1) 此信息为指定设备的最新可用数据。数据如有更改，恕不另行通知，本文档亦可能进行修订。如需查看基于浏览器的数据表版本，请参阅右侧导航栏。
- (2) 可能还有其他标记，这些标记与批次追溯代码信息（数据代码和供应商代码）有关。设备上的标志或环境类别。
- (3) TLXIC 使用符合 JEDEC 工业标准 J-STD-20F 的通用预处理设置，在我们装配工厂对 MSL 等级进行分类。如果您的最终应用对预处理设置要求非常严格，或者您有特殊要求，请与 TLXIC 保持一致。

6 引脚配置及功能



引脚功能

引脚编号	代码	类型	描述
1, 20	VDD	P	电源。标称电压为 2.5V 至 5.5V（使用外部基准电压，并用 10 μ F 和 100nF 电容进行去耦）。使用内部基准电压输出 2.5V 时，最小电压必须为 3.0V。使用内部基准电压输出 4.096V 时，最小电压必须为 4.5V。
2	REF	AI/O	参考输入/输出。请参阅“电压参考输出/输入”部分。启用内部参考电压时，此引脚可提供 2.5 V 或 4.096 V 的可选系统参考电压。禁用内部参考电压且启用缓冲器时，REF 引脚可提供 REFIN 引脚电压的缓冲版本（VDD - 0.5 V，最大值），这在使用低成本、低功耗参考电压时非常有用。为了提高漂移性能，请将精密参考电压连接到 REF 引脚（0.5 V 至 VDD）。对于任何参考电压方法，都需要使用尽可能靠近 REF 引脚的外部 10 μ F 电容进行去耦。请参阅“参考电压去耦”部分。
3	REFIN	AI/O	内部基准输出/基准缓冲输入。请参阅“电压基准输出/输入”部分。使用内部基准时，存在内部无缓冲基准电压，需要使用 0.1 μ F 电容进行去耦。使用内部基准缓冲时，请将一个介于 0.5 V 和 (VDD - 0.5 V) 之间的缓冲电源施加到 REF 引脚，具体操作请参见 REF 引脚说明。
4, 5	GND	P	电源接地。
6	IN4	AI	模拟输入通道 4。
7	IN5	AI	模拟输入通道 5。
8	IN6	AI	模拟输入通道 6。
9	IN7	AI	模拟输入通道 7。
10	COM	AI	公共通道输入。所有输入通道 IN[7:0] 均可参考共模点 0 V 或 V _{REF} / 2 V。

引脚编号	代码	类型	描述
11	CNV	DI	转换输入。在上升沿，CNV 启动转换。转换期间，如果 CNV 保持低电平，则忙指示器启用。
12	DIN	DI	数据输入。使用此输入端口向 14 位配置寄存器写入数据。配置寄存器可在转换期间和转换后写入数据。
13	SCK	DI	串行数据时钟输入。此输入用于以最高有效位优先的方式，将 SDO 上的数据时钟输出和 DIN 上的数据时钟输入。
14	SDO	DO	串行数据输出。转换结果通过此引脚输出，并与 SCK 同步。在单极性模式下，转换结果为二进制数据。在双极性模式下，转换结果为二进制补码。
15	VIO	P	输入/输出接口数字电源。标称电源与主机接口相同（1.8 V、2.5 V、3 V 或 5 V）。
16	IN0	AI	模拟输入通道 0。
17	IN1	AI	模拟输入通道 1。
18	IN2	AI	模拟输入通道 2。
19	IN3	AI	模拟输入通道 3。
21	EPAD	NC	裸露焊盘。裸露的焊盘内部未连接。为提高焊点可靠性，建议将该焊盘焊接至系统接地层。

7. 技术规格

7.1 绝对最大额定值

在正常工作自由空气温度范围内（除非另有说明）⁽¹⁾

范围		最小值	最大值	单位
模拟输入				
INx, COM		GND-0.3	VDD+0.3	V
REF, REFIN		GND-0.3	VDD+0.3	V
供电电压				
VDD, VIO to GND		-0.3	7	V
VIO to VDD		-0.3	VDD + 0.3	V
DIN、CNV、SCK 接地		-0.3	VIO + 0.3	V
SDO 接地		-0.3	VIO + 0.3	V
封装热阻抗 ⁽²⁾	QFN4X4-20		55	°C/W
存储温度范围		-65	+150	°C
结温 ⁽³⁾			+150	°C

(1) 超过这些额定值的应力可能会造成永久性损坏。长时间暴露在绝对最大应力条件下可能会降低设备的可靠性。这些仅为应力额定值，并不意味着设备在这些或任何其他超出规定条件的情况下都能正常工作。

(2) 封装热阻抗按照 JESD-51 计算。

(3) 最大功耗是 $T_{J(MAX)}$, $R_{\theta JA}$ 和 T_A 的函数。在任何环境温度下，最大允许功耗为 $P_D = (T_{J(MAX)} - T_A) / R_{\theta JA}$ 。所有数值均适用于直接焊接在 PCB 上的封装。

7.2 静电放电防护等级

以下静电放电信息仅适用于在静电放电防护区域内处理静电放电敏感器件。

			数值	单位
$V_{(ESD)}$	静电放电	人体模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±2000	V
		充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 ⁽²⁾	±1500	

(1) JEDEC 文件 JEP155 指出，500 V HBM 允许采用标准 ESD 控制流程进行安全制造。

(2) JEDEC 文件 JEP157 指出，250 V CDM 允许采用标准 ESD 控制流程进行安全制造。



静电放电敏感性警告

静电放电损伤的程度不一，从轻微的性能下降到器件完全失效都有可能。精密集成电路可能更容易受到损伤，因为即使是很小的参数变化也可能导致器件无法达到其公布的规格。

7.3 技术规格

VDD = 2.3 V 至 5.5 V, VIO = 1.8 V 至 VDD, 参考电压 (V_{REF}) = VDD, 所有规格, T_A = -55 至 +125 °C, 除非另有说明。

范围	测试条件/备注	最小值	典型值	最大值	单位
RESOLUTION (解决)		16			Bits
模拟输入					
电压范围	单极模式	0		+ V_{REF}	V
	双极模式	- $V_{REF}/2$		+ $V_{REF}/2$	V
绝对输入电压	正输入、单极和双极模式	-0.1		$V_{REF}+0.1$	V
	负极或 COM 输入, 单极性模式	-0.1		+0.1	V
	负极或 COM 输入, 双极性模式	$V_{REF}/2-0.1$	$V_{REF}/2$	$V_{REF}/2+0.1$	V
模拟输入共模抑制比 ⁽¹⁾	输入频率 (f_{IN}) = 10 kHz		75		dB
25°C 时的漏电流输入阻抗 ⁽²⁾	Acquisition phase (收购阶段)		1		nA
吞吐量					
转化率					
全带宽 ⁽³⁾	VDD = 4.5 V to 5.5 V	0		250	kSPS
	VDD = 2.3 V to 4.5 V	0		200	kSPS
¼ 带宽 ⁽³⁾	VDD = 4.5 V to 5.5 V	0		62.5	kSPS
	VDD = 2.3 V to 4.5 V	0		50	kSPS
瞬态响应	全幅步进, 全带宽			1.8	μs
	全量程步长, 1/4 带宽			14.5	μs
准确性					
无缺失代码		16			Bits
积分线性误差			±1.5		LSB ⁽⁴⁾
微分线性误差			±0.4		LSB
过渡噪声	REF = VDD = 5 V		0.6		LSB
增益误差 ⁽⁵⁾			±5		LSB
增益误差匹配			0.5		LSB
增益误差温度漂移			±0.1		ppm/°C
偏移误差 ⁽⁵⁾	VDD = 4.5 V to 5.5 V		±5		LSB
	VDD = 2.3 V to 4.5 V		±5		LSB
偏移误差匹配			0.9		LSB
偏移误差温度漂移			0.2		ppm/°C
电源灵敏度	VDD = 5 V ± 5%		±1		LSB

规格（续）

VDD = 2.3 V 至 5.5 V，VIO = 1.8 V 至 VDD，参考电压 (V_{REF}) = VDD，所有规格， $T_A = -55$ to $+125^{\circ}\text{C}$ ，除非另有说明。

范围	测试条件/备注	最小值	典型值	最大值	单位
交流精度⁽⁶⁾					
动态范围			91.5		dB ⁽⁷⁾
信噪比 (SNR)	$f_{IN} = 2\text{kHz}$, $V_{REF} = 5\text{V}$		90.3		dB
	$f_{IN} = 2\text{kHz}$, $V_{REF} = 4.096\text{V}$, internal REF		89		dB
	$f_{IN} = 2\text{kHz}$, $V_{REF} = 2.5\text{V}$, internal REF		85.2		dB
SINAD ⁽⁸⁾	$f_{IN} = 2\text{kHz}$, $V_{REF} = 5\text{V}$		90.1		dB
	$f_{IN} = 2\text{kHz}$, $V_{REF} = 4.096\text{V}$, internal REF		88		dB
	$f_{IN} = 2\text{kHz}$, $V_{REF} = 2.5\text{V}$, internal REF		85		dB
总谐波失真 (THD)	$f_{IN} = 2\text{kHz}$		-104		dB
无杂散动态范围 (SFDR)	$f_{IN} = 2\text{kHz}$		109		dB
信道间串扰	$f_{IN} = 100\text{kHz}$ on adjacent channel(s)		-112		dB
采样动态					
-3 dB 输入带宽	全带宽		1.7		MHz
	1/4 带宽		0.475		MHz
孔径延迟	VDD = 5 V		2		ns
温度范围					
指定性能	最低温度 (T_{MIN}) 至最高温度 (T_{MAX})	-55		125	$^{\circ}\text{C}$

(1) CMRR 指的是共模抑制比。

(2) 请参阅“模拟输入”部分。

(3) 带宽在配置寄存器中设置。

(4) 在 5 V 输入范围内，一个 LSB 为 76.3 μV 。

(5) 请参阅术语部分。这些规格参数包含完整的温度范围变化，但不包括外部参考源造成的误差。

(6) 除非另有说明，VDD = 5 V。

(7) 除非另有规定，所有以分贝表示的规格均指满量程输入范围 (FSR)，并在低于满量程 0.5 dB 的输入信号下进行测试。

(8) 请参阅术语部分。

规格（续）

VDD = 2.3 V 至 5.5 V, VIO = 1.8 V 至 VDD, VREF = VDD, 所有规格, TA = -55°C to +125°C, 除非另有说明。

范围	测试条件/备注	最小值	典型值	最大值	单位
内部参考					
参考输出电压	25°C 时电压为 2.5 V	2.490	2.500	2.510	V
	25°C 时电压为 4.096 V	4.089	4.096	4.101	V
REFIN 输出电压 ⁽¹⁾	25°C 时电压为 2.5V		1.13		V
	25°C 时电压为 4.096 V		2.31		V
参考输出电流			±300		μA
温度漂移			±15		ppm/°C
线路调节	VDD=5V±5%		25		ppm/V
长期漂移	1000 小时		TBD		ppm
启动稳定时间	参考电容 (CREF) = 10μF		100		ms
外部参考					
电压范围	参考输入	0.5		VDD+0.3	V
	REFIN 输入 (缓冲)	1.5		VDD-0.5	V
电流消耗 ⁽²⁾	250 KSPS, 参考电压 = 5 V		88		μA
温度传感器					
输出电压 ⁽³⁾	25°C		267		mV
温度敏感性			0.88		mV/°C
数字输入					
逻辑电平					
输入电压					
Low (VIL)		-0.3		0.3×VIO	V
High (VIH)		0.7×VIO		VIO+0.3	V
输入电流					
Low (IIL)		-1		+1	μA
High (IIH)		-1		+1	μA
数字输出					
数据格式 ⁽⁴⁾					
管道延误 ⁽⁵⁾					
输出电压					
Low (VOL)	吸收电流 (ISINK) = 500μA			0.4	V
High (VOH)	源电流 (ISOURCE) = -500 μA	VIO-0.3			V

规格（续）

VDD = 2.3 V 至 5.5 V, VIO = 1.8 V 至 VDD, V_{REF} = VDD, 所有规格, T_A = -55°C to +125°C, 除非另有说明。

范围	测试条件/备注	最小值	典型值	最大限度	单元
电源					
VDD ⁽⁶⁾	规定性能	2.3		5.5	V
车辆	规定性能	1.8		VDD+0.3	V
待机电流 ^(7,8)	VDD 和 VIO = 5 V (25 °C 时)		50		nA
功率损耗	VDD = 2.5 V, 吞吐量 100 SPS		2.1		μW
	VDD= 2.5 V, 吞吐量 200 kSPS		3.5		mW
	VDD= 5 V, 吞吐量 250 kSPS		12	18	mW
	VDD = 5 V, 内部基准电压下吞吐量为 250 kSPS		14.6	20	mW
每次转换的能量	VDD=5V		50		nJ
温度范围 ⁽⁹⁾					
指定性能	T _{MIN} 到 T _{MAX}	-55		125	°C

(1) 这是内部带隙的输出。

(2) 这是平均电流，并随吞吐量而变化。

(3) 输出电压为内部输出，并显示在专用的多路复用器输入端。

(4) 单极性模式为串行 16 位二进制数。双极性模式为串行 16 位二进制补码。

(5) 转化结果 转换完成后即可立即使用。

(6) 当启用 2.5V 内部基准电压时，最小 VDD 电源电压必须为 3V；当启用 4.096V 内部基准电压时，最小 VDD 电源电压必须为 4.5V。更多信息请参见图 22。

(7) 所有数字输入均根据需要强制接至 VIO 或 GND。

(8) 在收购阶段。

(9) 如需了解扩展温度范围，请联系 Analog Devices, Inc. 的销售代表。

7.4 时序规格

VDD = 4.5 V 至 5.5 V, VIO = 1.8 V 至 VDD, 所有规格, $T_A = -55^{\circ}\text{C}$ to $+125^{\circ}\text{C}$, 除非另有说明。有关负载条件, 请参见图 2 和图 3。

范围	代码	最小值	典型值	最大值	单位
转换时间					
CNV 上升边缘数据可用	t_{CONV}			2.2	μs
获取时间	t_{ACQ}	1.8			μs
转换间隔时间	t_{CYC}	4			μs
转换期间的数据写入/读取	t_{DATA}			1.2	μs
SCK					
时期	t_{SCK}	$t_{\text{DSDO}+2}$			ns
Low Time	t_{SCKL}	15			ns
High Time	t_{SCKH}	15			ns
下降沿到数据仍然有效	t_{HSDO}	10			ns
下降沿到数据有效延迟	t_{DSDO}				
VIO 高于 2.7V				20	ns
VIO 高于 2.3V				23	ns
VIO 高于 1.8V				31	ns
CNV					
脉冲宽度	t_{CNVH}	5			ns
低至 SDO DI 5 MSB 有效	t_{EN}				
VIO 高于 2.7V				13	ns
VIO 高于 2.3V				15	ns
VIO 高于 1.8V				18	ns
高电平或最后一个 SCK 下降沿至 SDO 高阻抗	t_{DIS}			15	ns
低至 SCK 上升沿	t_{CLSCK}	5			ns
DIN					
SCK Rising Edge 的有效设置时间	t_{SDIN}	5			ns
SCK 上升沿的有效保持时间	t_{HDIN}	5			ns

时序规格（续）

VDD = 2.3 V 至 4.5 V, VIO = 1.8 V 至 VDD, 所有规格, $T_A = -55^{\circ}\text{C}$ to $+125^{\circ}\text{C}$, 除非另有说明。有关负载条件, 请参见图 2 和图 3。

范围	代码	最小值	典型值	最大值	单位
转换时间					
CNV 上升边缘数据可用	t_{CONV}			3.2	μs
获取时间	t_{ACQ}	1.8			μs
两次转换之间的时间间隔	t_{CYC}	5			μs
转换期间的数据写入/读取	t_{DATA}			1.2	μs
SCK					
时期	t_{SCK}	$t_{\text{DSDO}+2}$			ns
Low Time	t_{SCKL}	20			ns
High Time	t_{SCKH}	20			ns
下降沿到数据仍然有效	t_{HSDO}	5			ns
下降沿到数据有效延迟	t_{DSDO}				
VIO 高于 3V, $T_A \leq 125^{\circ}\text{C}$				24	ns
VIO 高于 2.7V, $T_A \leq 125^{\circ}\text{C}$				30	ns
VIO 高于 2.3V, $T_A \leq 125^{\circ}\text{C}$				30	ns
VIO 高于 1.8V, $T_A \leq 125^{\circ}\text{C}$				36	ns
CNV					
脉冲宽度	t_{CNVH}	5			ns
低至 SDO D15 MSB 有效	t_{EN}				
VIO 高于 3V, $T_A \leq 125^{\circ}\text{C}$				37	ns
VIO 高于 2.7V, $T_A \leq 125^{\circ}\text{C}$				43	ns
VIO 高于 2.3V, $T_A \leq 125^{\circ}\text{C}$				52	ns
VIO 高于 1.8V, $T_A \leq 125^{\circ}\text{C}$				60	ns
高电平或最后一个 SCK 下降沿至 SDO 高阻抗	t_{DIS}			50	ns
低至 SCK 上升沿	t_{CLSCK}	5			ns
DIN					
SCK Rising Edge 的有效设置时间	t_{SDIN}	5			ns
SCK 上升沿的有效保持时间	t_{HDIN}	5			ns

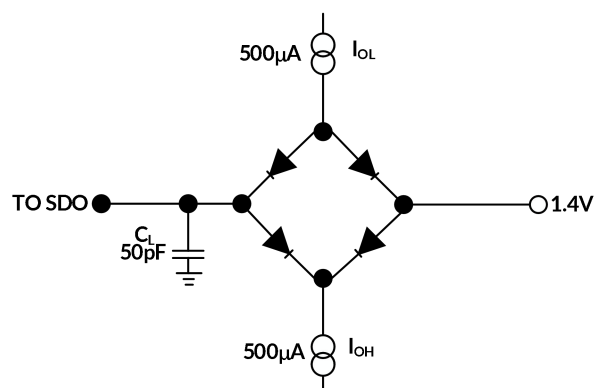
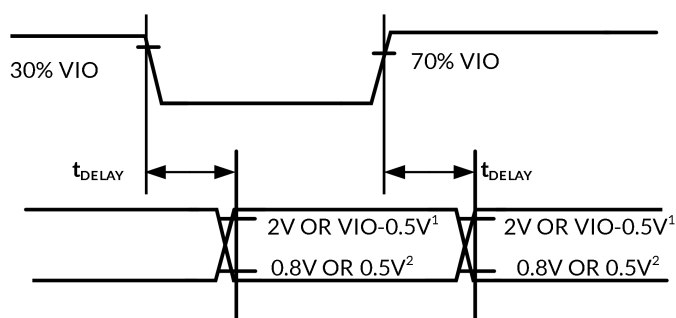


图 2. 数字接口时序负载电路



2V IF VIO ABOVE 2.5V, VIO-0.5V IF VIO BELOW 2.5V.
 0.8V IF VIO ABOVE 2.5V, 0.5V IF VIO BELOW 2.5V.

图 3. 时序电压电平

7.5 典型性能特征

注：本说明之后提供的图表是基于有限数量的样本的统计摘要，仅供参考。

VDD = 2.5 V 至 5.5 V, V_{REF} = 2.5 V 至 5 V, V_{IO} = 2.3 V 至 VDD。

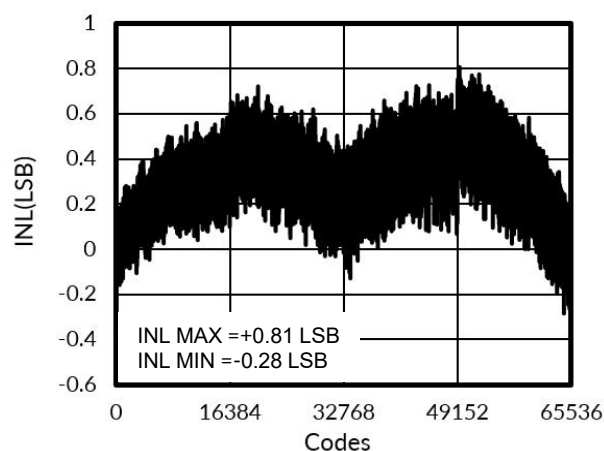


图 4. 积分非线性与代码的关系, V_{REF} = VDD = 5V

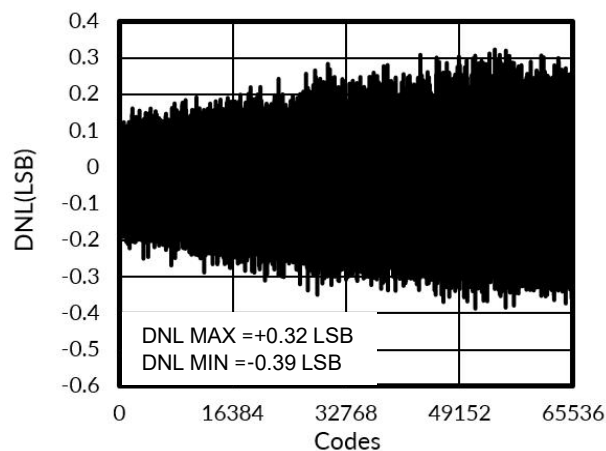


图 5. 微分非线性与代码的关系 V_{REF} = VDD = 5V

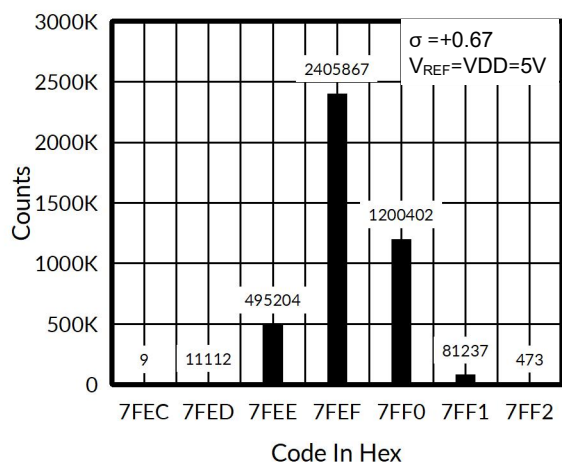


图 6. 代码中心直流输入的直方图

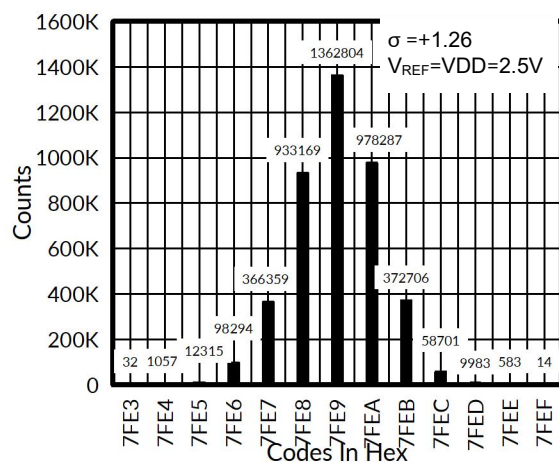


图 7. 代码中心直流输入的直方图

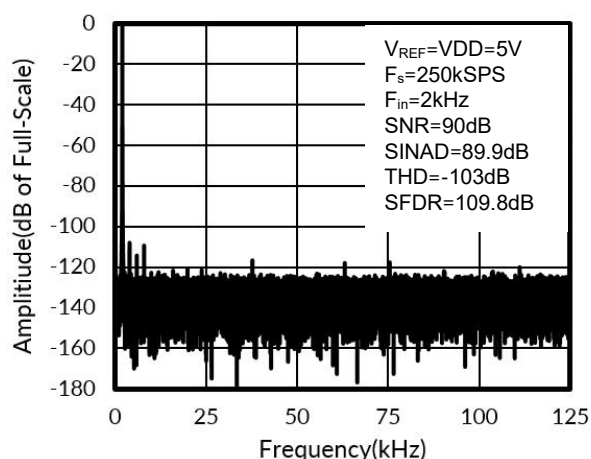


图 8. 2kHz 快速傅里叶变换 (FFT)
V_{REF} = VDD = 5V

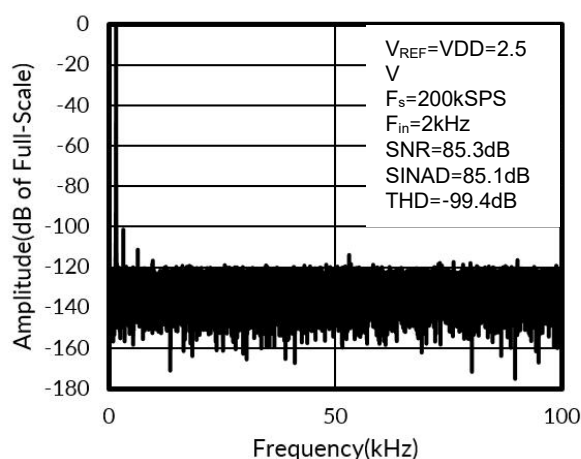


图 9. 2kHz FFT, V_{REF} = VDD = 2.5V

典型性能特征 (续)

注：本说明之后提供的图表是基于有限数量的样本的统计摘要，仅供参考。

VDD = 2.5 V 至 5.5 V, V_{REF} = 2.5 V 至 5 V, V_{IO} = 2.3 V 至 VDD。

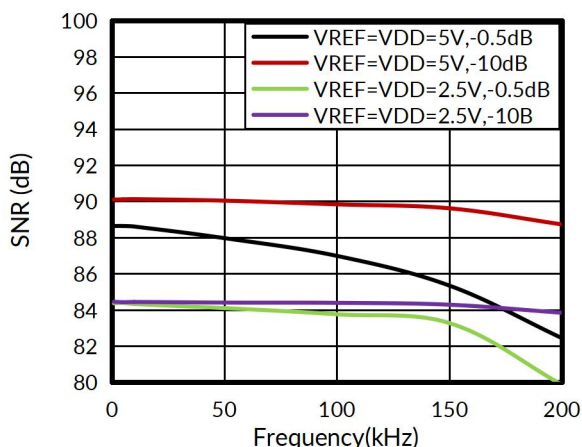


图 10. 信噪比与输入频率的关系

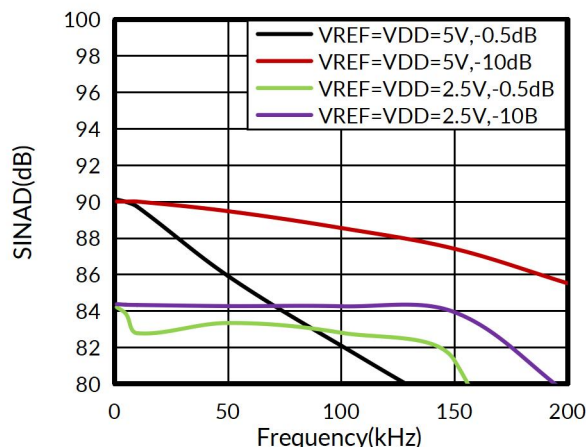


图 11. SINAD 与输入频率的关系

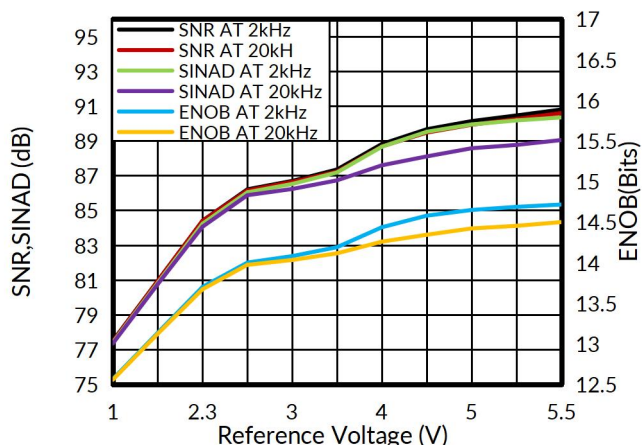


图 12. SNR、SINAD 和有效位数 (ENOB) 与参考电压的关系

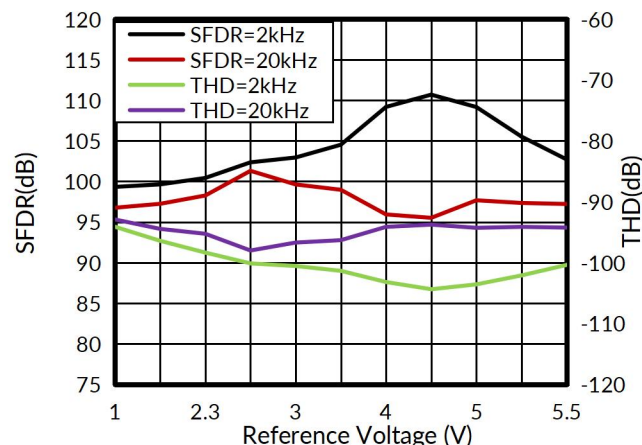


图 13. 无杂散动态范围 (SFDR) 和总谐波失真 (THD) 与参考电压的关系

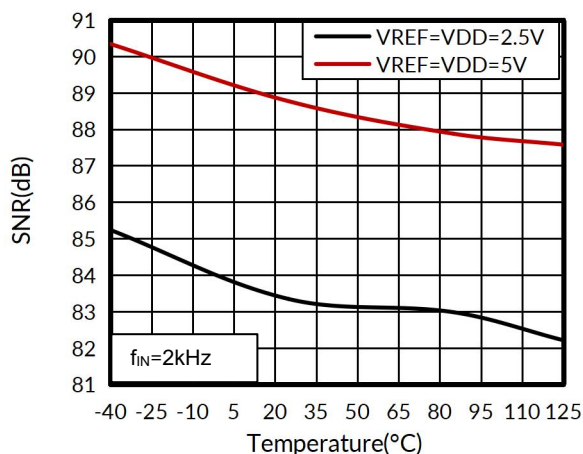


图 14. 信噪比与温度的关系

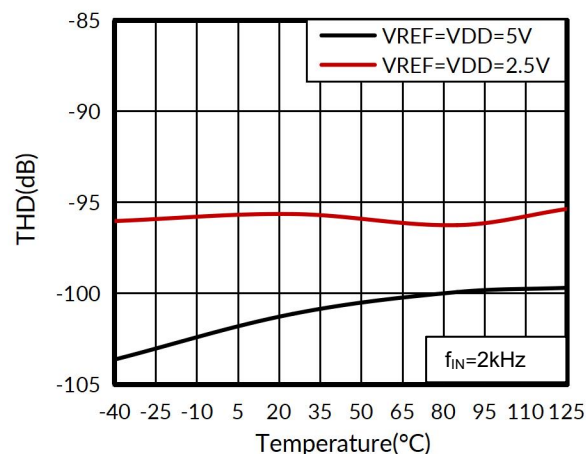


图 15. 总谐波失真与温度的关系

典型性能特征 (续)

注：本说明之后提供的图表是基于有限数量的样本的统计摘要，仅供参考。

除非另有说明，VDD = 2.5 V 至 5.5 V，VREF = 2.5 V 至 5 V，VIO = 2.3 V 至 VDD。

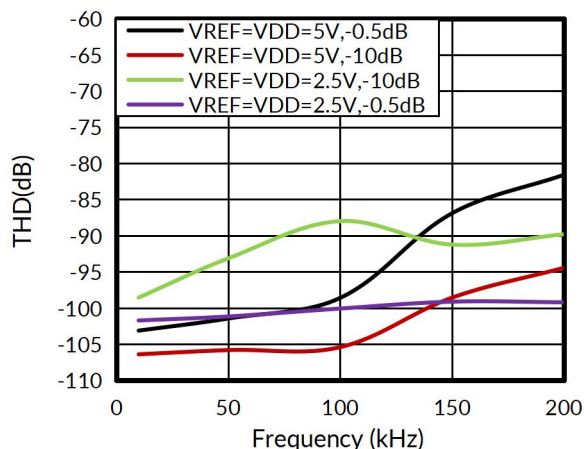


图 16.总谐波失真与频率的关系

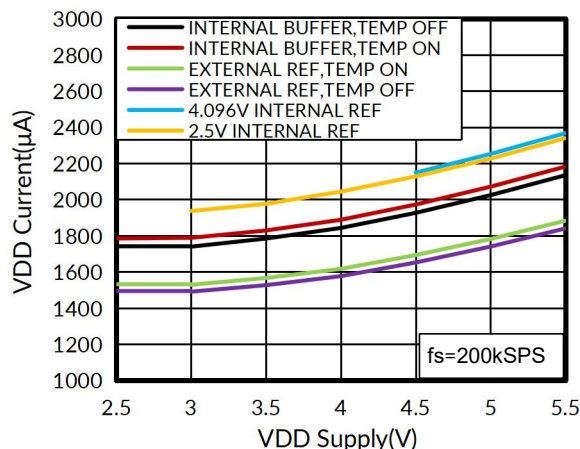


图 17.工作电流与电源

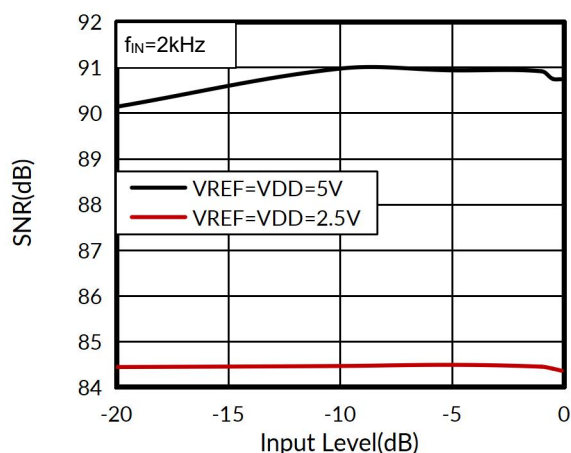


图 18.信噪比与输入电平的关系

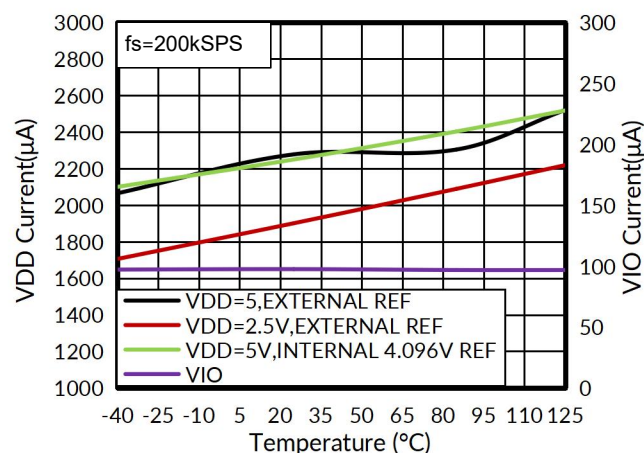


图 19.工作电流与温度的关系

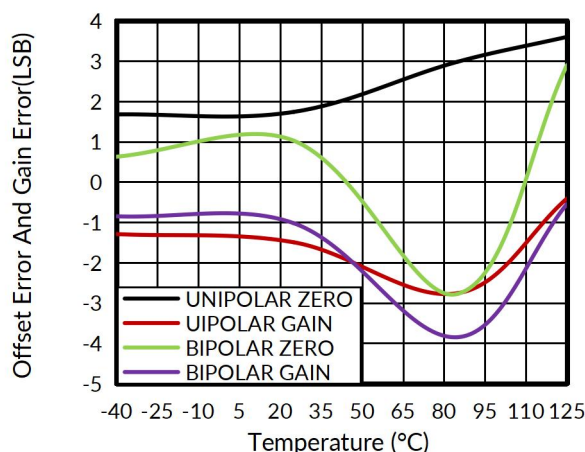
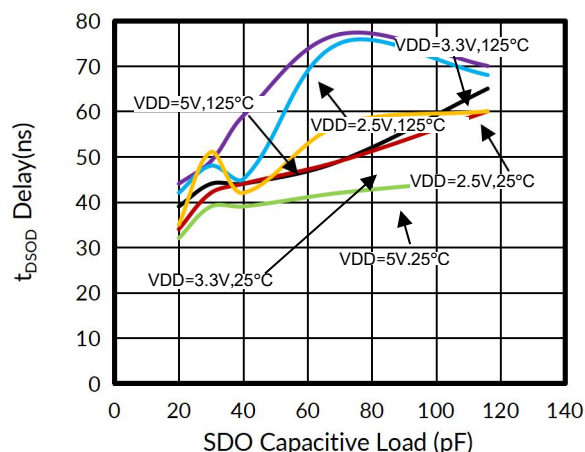


图 20.偏移和增益误差与温度的关系

图 21. t_{DSO} 延迟与 SDO 电容、负载和电源的关系

8 术语

最低有效位 (LSB)

LSB（最低有效位）是转换器所能表示的最小增量。对于一个 N 位分辨率的 ADC，以伏特为单位的 LSB 为：

$$\text{LSB(V)} = V_{\text{REF}} / 2^N$$

积分非线性误差 (INL)

INL 指的是每个编码与从负满量程到正满量程所绘制的直线之间的偏差。负满量程定义为第一个码转换前 0.5 LSB 处的值。正满量程定义为最后一个码转换后 1.5 LSB 处的值。偏差是从每个码的中间值到真实直线的距离（见图 23）。

微分非线性误差 (DNL)

在理想的模数转换器（ADC）中，码转换间隔为 1 个最低有效位（LSB）。差分非线性（DNL）是指与此理想值的最大偏差。它通常以分辨率来表示，在该分辨率下，不会出现码丢失。

偏移误差

第一次转换必须发生在比模拟地高 0.5 LSB 的电平处。偏移误差是指实际转换点与该点的偏差。

增益误差

最后一次转换（从 111...10 到 111...11）必须发生在模拟电压低于标称满量程 1.5 LSB 的情况下。增益误差是指在校正偏移误差后，最后一次转换的实际电平与理想电平之间的 LSB 偏差（或满量程百分比）。与此密切相关的是满量程误差（同样以 LSB 或满量程百分比表示），它包含了偏移误差的影响。

孔径延迟

孔径延迟是衡量采集性能的指标。它是指 CNV 输入信号的上升沿到输入信号保持进行转换的点之间的时间。

瞬态响应

瞬态响应是指在施加满量程阶跃函数后，ADC 准确获取其输入所需的时间。

动态范围

动态范围是指满量程均方根值与输入端短路时测得的总噪声均方根值的比值。动态范围的值以分贝表示。

信噪比 (SNR)

信噪比（SNR）是实际输入信号的均方根值与奈奎斯特频率以下所有其他频谱分量（不包括谐波和直流分量）的均方根之和的比值。信噪比的单位是分贝。

信噪比 (SINAD)

SINAD 是实际输入信号的均方根值与奈奎斯特频率以下所有其他频谱分量（包括谐波，但不包括直流分量）的均方根之和的比值。SINAD 的值以分贝表示。

总谐波失真 (THD)

总谐波失真 (THD) 是前五个谐波分量的有效值之和与满量程输入信号的有效值之比，以分贝表示。

无杂散动态范围 (SFDR)

SFDR 是以分贝为单位的输入信号均方根幅度与峰值杂散信号幅度之间的差值。

有效位数 (ENOB)

ENOB 是衡量正弦波输入分辨率的指标。它与 SINAD 的关系式为：

$$\text{ENOB} = (\text{SINAD}_{\text{dB}} - 1.76) / 6.02$$

以比特为单位表示。

通道间串扰

通道间串扰是衡量任意两个相邻通道之间串扰程度的指标。测量方法是：在被测通道上施加直流信号，并在相邻通道上施加一个满量程的 100 kHz 正弦波信号。串扰量是指泄漏到被测通道中的信号量，单位为分贝。

参考电压温度系数

T_{MAX} 对应的典型输出电压漂移计算得出的，测量温度分别为 T_{MIN} 、 $T(25^{\circ}\text{C})$ 和 T_{MAX} 。其单位为 ppm/ $^{\circ}\text{C}$ 。

$$\text{TCV}_{\text{REF}}(\text{ppm}/^{\circ}\text{C}) = \frac{V_{\text{REF}}(\text{Max}) - V_{\text{REF}}(\text{Min})}{V_{\text{REF}}(25^{\circ}\text{C}) \times (T_{\text{MAX}} - T_{\text{MIN}})} \times 10^6$$

在哪里：

$V_{\text{REF}}(\text{Max})$ = maximum V_{REF} at T_{MIN} , $T(25^{\circ}\text{C})$, or T_{MAX} .

$V_{\text{REF}}(\text{Min})$ = minimum V_{REF} at T_{MIN} , $T(25^{\circ}\text{C})$, or T_{MAX} .

$V_{\text{REF}}(25^{\circ}\text{C})$ = V_{REF} at 25°C .

T_{MAX} = 125°C .

T_{MIN} = -55°C .

9 工作原理

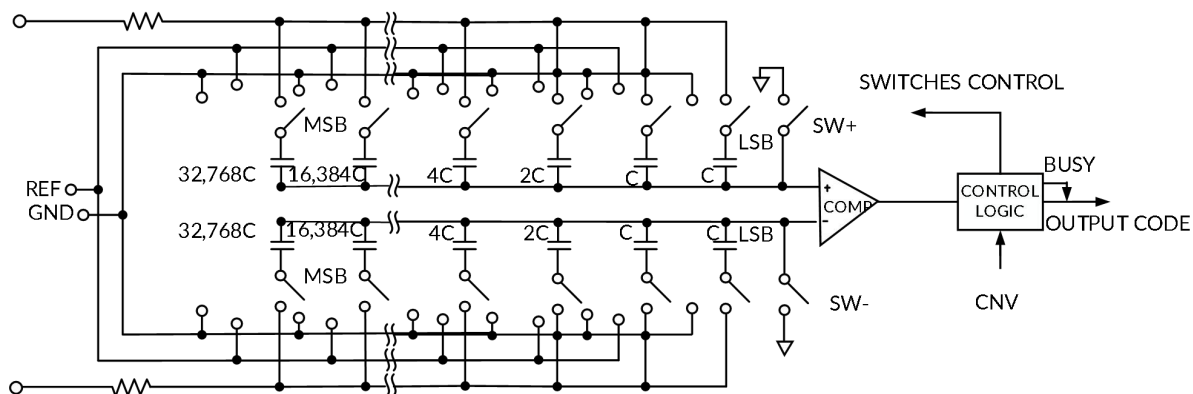


图 22. 直流简化原理图

9.1 概述

TLX1438 是一款 8 通道、16 位电荷重分配 SAR ADC。该器件是 该设备每秒可转换 250,000 个样本 (250 kSPS)，并在转换间隙自动断电。例如，当使用 1 kSPS 的外部参考信号时，其典型功耗为 17 μ W，非常适合电池供电应用。

TLX1438 包含用于多通道、低功耗数据采集系统的所有组件，包括以下组件：

- 16 位 SAR ADC，无缺失码
- 8 通道低串扰多路复用器
- 内部低漂移参考电压和缓冲电压
- 温度传感器
- 可选单极滤波器
- 通道序列器

这些组件通过一个兼容 SPI 的 14 位寄存器进行配置。转换结果（同样兼容 SPI）可以在转换后或转换过程中读取，并且可以选择读取与转换关联的配置信息。

TLX1438 为用户提供片上跟踪保持功能，并且不会出现流水线延迟或延迟。

这 TLX1438 的工作电压范围为 2.3V 至 5.5V，并且可以 可与任何 1.8V 至 5V 数字逻辑系列连接。它采用 20 引脚、4 毫米 × 4 毫米 QFN4 封装，既节省空间又可实现灵活的配置。它与 16 位 TLX1438 引脚完全兼容。

9.2 转换器操作

TLX1438 是一款基于电荷重分配数模转换器 (DAC) 的逐次逼近型模数转换器 (ADC)。图 2 显示了该 ADC 的简化原理图。电容式 DAC 由两个相同的 16 个二进制加权电容阵列组成，这两个阵列连接到比较器的两个输入端。

在采集阶段，连接到比较器输入端的阵列端子通过 SW+ 和 SW- 连接到 GND。所有独立开关都连接到模拟输入端。

电容阵列用作采样电容，采集 INx+ 和 INx-（或 COM）输入端的模拟信号。采集阶段完成后，CNV 输入变为高电平，此时启动转换阶段。转换阶段开始时，SW+ 和 SW- 首先断开。然后，两个电容阵列与输入端断开，并连接到 GND 输入端。因此，采集阶段结束时采集到的 INx+ 和 INx-（或 COM）输入端之间的差分电压施加到比较器输入端，导致比较器不平衡。通过在 GND 和 REF 之间切换电容阵列的每个元件，比较器输入以二进制加权电压阶跃 ($V_{REF}/2$ 、 $V_{REF}/4$... $V_{REF}/32,768$) 变化。控制逻辑从最高有效位 (MSB) 开始切换这些开关，使比较器恢复到平衡状态。此过程完成后，设备返回采集阶段，控制逻辑生成 ADC 输出代码和忙信号指示符。

由于 TLX1438 具有板载转换时钟，因此转换过程不需要串行时钟 SCK。

9.3 传递函数

当输入配置为单极性范围（单端、COM 带地感，或与 $INx-$ 差分配对作为地感）时，数据输出为纯二进制。

当输入配置为双极性范围（ $COM = V_{REF}/2$ 或与 $INx- = V_{REF}/2$ 差分配对）时，数据输出为二进制补码。

TLX1438 的理想传输特性，包括单极性和双极性范围，以及内部 4.096 V 基准。

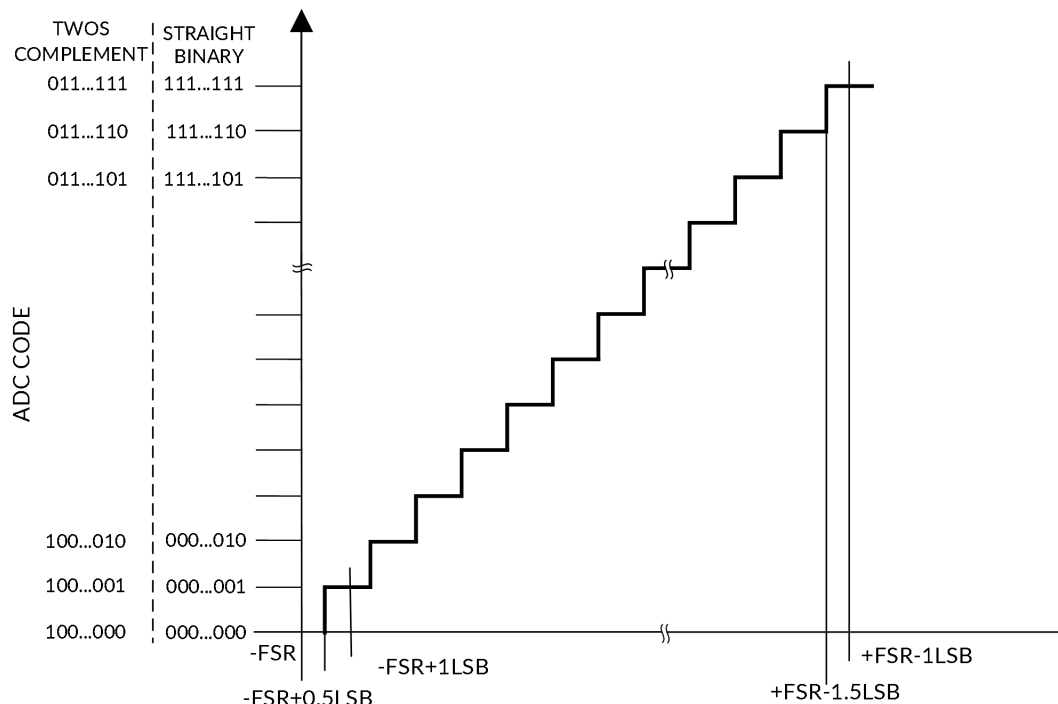


图 23. ADC 理想传递函数

表 1. 输出代码和理想输入电压

描述	单极性模拟输入 ⁽¹⁾ $V_{REF} = 4.096\text{ V}$	数字输出代码（直接 二进制十六进制）	双极模拟输入 ⁽²⁾ $V_{REF} = 4.096\text{ V}$	数字输出码（二进制补码 十六进制）
FSR - 1 LSB	4.095938V	0 x FFFF ⁽³⁾	2.047938V	0x7FFF
中型 + 1 LSB	2.048063V	0x8001	62.5 μ V	0x0001
中档	2.048V	0x8000	0V	0x0000
中尺度 - 1 LSB	2.047938V	0x7FFF	-62.5 μ V	0xFFFF
-FSR + 1 LSB	62.5 μ V	0x0001	-2.047938V	0x8001
-FSR	0V	0x0000 ⁽⁴⁾	-2.048V	0x8000 ⁽⁴⁾

(1) COM 或 $INx- = 0\text{ V}$ 或所有 INx 均接地。

(2) COM 或 $INx- = V_{REF}/2$ 。

(3) 这也是模拟输入过量程（ $(INx+) - (INx-)$ 或 COM 高于 $V_{REF} - GND$ ）的编码。

(4) 这也是模拟输入欠量程（ $(INx+) - (INx-)$ 或 COM 低于 GND ）的编码。

9.4 典型连接图

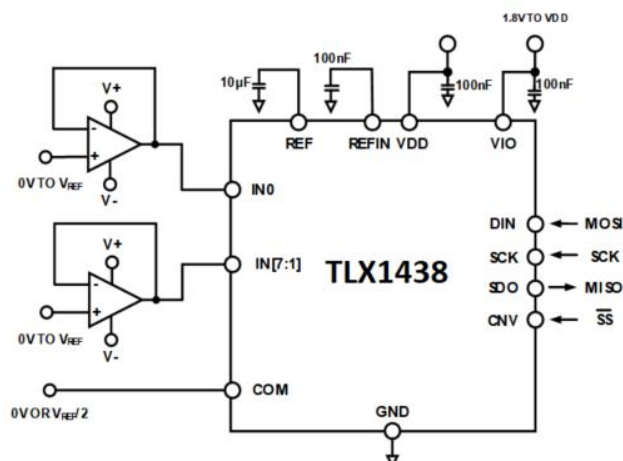


图 24. 多电源典型应用图

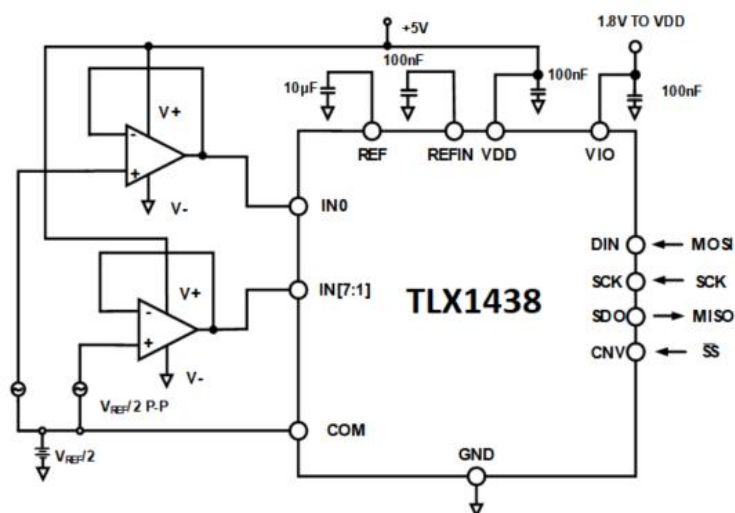


图 25. 使用双极性输入的典型应用图

9.4.1 单极或双极

图 24 图示为当有多个电源可用时，TLX1438 的推荐连接图示例。

9.4.2 双极单电源

图 25 展示了一个采用单电源供电（内部参考电压可选，VIO 电源可独立供电）的双极性输入系统示例。当放大器/信号调理电路位于远处且存在共模干扰时，此电路也十分有用。请注意，对于任何输入配置，INx 输入均为单极性，且始终以 GND 为参考（即使在双极性范围内，也不会出现负电压）。此电路可以使用轨到轨输入/输出放大器。但是，需要考虑失调电压与输入共模范围的关系（当 $V_{REF} = 4.096\text{ V}$ 时， $1\text{ LSB} = 62.5\text{ }\mu\text{V}$ ）。请注意，使用双极性输入配置时，转换结果采用二进制补码格式。

9.5 模拟输入

9.5.1 输入结构

图 26 图示为 TLX1438 输入结构的等效电路。二极管 D1 和 D2 为模拟输入 IN[7:0] 和 COM 提供 ESD 保护。必须注意模拟输入信号电压不得超过电源电压 0.3V 以上，否则会导致二极管正向偏置并开始导通。

这些二极管可承受最大 130 mA 的正向偏置电流。例如，当输入缓冲器电源与 VDD 不同时，可能会出现这种情况。在这种情况下，例如输入缓冲器发生短路时，可以使用限流功能来保护器件。

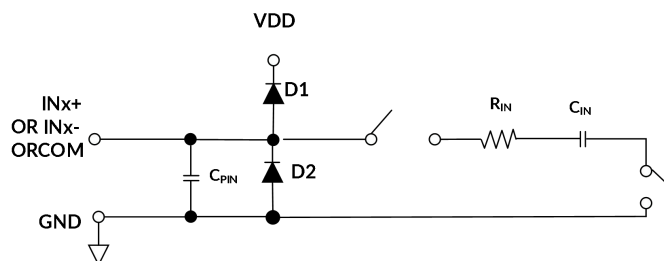


图 26. 等效模拟输入电路

这种模拟输入结构允许对 INx+ 和 COM 或 INx+ 和 INx- 之间的真实差分信号进行采样。（COM 或 INx- = GND ± 0.1 V 或 $V_{REF} \pm 0.1$ V）。通过使用这些差分输入，可以抑制两个输入端共有的信号，如图 27 所示。

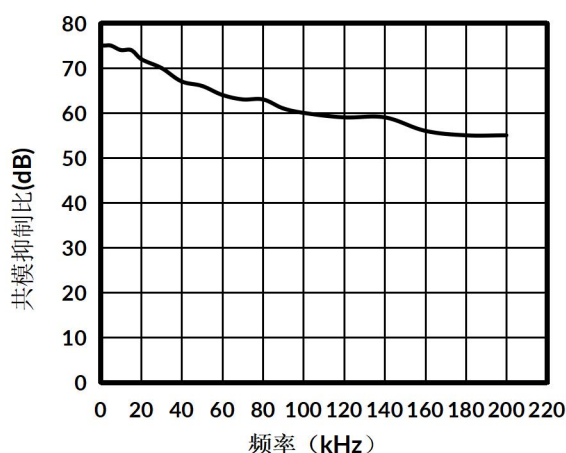


图 27. 模拟输入共模抑制比与频率的关系

在采集阶段，模拟输入端的阻抗可以建模为电容 C_{PIN} 与由 R_{IN} 和 C_{IN} 串联构成的网络的并联组合。 C_{PIN} 主要为引脚电容。 R_{IN} 通常为 2.2 k Ω ，是一个集总元件，由串联电阻和开关的导通电阻组成。 C_{IN} 通常为 27 pF，主要为 ADC 采样电容。

9.5.2 可选低通滤波器

在转换阶段，当开关断开时，输入阻抗被限制为 C_{PIN} 。TLX1438 采集数据时， R_{IN} 和 C_{IN} 构成一个单极点低通滤波器，用于减少不必要的混叠效应并限制驱动电路的噪声。该低通滤波器可通过 CFG[6] 编程，设置为全带宽或 1/4 带宽，如表 3 所示。此设置会将 R_{IN} 更改为 19 k Ω 。请注意，使用该滤波器时，转换器吞吐量也必须减少 1/4。如果将带宽 (BW) 设置为 1/4 时使用最大吞吐量，则会超出转换器采集时间 t_{ACQ} ，从而导致总谐波失真 (THD) 增加。

9.5.3 输入配置

图 2.8 展示了使用配置寄存器 CFG[12:10] 配置模拟输入的不同方法。更多详情请参阅“配置寄存器 CFG”部分。模拟输入的配置方式如下图所示：

- 图 28 (A)，单端参考系统地，CFG[12:10] = 111₂。在此配置中，所有输入 (IN[7:0]) 的范围为 GND 到 V_{REF} 。

- 图 28 (B)，具有公共参考点的双极性差分， $COM = V_{REF}/2$ ， $CFG[12:10] = 010_2$ 。COM 连接到地线的单极性差分； $CFG[12:10] = 110_2$ 。在此配置中，所有输入 $IN[7:0]$ 的范围为 GND 到 V_{REF} 。
- 图 28 (C) 双极性差分对，其负输入通道参考电压为 $V_{REF}/2$ ， $CFG[12:10] = 00X_2$ 。单极性差分对，其负输入通道参考地， $CFG[12:10] = 10X_2$ 。在这些配置中，正输入通道的范围为 GND 到 V_{REF} 。负输入通道对于双极性差分对参考电压为 $V_{REF}/2$ ，对于单极性差分对参考地。正通道配置为 $CFG[9:7]$ 。如果 $CFG[9:7]$ 为偶数，则使用 $IN0$ 、 $IN2$ 、 $IN4$ 和 $IN6$ 。如果 $CFG[9:7]$ 为奇数，则使用 $IN1$ 、 $IN3$ 、 $IN5$ 和 $IN7$ ，如图 28 (C) 中带括号的通道所示。例如，对于正通道位于 $IN0$ 的 $IN0/IN1$ 对， $CFG[9:7] = 000_2$ 。对于 $IN4/IN5$ 对，正通道位于 $IN5$ ，则 $CFG[9:7] = 101_2$ 。请注意，对于通道序列器部分中详细介绍的序列器，正通道始终为 $IN0$ 、 $IN2$ 、 $IN4$ 和 $IN6$ 。
- 图 28 (D)，输入配置为前面任何组合（表明 TLX1438 可以动态配置）

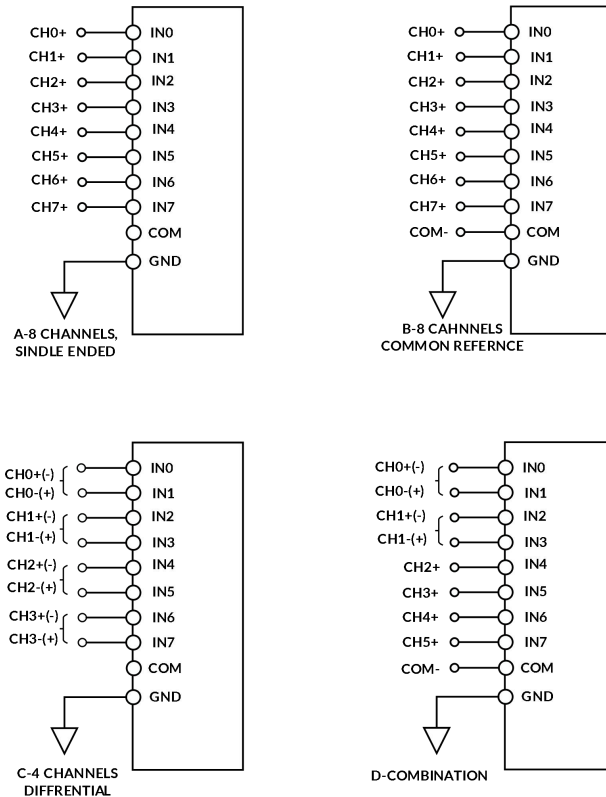


图 28. 多路复用模拟输入配置

9.5.4 序列器

TLX1438 包含一个通道序列器，可用于重复扫描通道。有关序列器操作的更多详细信息，请参阅“通道序列器”部分。

9.5.5 源电阻

当驱动电路的源阻抗较低时，TLX1438 可以直接驱动。较大的源阻抗会显著影响交流性能，尤其是总谐波失真 (THD)。直流性能对输入阻抗的敏感性较低。最大源阻抗取决于可容忍的 THD 值。THD 会随着源阻抗和最大输入频率的增加而恶化。

9.6 驱动放大器选择

虽然 TLX1438 驱动起来比较容易，但驱动放大器必须满足以下要求：

- 为了保持 TLX1438 的信噪比 (SNR) 和转换噪声性能，驱动放大器产生的噪声必须尽可能低。需要注意的是，TLX1438 的噪声远低于大多数其他 16 位 ADC，因此，即使使用噪声较大的放大器也能满足给定的系统噪声

规格。放大器产生的噪声由 TLX1438 模拟输入电路中的低通滤波器（由 R_{IN} 和 C_{IN} 构成）或外部滤波器（如果使用）进行滤波。由于 TLX1438 的典型噪声为 $35\mu V_{rms}$ ($V_{REF}=5V$)，因此放大器引起的信噪比下降为 $35\mu V$ 。

$$SNR_{Loss} = 20 \left(\log \frac{35}{\sqrt{35^2 + \frac{\pi}{2} f_{-3dB} (Ne_N)^2}} \right)$$

在哪里：

f_{-3dB} 是 TLX1438 的输入带宽（以兆赫兹为单位）（全带宽为 1.7 MHz，四分之一带宽为 425 kHz），或者如果使用输入滤波器，则为输入滤波器的截止频率。

N 是放大器的噪声增益（例如，在缓冲配置中为 1）。

e_N 是运算放大器的等效输入噪声电压，单位为 $nV/\sqrt{Hz}$ 。

- 对于交流应用，驱动器的 THD 性能必须与 TLX1438 相匹配。图 16 显示 TLX1438 的 THD 与频率的关系。
- 对于每个输入或输入对的多通道复用应用，驱动放大器和 TLX1438 模拟输入电路必须在 16 位电平 (0.0015%) 下将满量程阶跃信号施加到电容阵列上。在放大器数据手册中，更常见的是 0.1% 到 0.01% 的建立时间。这可能与 16 位电平下的建立时间有显著差异，因此必须在选择驱动器之前进行验证。

9.7 电压参考输出/输入

TLX1438 允许选择温度漂移极低的内部电压基准、外部基准或外部缓冲基准。

内部参考 TLX1438 它们性能卓越，几乎适用于所有应用。表 3 简要介绍了六种可能的电压基准方案，以下各节将提供更详细的信息。

9.7.1 内部参考/温度传感器

适用于大多数应用的精密内部基准电压源，可以设置为 2.5V 或 4.096V 输出，如表 3 所示。启用内部基准电压源后，带隙电压也会出现在 $REFIN$ 引脚上，这需要一个外部 $0.1\mu F$ 电容器。

启用参考电压也会启用内部温度传感器，该传感器用于测量 TLX1438 的内部温度，因此可用于执行系统校准。对于需要使用温度传感器的应用，必须启用内部参考电压（此时可以禁用内部缓冲器）。请注意，使用温度传感器时，输出直接以 TLX1438 的 GND 引脚为参考电压。

内部基准电压源的温度补偿精度为 10 mV。基准电压源经过微调，典型漂移为 ± 10 ppm/°C。TLX1438 连接方式如图所示。29 适用于 2.5 V 或 4.096 V 内部参考电压。

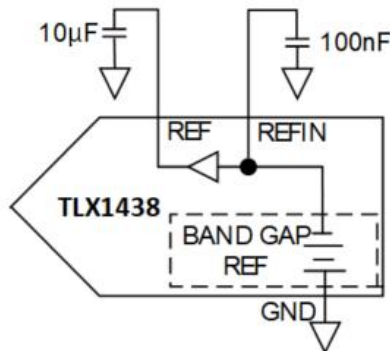


图 29. 2.5 V 或 4.096 V 内部参考连接

9.7.2 外部参考和内部缓冲

为了提高漂移性能，可以如图 30 所示，将外部参考电压与内部缓冲器配合使用。外部参考电压源连接到片上单位增益缓冲器的输入端 $REFIN$ ，输出端位于 REF 引脚。无论温度传感器是否启用，都可以将外部参考电压与内部缓冲器配合使用。寄存器详细信息请参见表 3。启用缓冲器后，增益为 1，输入/输出电压限制为 $VDD = -0.2V$ 。但是，允许的最大电压必须 $\leq VDD - 0.5V$ 。

内部参考缓冲器在多路转换器应用中非常有用，因为这些应用通常需要缓冲器。此外，由于内部缓冲器能够提供驱动 TLX1438 SAR 架构所需的性能，因此可以使用低功耗参考电压。

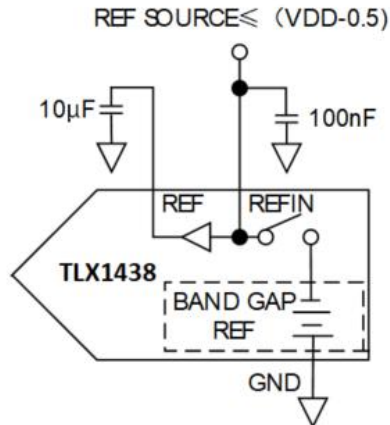


图 3.0 . 使用内部缓冲的外部参考

9.7.3 外部参考

在六种电压基准方案中，由于 REF 引脚的输出阻抗大于 5 kΩ，因此可以将外部基准电压直接连接到 REF 引脚上，如图 31 所示。为了降低功耗，请关闭基准电压源和缓冲器的电源。寄存器详细信息请参见表 3。

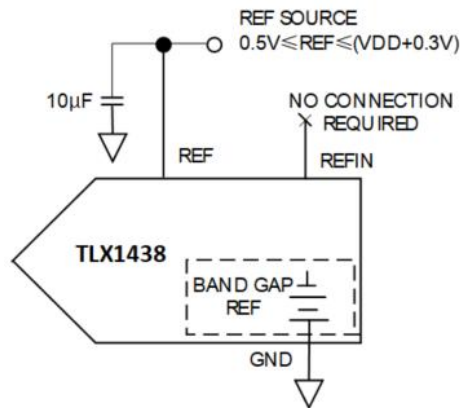


图 3.1 扩展参考

请注意，使用 5V 外部基准电压可获得最佳信噪比，因为内部基准电压限制在 4.096V。信噪比下降情况如下：

$$SNR_{Loss} = 20 \log \frac{4.096}{5}$$

9.7.4 参考解耦

无论使用内部还是外部基准电压源，TLX1438 的电压基准输出/输入端 REF 都具有动态输入阻抗，因此必须由低阻抗源驱动，并且 REF 和 GND 引脚之间必须有有效的去耦。这种去耦取决于所选的电压基准，但通常由一个低 ESR 电容连接到 REF 和 GND 引脚，并尽可能减小寄生电感来实现。

TLX1438 的性能至关重要。应使用较粗的 PCB 走线将去耦电容安装在与 ADC 位于同一侧的 REF 引脚上。GND 也必须以最短距离连接到参考去耦电容，并通过多个过孔连接到模拟地层。如果需要，可以使用更小的参考去耦电容值，低至 2.2 μF，对性能的影响很小，尤其是在 DNL 方面。

无论如何，REF 和 GND 引脚之间不需要额外的低值陶瓷去耦电容器（例如 100 nF）。

对于使用多个 TLX1438 设备或其他 PulSAR 设备的应用，使用内部参考缓冲器来缓冲外部参考电压会更加有效，从而降低 SAR 转换串扰。

电压基准温度系数直接影响满量程；因此，在对满量程精度要求较高的应用中，必须谨慎选择温度系数。例如，基准电压的温度系数为 $\pm 10 \text{ ppm}/^\circ\text{C}$ 时，满量程变化为 $\pm 1 \text{ LSB}/^\circ\text{C}$ 。

9.8 电源

TLX1438 使用两个电源引脚：模拟和数字核心电源 (VDD) 以及数字输入/输出接口电源 (VIO)。VIO 允许直接与 1.8V 至 VDD 之间的任何逻辑电路连接。为了降低所需的电源电压，可以将 VIO 和 VDD 引脚连接在一起。TLX1438 不受 VIO 和 VDD 之间电源时序的影响。此外，如图 32 所示，它们在很宽的频率范围内对电源电压的变化非常不敏感。

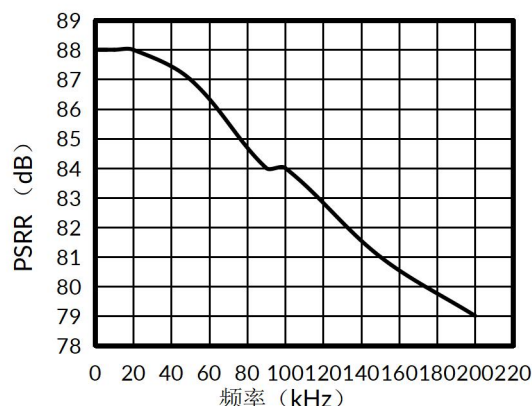


图 3.2 电源抑制比 (PSRR) 与频率的关系

TLX1438 在每个转换阶段结束后会自动断电。因此，其工作电流和功耗与采样率呈线性关系。这使得该器件非常适合低采样率（甚至几赫兹）和低电池供电应用。

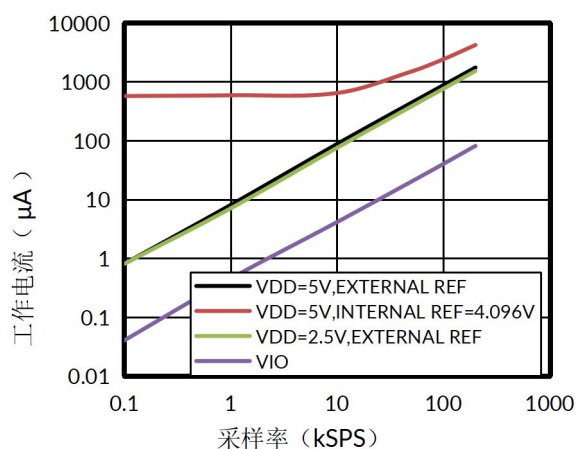


图 33.工作电流与采样率的关系

9.9 从参考源向 ADC 供电

对于简化的应用，TLX1438 工作电流低，可以直接使用外部参考电路供电，例如图 34 所示的电路。参考线可以通过以下方式驱动：

- 系统电源直接供电。
- 具有足够电流输出能力的参考电压。
- 参考缓冲区。

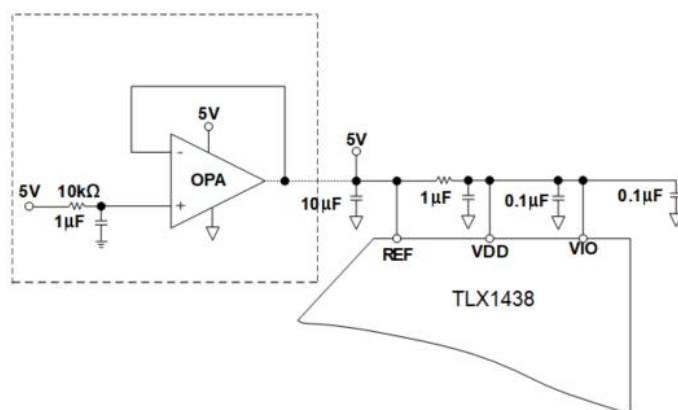


图 3.4 应用电路示例

10 数字接口

TLX1438 使用简单的 4 线接口，并且与 SPI、MICROWIRE™、QSPI™、数字主机和 DSP 兼容。

该接口使用 CNV、DIN、SCK 和 SDO 信号，并允许启动转换的 CNV 信号独立于读回时序。这在低抖动采样或同步采样应用中非常有用。

14 位寄存器 CFG[13:0] 用于配置要转换的通道的 ADC、参考选择和其他组件，这些组件在配置寄存器 CFG 部分中有详细说明。

当 CNV 为低电平时，可以在转换、采集和跨转换（采集加转换）期间进行读/写操作。CFG 字在前 14 个 SCK 上升沿更新，转换结果在前 15 个（如果选择忙模式则为 16 个）SCK 下降沿输出。如果启用了 CFG 回读，则需要额外的 14 个 SCK 下降沿来输出与转换结果关联的 CFG 字，其中 CFG 的最高有效位 (MSB) 位于转换结果的最低有效位 (LSB) 之后。

建议使用不连续的 SCK，因为选择器件时 CNV 为低，而 SCK 活动开始写入新的配置字和时钟输出数据。

时序图显示了转换过程中的数字活动（SCK、CNV、DIN 和 SDO）。然而，由于可能出现性能下降，数字活动仅发生在安全数据读/写时间 t_{DATA} 之前，因为 TLX1438 提供了纠错电路，可以在此期间纠正错误位。从 t_{DATA} 到 t_{CONV} 期间，没有纠错，转换结果可能会损坏。请在 t_{DATA} 之前配置 TLX1438 并启动忙指示（如果需要）。此外，在采样时刻附近出现 SCK 或 DIN 跳变也可能损坏采样。因此，建议在 CNV 上升沿前后约 20 ns 和 10 ns 内保持数字引脚静默，并尽可能使用不连续的 SCK，以避免任何潜在的性能下降。

10.1 转换过程中的读写操作，快速主机

在转换期间 (n) 进行读写操作时，转换结果针对的是前一次 (n - 1) 次转换，而写入 CFG 寄存器的操作则针对的是下一次 (n + 1) 次采集和转换。CNV 被拉高以启动转换后，必须再次将其拉低才能在转换期间进行读写操作。读写操作只能在 t_{DATA} 之前进行，并且由于时间有限，主机必须使用快速 SCK。所需的 SCK 频率由以下公式计算：

$$f_{SCK} \geq \frac{\text{Number_SCK_Edges}}{t_{DATA}}$$

t_{DATA} 到 t_{CONV} 之间的时间是一个安全时间段，在此期间不得进行任何数字活动，否则敏感的位决策可能会被破坏。

10.2 转换后的读写，任意速度主机

在转换后或获取期间 (n)，读取/写入时，转换结果针对前一次 (n - 1) 转换，写入结果针对 (n + 1) 获取。

为了获得最大吞吐量，唯一的时间限制是读写操作必须在最小的 t_{ACQ} 时间内完成。对于低吞吐量，时间限制取决于用户所需的吞吐量，主机可以以任何速度运行。因此，对于低速主机，数据访问必须在采集阶段进行。

10.3 读写跨度转换，任意速度主机

在进行跨转换读写操作时，数据访问从当前采集 (n) 开始，并跨越到转换 (n)。转换结果针对前一次 (n-1) 转换，而写入控制流寄存器则针对下一次 (n+1) 采集和转换。

与转换期间的读/写操作类似，读/写操作只能在 t_{DATA} 时间段内进行。为了获得最大吞吐量，唯一的时间限制是读/写操作必须在 $t_{ACQ} + t_{DATA}$ 时间段内进行。

对于低吞吐量，时间限制取决于所需的吞吐量，主机可以以任何速度运行。与采集期间的读/写操作类似，对于低速主机，数据访问必须在采集阶段进行，并且转换过程会占用额外时间。

跨转换的数据访问需要将 CNV 置高才能启动新的转换，而当 CNV 为高电平时不允许进行数据访问。因此，使用此方法时，主机必须执行两次突发数据访问。

10.4 配置寄存器，CFG

TLX1438 使用一个 14 位配置寄存器 (CFG[13:0]) (详见表 3) 来配置输入、待转换通道、单极点滤波器带宽、参考电压和通道时序器。CFG 寄存器通过 DIN 引脚锁存 (最高有效位优先)，并由 14 个 SCK 上升沿触发。CFG 更新是边沿触发的，因此支持异步或同步主机。

寄存器可在转换期间、采集期间或采集/转换期间写入，并在转换结束时 (t_{CONV} (最大值)) 更新。写入 CFG 寄存器时始终存在一个深度延迟。

上电时，CFG 寄存器未定义，需要进行两次虚拟转换来更新寄存器。要将 CFG 寄存器预加载为出厂设置，请保持 DIN 为高电平两次转换 (CFG[13:0] = 0x3FFF)。这将 TLX1438 设置为以下状态：

- IN[7:0] 单极性，参考 GND，按顺序排列。
- 单极点滤波器的全带宽。
- 内部参考/温度传感器已禁用，缓冲区已启用。
- 启用内部序列器。
- 不回读 CFG 寄存器。

表 3 总结了配置寄存器位的详细信息。更多详情请参见“工作原理”部分。

表 2. 配置寄存器位名称

13	12	11	10	9	8	7	6	5	4	3	2	1	0
CFG	INCC	INCC	INCC	INx	INx	INx	BW	REF	RED	REF	SEQ	SEQ	RB

表 3. 配置寄存器说明

Bits	代码	描述			
[13]	CFG	配置更新。 0 = 保留当前配置设置。 1 = 覆盖寄存器的内容。			
[12:10]	INCC	输入通道配置。可选择伪双极性、伪差分、成对、单端或温度传感器。请参阅“输入配置”部分。			
		Bit 12	Bit 11	Bit 10	功能
		0	0	X	双极差分对； INx-参考 VREF/2±0.1V。
		0	1	0	双极性； INx 参考 COM = VREF/2 ± 0.1 V。
		0	1	1	温度传感器。
		1	0	X	单极差分对； INx-参考 GND±0.1V。
		1	1	0	单极性， INx 参考 COM = GND ± 0.1 V。
1	1	1	单极性， INx 参考 GND。		
[9:7]	INx	以二进制方式选择输入通道			
		Bit 9	Bit8	Bit 7	渠道
		0	0	0	10
		0	0	1	IN1
		... 1	... 1	... 1	... IN7
[6]	BW	选择低通滤波器的带宽。请参阅“可选低通滤波器”部分。 带宽为 0 时，使用额外的串联电阻来进一步限制噪声带宽。最大吞吐量必须降低到 1/4。 1 = 满体重。			
[5:3]	REF	参考/缓冲选择。选择内部、外部、外部缓冲参考电压，并启用片上温度传感器。请参阅“电压参考输出/输入”部分。			
		Bit 5	Bit 4	Bit 3	功能
		0	0	0	内部参考电压和温度传感器已启用。 REF = 2.5 V 缓冲输出。
		0	0	1	内部参考电压和温度传感器已启用。 REF = 4.096 V 缓冲输出。
		0	1	0	使用外部参考温度。已启用温度传感器。已禁用内部缓冲区。
		0	1	1	使用外部参考温度。已启用内部缓冲器和温度传感器。
		1	0	0	请勿使用。
		1	0	1	请勿使用。
		1	1	0	使用外部参考温度。内部参考温度、内部缓冲器和温度传感器已禁用。
1	1	1	使用外部参考温度。内部缓冲器已启用。内部参考温度和温度传感器已禁用。		
[2:1]	SEQ	通道序列器。允许以 IN0 到 IN[7:0] 的方式扫描通道。请参阅“通道序列器”部分。			
		Bit 2	Bit 1	功能	
		0	0	禁用序列器。	
		0	1	序列化过程中更新配置。	
		1	0	扫描 IN0 到 IN[7:0]（在 CFG[9:7] 中设置），然后扫描温度。	
1	1	扫描 IN0 到 IN[7:0]（在 CFG[9:7] 中设置）。			
[0]	RB	回读 CFG 寄存器。 0 = 读取数据末尾的当前配置。 1 = 不读取配置内容			

10.5 无忙碌指示器的一般计时

图 35 详细展示了三种模式的时序：转换期间读/写 (RDC)、转换后读/写 (RAC) 和跨转换读/写 (RSC)。请注意，CFG 和数据回读的门控项均位于转换结束时 (EOC)。在 EOC 时，如果 CNV 为高电平，则忙指示器将被禁用。

如“数字接口”部分所述，数据访问必须在安全数据读/写时间 t_{DATA} 内完成。如果在 EOC 之前未写入完整的 CFG 字，则该字将被丢弃，当前配置保持不变。如果在 EOC 之前未完全读取转换结果，则转换结果将丢失，因为 ADC 会使用当前转换结果的最高有效位 (MSB) 更新 SDO。有关详细的时序信息，请参阅图 38 和图 39，其中描绘了包含所有时序细节（包括建立时间、保持时间和 SCK）的跨转换读/写过程。

当 EOC 之后 CNV 被拉低时，SDO 被高阻抗驱动至 MSB。SCK 的下降沿从 MSB - 1 开始输出位。

如果使用 SPI，SCK 的空闲状态可以是高电平或低电平，具体取决于时钟极性 (CPOL) 和时钟相位 (CPHA) 设置。一个简单的解决方案是使用 $CPOL = CPHA = 0$ ，如图 35 所示，此时 SCK 空闲状态为低电平。

从上电状态开始，在任何读/写模式下，前三次转换结果均未定义，因为有效的控制流图 (CFG) 直到第二个执行结束 (EOC) 才会出现；因此，需要进行两次虚拟转换。如果状态机在上电状态（如图所示 RDC）期间写入 CFG，则必须在下一阶段重写 CFG 寄存器。当 CFG 寄存器在阶段 (n-1) 写入时，第一个有效数据出现在阶段 (n+1)。

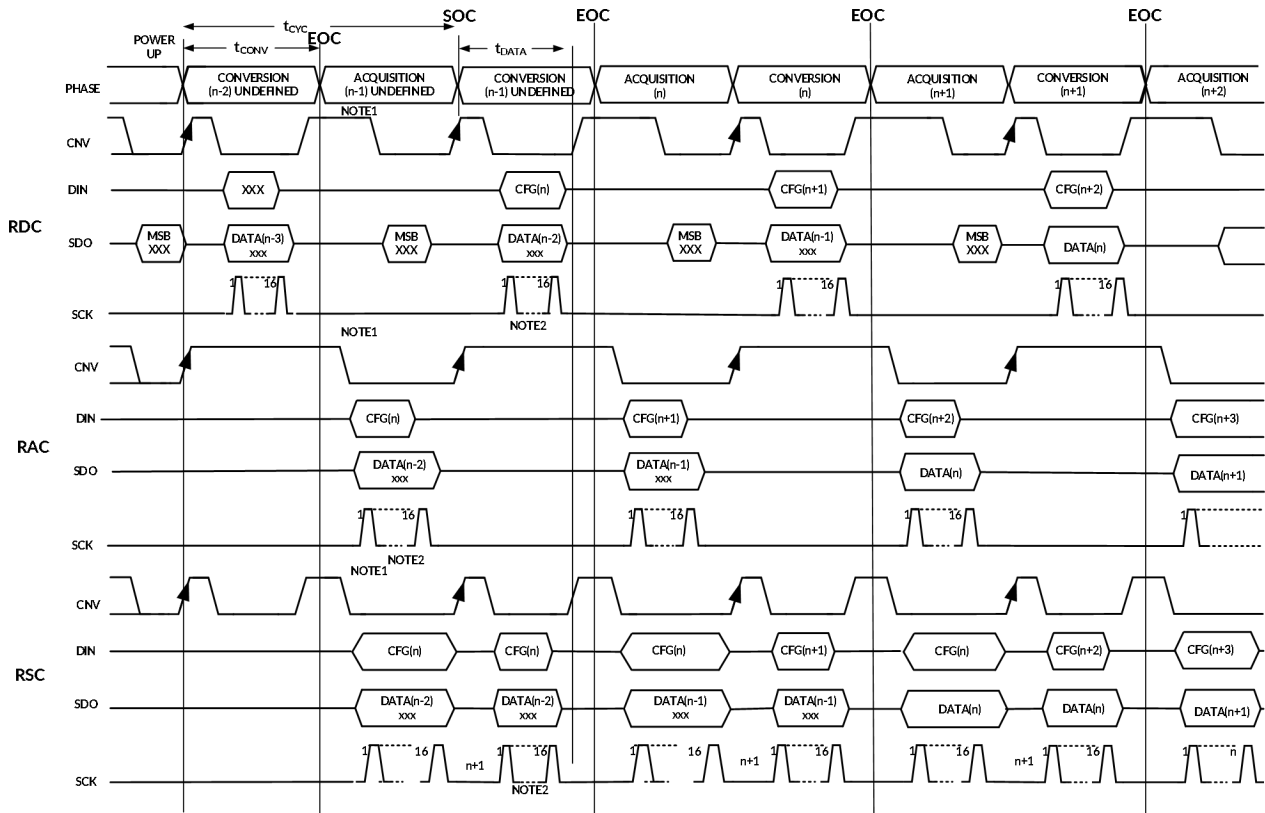


图 35 . TLX1438 无忙指示器时的通用接口时序

笔记

1. 为避免忙指示器，CNV 必须在转换结束 (EOC) 之前为高电平。
2. 将 SDO 恢复到高阻态 (HIGH-Z) 总共需要 16 个 SCK 下降沿。如果启用了 CFG 回读，则需要 30 个 SCK 下降沿才能将 SDO 恢复到高阻态 (HIGH-Z)。

10.6 带忙碌指示器的一般计时

图 36 详细说明了三种模式（RDC、RAC 和 RSC）的时序。请注意，CFG 和数据读取的门控项均位于 EOC。数据访问必须在安全数据读/写时间 t_{DATA} 之前完成。如果在 EOC 之前未写入完整的 CFG 字，则该字将被丢弃，当前配置保持不变。

在 EOC 时刻，如果 CNV 为低电平，则忙指示符启用。此外，为了正确生成忙指示符，主机必须至少发出 17 个 SCK 下降沿，才能使 SDO 恢复到高阻抗状态，因为 SDO 上的最后一位仍然有效。与“无忙指示符的读/写跨度转换”部分中详述的情况不同，如果在 EOC 时刻之前转换结果未完全读出，则最后输出的位会保留。如果该位为低电平，则无法生成忙指示符，因为忙指示符的生成需要高阻抗或剩余位的高到低转换。当 SPI 主机发送 16 个 SCK 时，就会出现这种情况，因为 SPI 信号通常限制为 8 位或 16 位突发。因此，最低有效位 (LSB) 会保留。由于 TLX1438 的转换噪声峰峰值为 4 个 LSB（或更大），因此 LSB 有 50% 的时间处于低电平。对于此接口，SPI 主机需要突发传输 24 个 SCK，或者可以使用 QSPI 接口并将其编程为 17 个 SCK。如果使用 SPI，SCK 的空闲状态可以是高电平或低电平，具体取决于 CPOL 和 CPHA 的设置。一个简单的解决方案是使用 CPOL = CPHA = 1（图中未显示），并将 SCK 空闲状态设置为高电平。

从上电状态开始，在任何读/写模式下，前三次转换结果都是未定义的，因为有效的控制流图（CFG）直到第二个执行结束（EOC）才会出现。因此，需要进行两次虚拟转换。此外，如果状态机在上电状态（如 RDC 所示）期间写入 CFG，则需要在下一阶段再次重写 CFG 寄存器。当 CFG 寄存器在阶段(n-1)被写入时，第一个有效数据出现在阶段(n+1)。

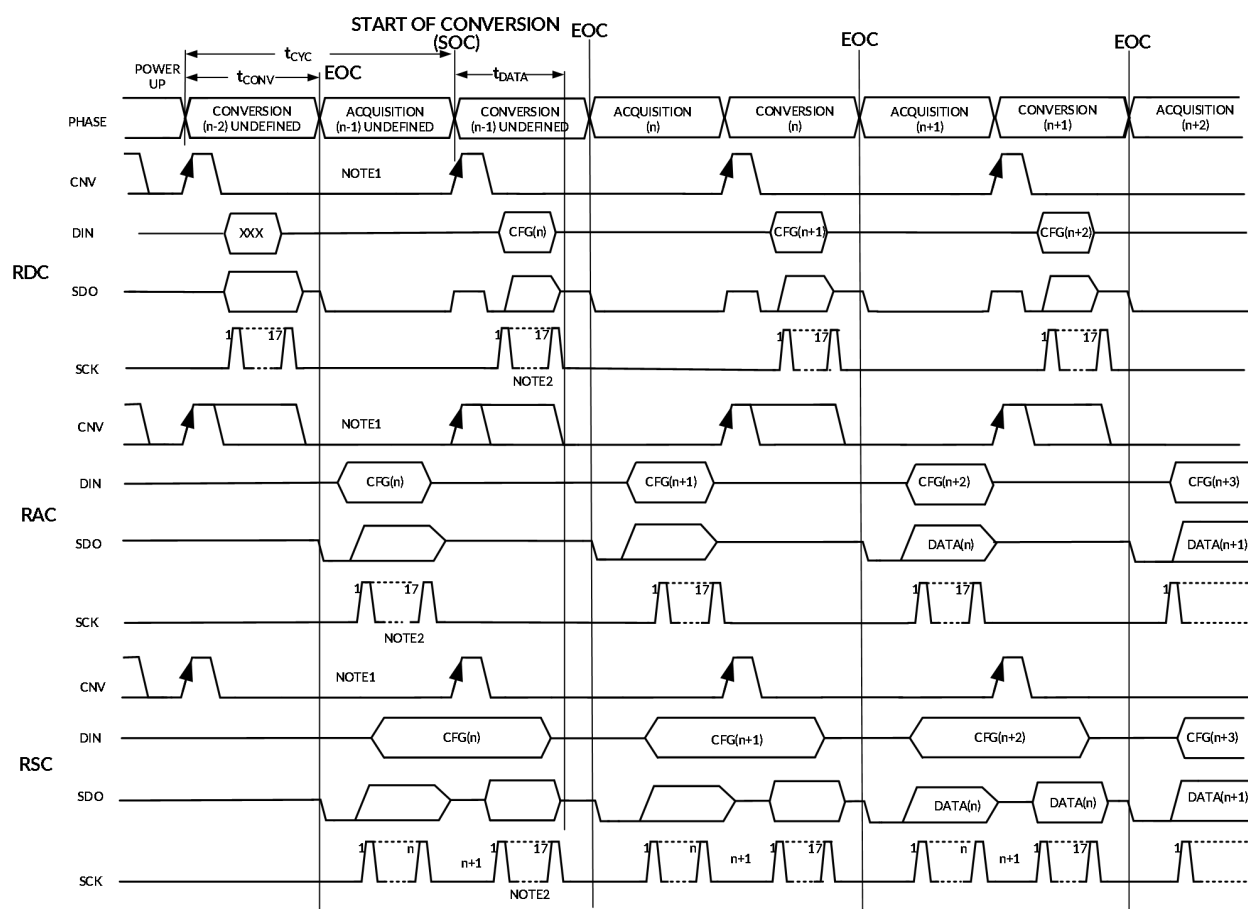


图 3.6 .带忙碌指示器的 TLX1438 通用接口时序

笔记

1. 在转换结束 (EOC) 之前，CNV 必须较低才能生成繁忙指示器。
2. 总共需要 17 个 SCK 下降沿才能将 SDO 恢复到高阻态。如果启用了 CFG 回读功能，总共需要 31 个 SCK 下降沿才能将 SDO 恢复到高 Z 值。

10.7 通道音序器

TLX1438 包含一个通道序列器，可用于重复扫描通道。在扫描完最后一个通道后，可以逐个或成对地扫描通道，并可选择是否连接温度传感器。

音序器从 IN0 开始，到 CFG[9:7] 中设置的 IN[7:0] 结束。对于成对的通道，通道的配对取决于 CFG[9:7] 中最后设置的通道。请注意，在音序器模式下，通道始终配对，偶数通道（IN0、IN2、IN4 和 IN6）的正输入端与奇数通道（IN1、IN3、IN5 和 IN7）的负输入端配对。例如，设置 CFG[9:7] = 110 或 111 将扫描所有正输入端分别对应 IN0、IN2、IN4 和 IN6 的通道对。

CFG[2:1] 用于使能序列器。CFG 寄存器更新后，读取第 13 位数据时必须将 DIN 保持低电平，否则 CFG 寄存器会再次开始更新。

请注意，在序列操作过程中，CFG 寄存器的某些位可能会发生变化。但是，如果更改 CFG[11]（成对或单通道）或 CFG[9:7]（序列中的最后一个通道），则在 CFG 寄存器更新后，序列会重新初始化并转换 IN0（或 IN0/IN1 对）。

图 37 详细展示了三种模式下无忙指示器时的时序。更多详情请参阅“无忙指示器时的读/写跨度转换”部分。该序列器也可与忙指示器配合使用，有关这些时序的详细信息，请参阅“带忙指示器时的常规时序”部分和“带忙指示器时的读/写跨度转换”部分。

对于序列器操作，必须在上电后的 (n - 1) 阶段设置 CFG 寄存器。在 (n) 阶段，进行序列器设置并获取 IN0。第一个有效的转换结果在 (n + 1) 阶段可用。在 CFG[9:7] 中设置的最后一个通道转换完成后，输出内部温度传感器数据（如果已启用），然后获取 IN0。

10.7.1 示例

所有通道（包括内部温度传感器）均配置为单极性模式接地时，扫描顺序如下：

IN0、IN1、IN2、IN3、IN4、IN5、IN6、IN7、TEMP、IN0、IN1、IN2...

对于启用了内部温度传感器的成对通道，序列器按以下顺序扫描：

IN0、IN2、IN4、IN6、TEMP、IN0...

请注意，IN1、IN3、IN5 和 IN7 参考 GND 感应或 $V_{REF}/2$ ，详见“输入配置”部分。

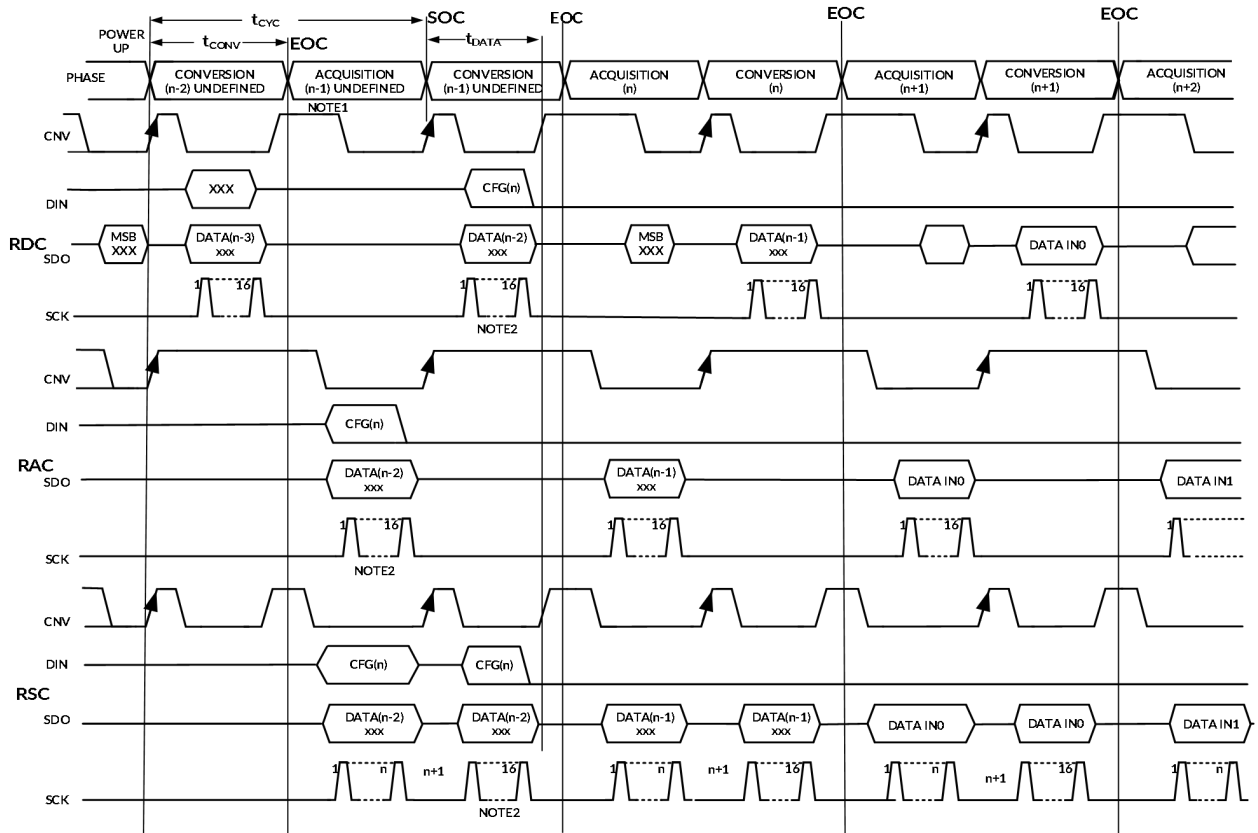


图 37. 无忙碌指示器的通用通道时序器时序

笔记

1. 在转换结束 (EOC) 之前, CNV 必须很高, 以避免出现繁忙指示器。
2. 总共需要 16 个 SCK 下降沿才能将 SDO 恢复到高阻态。如果启用了 CFG 回读功能, 总共需要 30 个 SCK 下降沿才能使 SDO 恢复到高 Z 值。

10.8 无忙碌指示器的读/写跨度转换

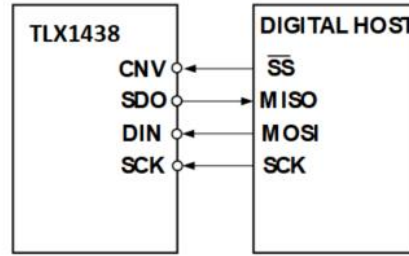
当 TLX1438 通过 SPI、串口或 FPGA 连接到任何主机时, 使用此模式。连接图如图 38 所示, 相应的时序如图 39 所示。对于 SPI, 主机必须使用 $CPHA = CPOL = 0$ 。图中展示了读/写跨度转换, 涵盖了“数字接口”部分详述的所有三种模式。在此模式下, 主机必须根据转换时间生成数据传输。对于使用忙指示器的中断驱动传输, 请参阅“使用忙指示器的读/写跨度转换”部分。

CNV 的上升沿会启动转换, 强制 SDO 变为高阻抗, 并忽略 DIN 上的数据。转换启动后, 无论 CNV 的状态如何, 都会持续进行直至完成。CNV 必须在安全数据传输时间 (t_{DATA}) 之前恢复为高电平。并在转换时间 (t_{CONV}) 之后保持高电平, 以避免产生忙音信号指示器。

转换完成后, TLX1438 进入采集阶段并断电。主机在 t_{CONV} (最大值) 后将 CNV 拉低时, SDO 上的 MSB 被使能。此时, 主机还必须使能 CFG 寄存器的 MSB (如有必要), 以开始 CFG 更新。CNV 为低电平时, 会同时进行 CFG 更新和数据读取。前 14 个 SCK 上升沿用于更新 CFG, 前 15 个 SCK 下降沿用于输出转换结果, 从 MSB - 1 开始。配置和读取操作的限制是, 它们都必须在下一次转换的 t_{DATA} 时间之前完成。CFG[13:0] 的所有 14 位都必须写入, 否则将被忽略。此外, 如果 16 位转换结果在 t_{DATA} 时间之前没有被读取, 则会丢失。

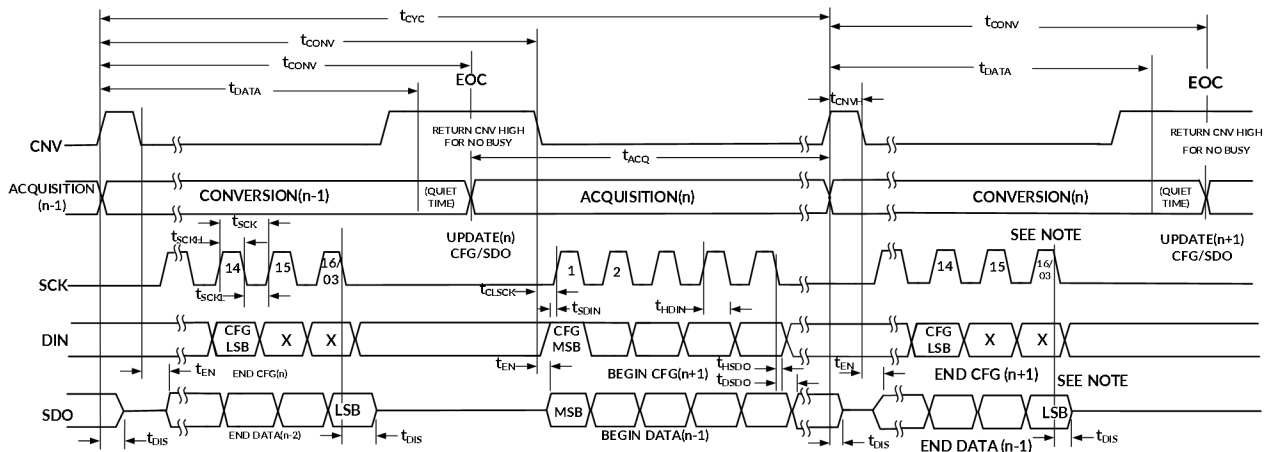
SDO 数据在 SCK 的两个边沿均有效。虽然上升沿也能捕获数据, 但如果数字主机具有可接受的保持时间, 则使用 SCK 下降沿可以实现更快的读取速率。在第 16th (或 30th) SCK 下降沿之后, 或者当 CNV 变为高电平时 (以先发生者为准), SDO 将恢复到高阻抗状态。

如果启用了 CFG 回读功能, 则会在读取转换结果的 LSB 之后, 按最高有效位 (MSB) 的顺序回读与转换结果关联的 CFG 寄存器。如果启用了此功能, 则需要 30 个 SCK 下降沿才能将 SDO 恢复到高阻抗状态。



FOR SPI USE CPHA=0, CPOL=0.

图 3.8 .无忙碌指示器的 TLX1438 连接图



数字 39. TLX1438 串行接口时序（无忙指示灯）

笔记

1. LSB 用于转换结果或配置寄存器 CFG (n - 1) IF
15 SCK 下降边缘 = 转换结果的最低有效位。
29 SCK 下降沿 = 配置寄存器的 LSB。
在第 16 或 30 个 SCK 下降沿，SDO 被驱动到高阻抗状态。

10.9 读/写跨越转换与忙碌指示器

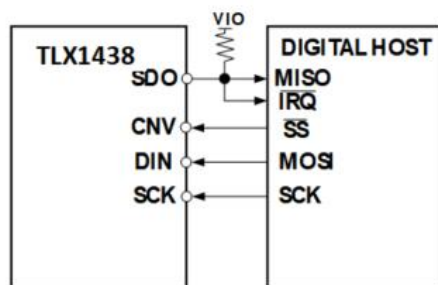
当 TLX1438 通过 SPI、串口或带中断输入的 FPGA 连接到任何主机时，使用此模式。连接图如图 40 所示，相应的时序如图 41 所示。对于 SPI，主机必须使用 CPHA = CPOL = 1。图中还显示了读写跨度转换，涵盖了数字接口部分详细介绍的所有三种模式。

CNV 的上升沿触发转换，忽略 DIN 上的数据，并将 SDO 强制置于高阻抗状态。转换启动后，无论 CNV 的状态如何，转换都会持续进行直至完成。CNV 必须在安全数据传输时间 (t_{DATA}) 之前恢复为低电平，然后在转换时间 (t_{CONV}) 之后保持低电平，以生成忙信号指示符。转换完成后，SDO 从高阻抗变为低阻抗（数据就绪），并且通过上拉至 VIO，SDO 可用于中断主机以开始数据传输。

转换完成后，TLX1438 进入采集阶段并断电。此时，主机必须使能 CFG 寄存器的最高有效位 (MSB)（如有必要），以开始 CFG 更新。当 CNV 为低电平时，会同时进行 CFG 更新和数据读取。前 14 个 SCK 上升沿用于更新 CFG 寄存器，前 16 个 SCK 下降沿用于输出转换结果，从最高有效位开始。配置和读取操作的限制是，它们都必须在下一次转换的 t_{DATA} 时间结束之前完成。CFG[13:0] 的所有 14 位都必须写入，否则将被忽略。如果在 t_{DATA} 时间结束之前未读取 16 位转换结果，则该结果将丢失。

SDO 数据在 SCK 的两个边沿均有效。虽然上升沿也能捕获数据，但如果数字主机具有可接受的保持时间，则使用 SCK 下降沿可以实现更快的读取速率。在可选的 17th（或 31st）SCK 下降沿之后，SDO 将恢复到高阻抗状态。如果未使用可选的 SCK 下降沿，则无法检测到忙状态，如“带忙指示器的常规定时”部分所述。

如果启用了 **CFG** 回读功能，则会在读取转换结果的 **LSB** 之后，按最高有效位 (**MSB**) 的顺序回读与转换结果关联的 **CFG** 寄存器。如果启用了此功能，则需要 31 个 **SCK** 下降沿才能将 **SDO** 恢复到高阻抗状态。



FOR SPI USE CPHA=1,CPOL=1.

图 40. 带忙碌指示器的 TLX1438 连接图

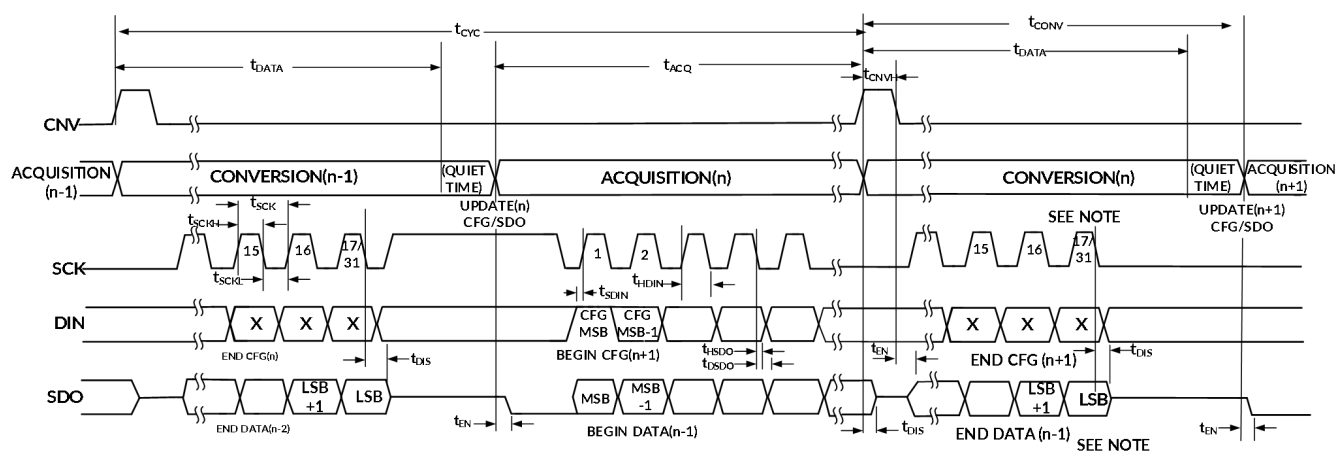


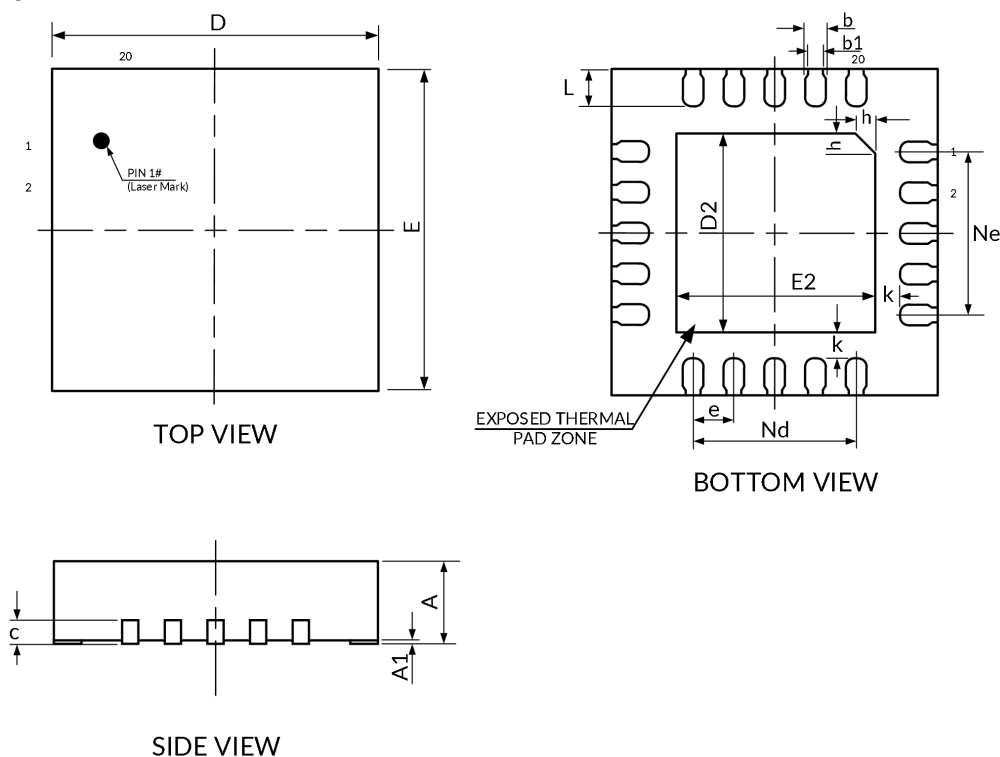
图 41. 带忙碌指示器的 TLX1438 串行接口时序

笔记:

1. LSB 用于转换结果或配置寄存器 CFG (n - 1) IF
16 SCK 下降沿 = 转换结果的最低有效位。
30 SCK 下降沿 = 配置寄存器的最低有效位。
在第 17 或 31 个 SCK 下降沿, SDO 被驱动到高阻抗状态。
否则, LSB 将保持活跃状态, 直到繁忙指标降到低位。

11 包 KAGE 轮廓尺寸

QFN4X4-20 ⁽⁴⁾



代码	尺寸单位: 毫米		尺寸单位: 英寸	
	最小值	最大值	最小值	最大值
A ⁽¹⁾	0.700	0.800	0.028	0.032
A1	0.000	0.050	0.000	0.002
b	0.200	0.300	0.008	0.012
b1	0.180 REF ⁽²⁾		0.008 REF ⁽²⁾	
c	0.203 REF ⁽²⁾		0.008 REF ⁽²⁾	
D ⁽¹⁾	3.900	4.100	0.154	0.161
D2	2.600	2.800	0.102	0.110
e	0.500 BSC ⁽³⁾		0.020 BSC ⁽³⁾	
Nd	2.000 BSC ⁽³⁾		0.079 BSC ⁽³⁾	
E ⁽¹⁾	3.900	4.100	0.154	0.161
E2	2.600	2.800	0.102	0.110
Ne	2.000 BSC ⁽³⁾		0.079 BSC ⁽³⁾	
L	0.350	0.450	0.014	0.018
K	0.250 REF ⁽²⁾		0.010 REF ⁽²⁾	
h	0.300	0.400	0.012	0.016

笔记:

1. 大凸起 0.075 毫米的塑料或金属凸起不包含在内。

2. REF 是 Reference (参考文献) 的缩写。

3. BSC (中心之间的基本间距), “基本”间距是标称值。

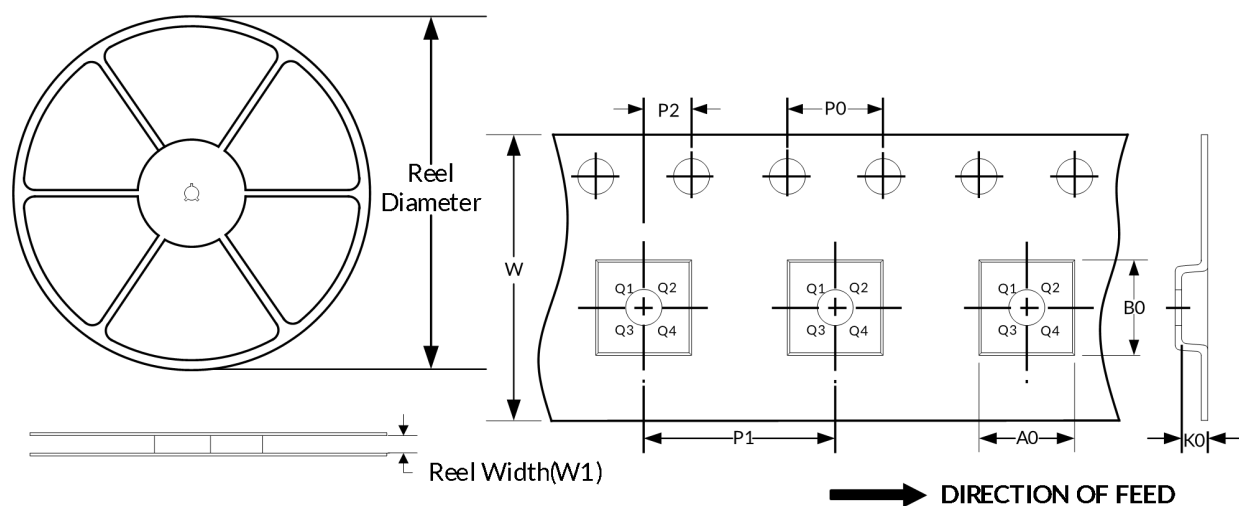
4. 本图纸如有更改, 恕不另行通知。

每侧最

12 磁帶和卷盤信息

卷轴尺寸

胶带尺寸



注：图片仅供参考，请以实物为准。

卷带式磁带的参数列表

包装类型	卷轴 直径	卷筒宽度 (毫米)	A0 (mm)	B0 (mm)	K0 (mm)	P0 (mm)	P1 (mm)	P2 (mm)	W (mm)	Pin1 Quadrant
QFN4X4-20	13"	12.4	4.4	4.3	1.3	4.0	8.0	2.0	12.0	Q2

笔记:

1. 所有尺寸均为标称尺寸。
2. 每边最大凸起部分 (0.15mm) 不包括在内。