

无锡泰连芯科技有限公司

TLX1461 型

1MSPS 12 位单端模数转换器

2024 年 06 月

1 MSPS, 12 位单端模数转换器

1 特点

- 可变功率管理
- 采用 SOT23-6 封装
- 用作电源参考
- 单电源供电 2.7V 至 5.25V
- 兼容 SPI™、QSPI™ MICROWIRE™，以及 DSP
- 主要规格
 - 无缺失代码的分辨率
 - 转化率：1 MSPS
 - DNL：0.6, -0.3 LSB（典型值）
 - INL：±0.6 LSB（典型值）
 - 功耗：
 - 3V 供电：4.5mW（典型值）
 - 5V 供电：11mW（典型值）

2 应用

- 汽车导航
- FA 或 ATM 设备
- 便携式系统
- 医疗器械
- 移动通信
- 仪器仪表和控制系统

3 描述

TLX1461 是一款低功耗单片 CMOS 12 位模数转换器，工作速率为 1 MSPS。TLX1461 可直接替代德州仪器 (TI) 的 ADCS7476。该器件基于逐次逼近寄存器架构，并带有内部跟踪保持功能。其串行接口兼容多种标准，例如 SPI、QSPI、MICROWIRE 以及许多常见的 DSP 串行接口。

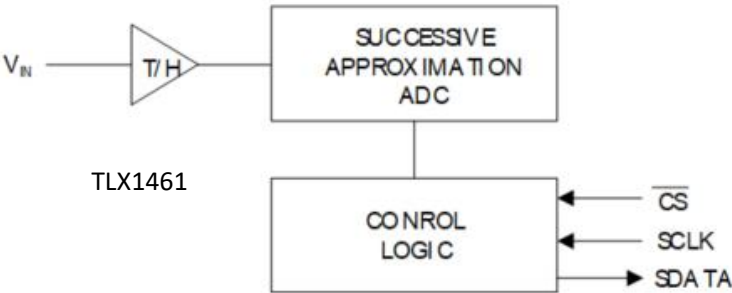
TLX1461 使用电源电压作为参考电压，使其输入电压范围为 0 至 V_{DD} 。转换速率由串行时钟 (SCLK) 的速度决定。该转换器提供关断模式，可用于在吞吐量和功耗之间进行权衡。TLX1461 采用 2.7V 至 5.25V 的单电源供电。在 3V 或 5V 电源下，连续转换时的正常功耗分别为 4.5mW 和 11mW。通过片选 ($\overline{CS}$) 引脚启用掉电功能后，在 5V 电源下功耗可降至 5μW 以下。该转换器采用 6 引脚 SOT-23 封装，尺寸极小，非常适合空间受限的应用。该产品设计用于 -55℃ 至 125℃ 的汽车级和扩展工业级温度范围。

质量等级：军温级&企军标

设备信息 (1)

产品编号	封装	尺寸 (标准)
TLX1461	SOT23-6	2.92mm×1.60mm

(1) 有关所有可用套餐，请参阅数据表末尾的订购附录。



目录

1 特点	2
2 应用	2
3 描述	2
4 修订历史	4
5 封装/订购信息 ⁽¹⁾	5
6 引脚配置及功能（俯视图）	6
7. 技术规格	7
7.1 绝对最大额定值	7
7.2 静电放电防护等级	7
7.3 推荐操作条件	7
7.4 电气特性	8
7.5 时间要求	9
7.6 典型特征	11
8 详细描述	13
8.1 概述	13
8.2 功能框图	13
8.4.1 传递函数	14
8.4.2 启动时机	15
8.4.3 工作模式	15
9 应用与实施	17
9.1 应用信息	17
9.1.1 模拟输入	17
10. 封装尺寸	20
1.1 卷带和卷盘信息	21

4 修订历史

注意：先前版本的页码可能与当前版本的页码不同。

版本	更改日期	更改项目
A.0	2023/06/19	初步版本已完成
A.1	2023/11/21	初始版本已完成
A.2	2025/10/15	更新包装外形尺寸

5 封装/订购信息 ⁽¹⁾

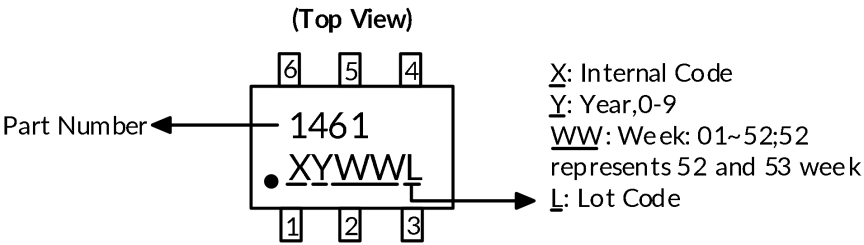
订购型号	温度等级	封装类型	丝印标记 ⁽²⁾	MSL	质量等级
JTLX1461XH	-55 ℃ ~+125 ℃	SOT23-6	1461	MSL1/3	企军标
JTLX1461XH(W)	-55 ℃ ~+125 ℃	SOT23-6	1461	MSL1/3	军温级
TLX1461XH	-40 ℃ ~+125 ℃	SOT23-6	1461	MSL1/3	工业级

笔记:

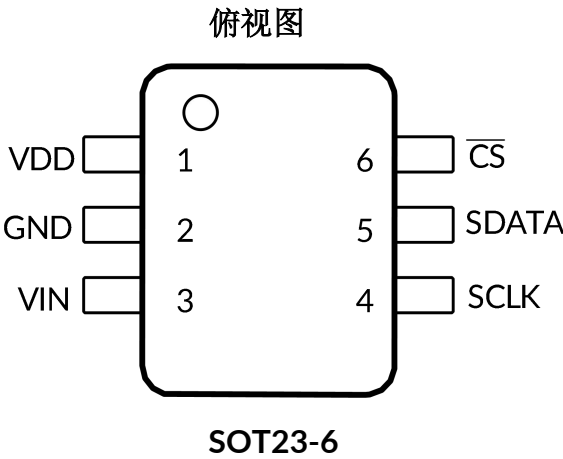
- (1) 此信息为指定设备的最新可用数据。数据如有更改，恕不另行通知，本文档亦可能进行修订。如需查看基于浏览器的数据表版本，请参阅右侧导航栏。
- (2) 设备上可能还有其他标记，例如批次追溯代码信息（数据代码和供应商代码）、徽标或环境类别。
- (3) TLXIC 使用我们装配工厂中符合 JEDEC 工业标准 J-STD-20F 的通用预处理设置对 MSL 级别进行分类。如果您的最终应用对预处理设置非常关键，或者您有特殊要求，请与 TLXIC 保持一致。

标记信息

(1) SOT23-6



6 引脚配置及功能（俯视图）



引脚描述

代码	引脚	I/O ⁽¹⁾	描述
	SOT23-6		
VDD	1	P	正电源引脚。这些引脚必须连接到 2.7V 至 5.25V 的稳定电源，并使用 0.1μF 和 1μF 的单片电容旁路至 GND，电容应放置在距离电源引脚 1 厘米以内。TLX1461 使用此电源作为参考电压，因此必须将其完全旁路。
GND	2	G	地面返回供应。
VIN	3	I	模拟输入。该信号范围为 0 V 至 VDD。
SCLK	4	I	数字时钟输入。该输入频率范围为 10 kHz 至 20 MHz，在 20 MHz 时性能有保证。该时钟直接控制转换和读取过程。
SDATA	5	O	数字数据输出。输出字由 SCLK 引脚提供时钟信号从该引脚输出。
$\overline{\text{CS}}$	6	I	芯片选择信号。转换过程从芯片选择信号的下降沿开始。

(1) G = 接地，I = 输入，O = 输出，P = 功率

7.技术规格

7.1 绝对最大额定值

在正常工作自由空气温度范围内（除非另有说明）⁽¹⁾

			最小值	最大值	单位
供电电压 V_{DD}			-0.3	6.5	V
任意模拟引脚上的电压 接地			-0.3	$V_{DD}+0.3$	V
任意数字引脚上的电压 接地			-0.3	6.5	V
除电源引脚外，任意引脚的输入电流（电源引脚除外）				± 10	mA
θ_{JA}	封装热阻抗 ⁽⁴⁾	SOT23-6		230	°C/W
焊接温度，红外线（10秒）				215	°C
工作温度， T_A				150	°C
储存温度 T_{stg}			-65	150	°C

(1) 超过这些额定值的应力可能会造成永久性损坏。长时间暴露在绝对最大应力条件下可能会降低设备的可靠性。这些仅为应力额定值，并不意味着设备在这些或任何其他超出规定条件的情况下都能正常工作。

(2) 模拟输入端通过二极管钳位至电源轨。输入信号如果超出电源轨0.3V以上，则应将电流限制在10mA或以下。

(3) 最大功耗是 $T_{J(MAX)}$ 、 $R_{\theta JA}$ 和 T_A 的函数。在任何环境温度下，最大允许功耗为 $PD = (T_{J(MAX)} - T_A) / R_{\theta JA}$ 。所有数值均适用于直接焊接在PCB上的封装。

(4) 封装热阻抗按照 JESD-51 计算。

7.2 静电放电防护等级

以下静电放电信息仅适用于在静电放电防护区域内处理静电放电敏感器件。

			数值	单位
$V_{(ESD)}$	静电放电	人体模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	± 3500	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 ⁽²⁾	± 1500	
		机械模型 (MM)	± 150	

(1) JEDEC 文件 JEP155 指出，500 V HBM 允许采用标准 ESD 控制流程进行安全制造。

(2) JEDEC 文件 JEP157 指出，250 V CDM 允许采用标准 ESD 控制流程进行安全制造。



静电放电敏感性警告

静电放电损伤的程度不一，从轻微的性能下降到器件完全失效都有可能。精密集成电路可能更容易受到损伤，因为即使是很小的参数变化也可能导致器件无法达到其公布的规格。

7.3 推荐操作条件

在正常工作空气温度范围内（除非另有说明）

		MIN	NOM	MAX	UNIT
V_{DD}	供应电压	2.7		5.25	V
	数字输入引脚电压（与电源电压无关）	2.7		5.25	
T_A	操作温度	-55		125	°C

7.4 电气特性

$T_A = 25^\circ\text{C}$, $V_{DD} = 2.7\text{ V}$ 至 5.25 V , $f_{\text{SCLK}} = 20\text{ MHz}$, 以及 $f_{\text{SAMPLE}} = 1\text{ MSPS}$ (除非另有说明) ⁽¹⁾

范围		状况	MIN	TYP	MAX	UNIT
静态转换器特性						
	分辨率无缺失代码	-55°C ≤T _A ≤ 125°C			12	Bits
INL	积分非线性	-55°C ≤T _A ≤ 125°C	-1	±0.6	+1	LSB
DNL	微分非线性	-55°C ≤T _A ≤ 125°C	-0.8	0.6/-0.3	+1	LSB
V _{OFF}	偏移误差	-55°C ≤T _A ≤ 125°C	-2	±1.2	+2	LSB
GE	增益误差	-55°C ≤T _A ≤ 125°C	-1.2	±0.6	+1.2	LSB
TUE	总未调整误差	-55°C ≤T _A ≤ 125°C		±1.2		LSB
动态转换器特征						
SINAD	信噪比加失真率	f _{IN} =100kHz, -55°C ≤T _A ≤ 125°C	70	71.5		dB
SNR	信噪比	f _{IN} =100kHz, -55°C ≤T _A ≤ 125°C	70.5	72		dB
THD	总谐波失真	f _{IN} =100kHz, -55°C ≤T _A ≤ 125°C		-82		dB
SFDR	无杂散动态范围	f _{IN} =100kHz, -55°C ≤T _A ≤ 125°C		84		dB
IMD	互调三阶畸变条款	f _a =108kHz, f _b =109kHz		-80		dB
FPBW	-3dB 全功率带宽	5V supply		10		MHz
		3V supply		7.7		MHz
电源 特征						
I _{DD}	正常模式 （静态）	V _{DD} = 4.75V to 5.25V, SCLK On or Off		1		mA
		V _{DD} = 2.7V to 3.6V, SCLK On or Off		0.9		mA
	正常模式 （运行）	V _{DD} = 4.75V to 5.25V, f _{SAMPLE} = 1MSPS, -55°C ≤T _A ≤ 125°C		2.2	3.0	mA
		V _{DD} = 2.7V to 3.6V, f _{SAMPLE} = 1MSPS, -55°C ≤T _A ≤ 125°C		1.5	2.0	mA
	关闭模式	V _{DD} = 5V, SCLK Off		1		μA
		V _{DD} = 5V, SCLK On		50		μA
P _D	正常模式（运行）功耗	V _{DD} = 5V, f _{SAMPLE} = 1MSPS, -55°C ≤T _A ≤ 125°C		11	15	mW
		V _{DD} = 3V, f _{SAMPLE} = 1MSPS, -55°C ≤T _A ≤ 125°C		4.5	6	mW
	功耗、关机模式	V _{DD} = 5V, SCLK Off		5		μW
		V _{DD} = 3V, SCLK Off		3		μW
模拟输入特征						
V _{IN}	输入 范围			0 to V _{DD}		V
I _{DCL}	直流漏电流			±1		μA
C _{INA}	模拟输入电容			36		pF
数字输入 特征						
V _{IH}	输入高电压	-55°C ≤ T _A ≤ 125°C	2.4			V
V _{IL}	输入低电压	V _{DD} = 5V, -55°C ≤T _A ≤ 125°C			0.8	V
		V _{DD} = 3V, -55°C ≤T _A ≤ 125°C			0.4	V

(1) 数据表中的最小和最大规格限值通过设计、测试或统计方法保证。 分析。

电气特性 (续)

$T_A = 25^\circ\text{C}$, $V_{DD} = 2.7\text{ V}$ 至 5.25 V , $f_{\text{SCLK}} = 20\text{ MHz}$, 以及 $f_{\text{SAMPLE}} = 1\text{ MSPS}$ (除非另有说明) ⁽¹⁾

范围		状况	MIN	TYP	MAX	UNIT
I _{IN}	输入电流	V _{IN} = 0V 或 V _{DD}		±100		nA
C _{IND}	数字输入 电容			4		pF
数字输出特性						
V _{OH}	高输出电压	I _{SOURCE} = 200μA, V _{DD} = 2.7V to 5.25V, -55°C ≤ T _A ≤ 125°C	V _{DD} -0.2			V
V _{OL}	输出低电压	I _{SINK} = 200μA, -55°C ≤ T _A ≤ 125°C			0.4	V
I _{OL}	三态泄漏 电流	-55°C ≤ T _A ≤ 125°C			±10	μA
C _{OUT}	三态输出 电容	-55°C ≤ T _A ≤ 125°C		4		pF
	输出 编码		直（自然）二元			
交流电 特征						
f _{SCLK}	时钟频率	-55°C ≤ T _A ≤ 125°C			20	MHz
DC	SCLK 占空比	-55°C ≤ T _A ≤ 125°C	40%		60%	
t _{TH}	追踪或捕获时间	-55°C ≤ T _A ≤ 125°C			400	ns
f _{RATE}	吞吐量 速度	-55°C ≤ T _A ≤ 125°C			1	MSPS
t _{AD}	孔径延迟			7.5		ns
t _{AJ}	孔径抖动			30		ps

(1) 数据表的最小和最大规格限值通过设计、测试或统计分析来保证。

7.5 时间要求

$-55^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$, $V_{\text{DD}} = 2.7\text{ V}$ 到 5.25 V , and $f_{\text{SCLK}} = 20\text{ MHz}$ (除非另有说明) ⁽¹⁾

范围		状况	MIN	TYP	MAX	UNIT
t_{CONVERT}				$16 \times t_{\text{SCLK}}$		
t_{QUIET}	静默时间 ⁽²⁾		50			ns
t_1	最小 CS 脉冲宽度		10			ns
t_2	CS 到 SCLK 建立时间		10			ns
t_3	从 CS 到 SDATA 三态禁用的延迟 ⁽³⁾				20	ns
t_4	SCLK 下降沿后的数据访问时间 ⁽⁴⁾	$V_{\text{DD}} = 2.7\text{V to } 3.6\text{V}$			40	ns
		$V_{\text{DD}} = 4.75\text{V to } 5.25\text{V}$			20	ns
t_5	SCLK 低脉冲 宽度		$0.4 \times t_{\text{SCLK}}$			ns
t_6	SCLK 高脉冲 宽度		$0.4 \times t_{\text{SCLK}}$			ns
t_7	SCLK 到数据有效保持 时间	$V_{\text{DD}} = 2.7\text{V to } 3.6\text{V}$	7			ns
		$V_{\text{DD}} = 4.75\text{V to } 5.25\text{V}$	5			ns
t_8	SCLK 下降沿至 SDATA 高阻抗 ⁽⁵⁾	$V_{\text{DD}} = 2.7\text{V to } 3.6\text{V}$	6		25	ns
		$V_{\text{DD}} = 4.75\text{V to } 5.25\text{V}$	5		25	ns
$t_{\text{POWER-UP}}$	从完全断电到重新启动所需的时间	$T_A = 25^\circ\text{C}$		1		μs

(1) 所有输入信号均指定为 $t_r = t_f = 5\text{ ns}$ (V_{DD} 的 10% 至 90%), 并以 1.6 V 为基准进行计时。

(2) 总线释放到下一次转换开始之间所需的最小静默时间。

(3) 使用 25pF 负载测量, 定义为输出电压跨越 1 V 所需的时间。

(4) 使用 25pF 负载测量, 定义为输出电压跨越 1 V 或 2 V 所需的时间。

(5) t_8 由输出电压变化 0.5 V 所需的时间计算得出。

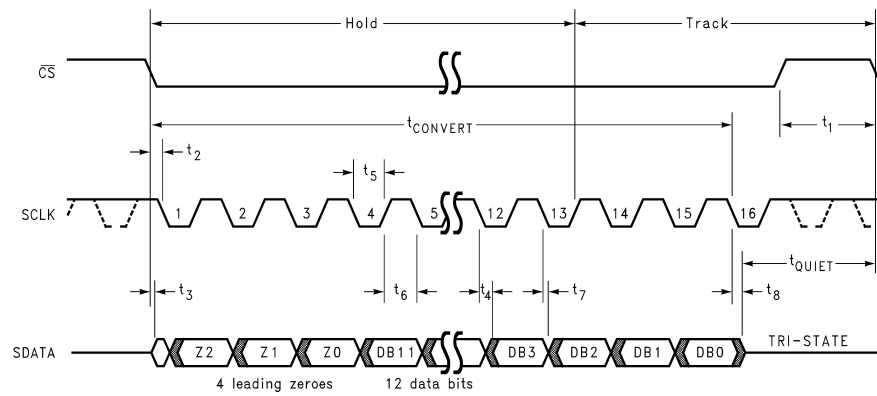


图 1. TLX1461 串行接口时序 图表

7.6 典型特征

注：本说明之后提供的图表是基于有限数量的样本的统计摘要，仅供参考。

$T_A = 25^{\circ}\text{C}$, $V_{DD} = 3\text{ V}$, $f_{\text{SAMPLE}} = 1\text{ MSPS}$, $f_{\text{SCLK}} = 20\text{ MHz}$, and $f_{\text{IN}} = 100\text{ kHz}$ （除非另有说明）。

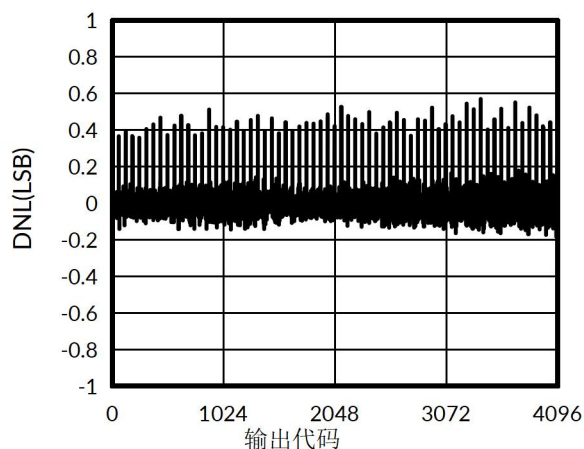


图2. DNL 与 OUTPUT 代码

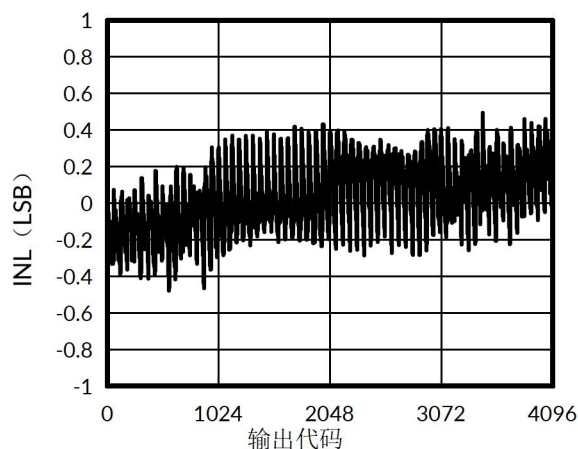


图3. INL 与 OUTPUT 代码

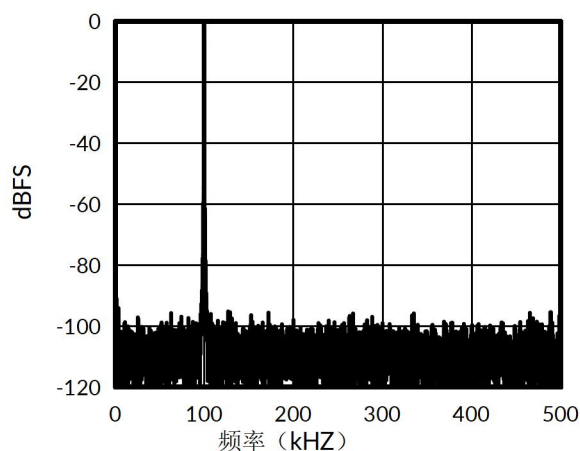


图4. 100kHz 输入时的频谱响应

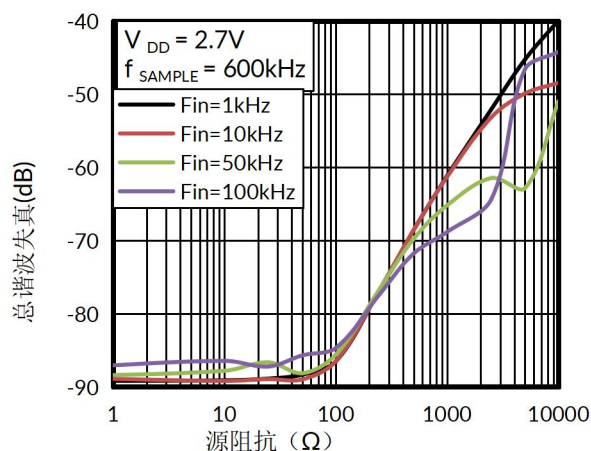


图5. 总谐波失真与源阻抗的关系

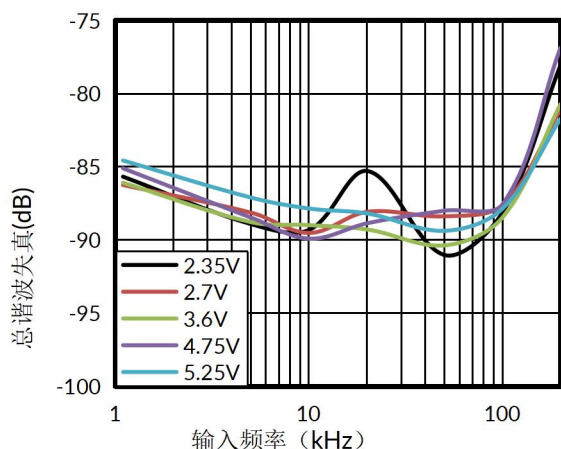


图6. 总谐波失真与输入频率的关系, 600KPS

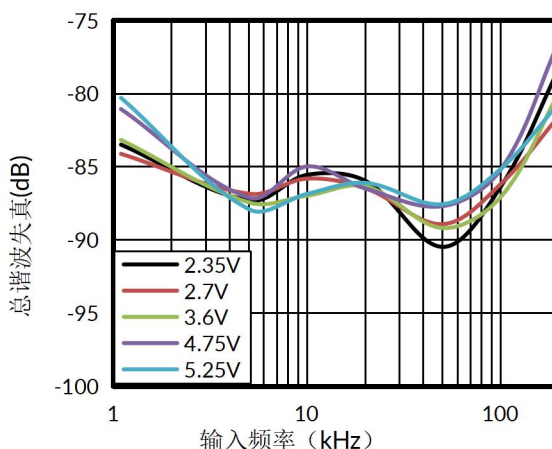


图7. 总谐波失真与输入频率的关系, 1MSPS

典型特征

$T_A = 25^\circ\text{C}$, $V_{DD} = 3\text{ V}$, $f_{\text{SAMPLE}} = 1\text{ MSPS}$, $f_{\text{SCLK}} = 20\text{ MHz}$, and $f_{\text{IN}} = 100\text{ kHz}$ (除非另有说明)

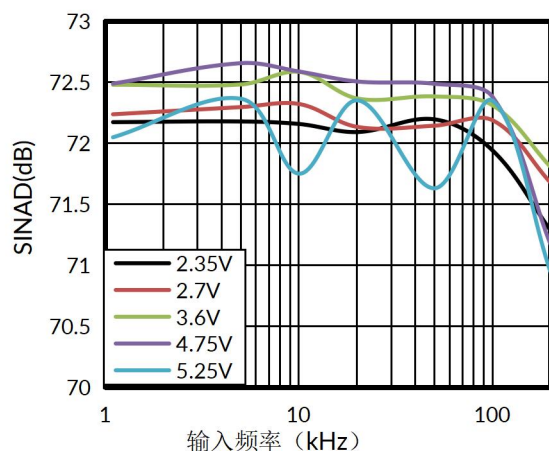


图 8. SINAD 与输入频率的关系, 600KSPS

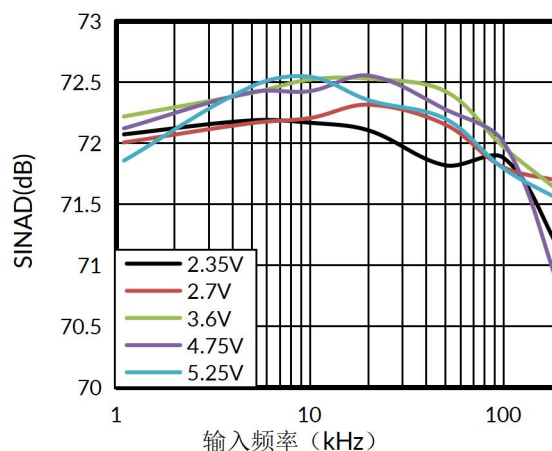


图 9. SINAD 与输入频率的关系, 1MSPS

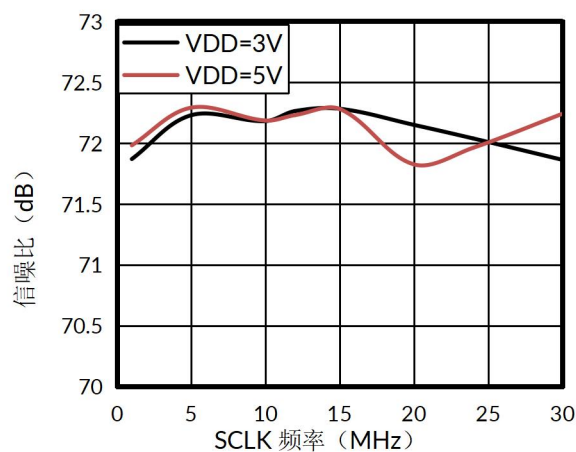


图 10. SNR 与 F_{SCLK} 的关系

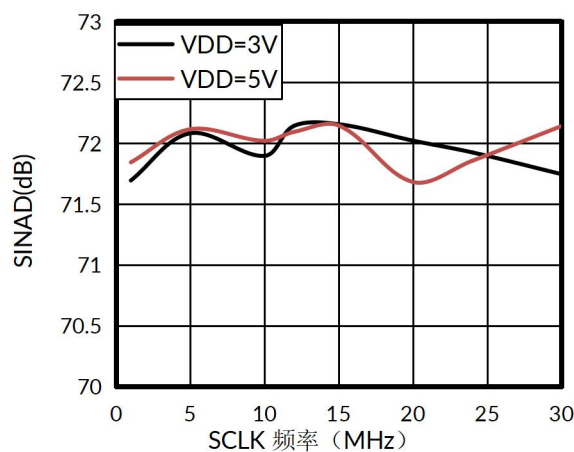


图 11. SINAD 与 F_{SCLK} 的关系

8 详细描述

8.1 概述

TLX1461 是一款逐次逼近型模数转换器，其核心是一个电荷重分布型数模转换器。图 13 和图 14 分别展示了 TLX1461 在跟踪模式和保持模式下的简化原理图。在图 14 中，器件处于跟踪模式，此时开关 SW1 将采样电容连接到输入端，开关 SW2 平衡比较器的输入端。器件保持此状态，直到 $\overline{CS}$ 被拉低，此时器件切换到保持模式。

8.2 功能框图

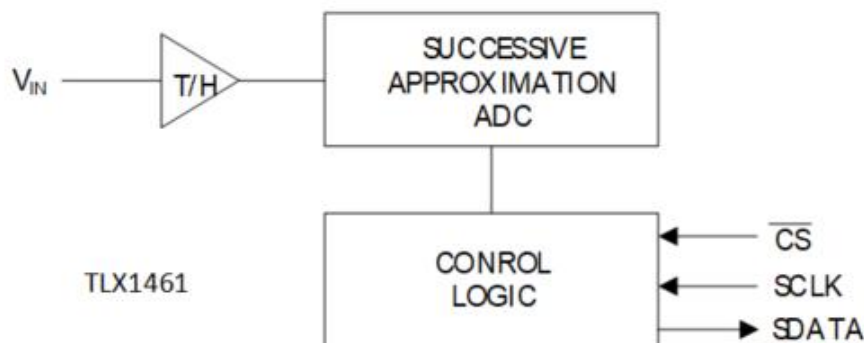


图 12. TLX1461 功能块 图表

8.3 功能描述

TLX1461 的串行接口时序图如图 1 所示。 $\overline{CS}$ 为片选引脚，用于启动转换并进行串行数据传输。SCLK（串行时钟）控制转换过程和串行数据的时序。SDATA 为串行数据输出引脚，用于接收转换结果。

TLX1461 的基本操作始于 $\overline{CS}$ 变为低电平，此时启动转换过程和数据传输。SCLK 的后续上升沿和下降沿均以 $\overline{CS}$ 的下降沿为参考进行标记；例如，SCLK 的第三个下降沿指的是 $\overline{CS}$ 变为低电平后的第三个 SCLK 下降沿。

在 $\overline{CS}$ 下降沿，SDATA 引脚退出三态，转换器从跟踪模式切换到保持模式。在 $\overline{CS}$ 的下降沿，输入信号被采样并保持以进行转换。转换器在 SCLK 的第 13 个上升沿从保持模式切换到跟踪模式（参见图 1）。在 SCLK 的第 16 个下降沿之后，或在 $\overline{CS}$ 的上升沿（以先到者为准），SDATA 引脚将恢复到三态。转换完成后，必须等待静默时间 t_{QUIET} 才能再次将 $\overline{CS}$ 拉低以开始下一次转换。

从 TLX1461 读取一个完整的采样需要 16 个 SCLK 周期。采样位（包括任何前导零或尾随零）在 SCLK 的下降沿输出，并由接收器在后续的 SCLK 下降沿输入。TLX1461 在 SDATA 上产生四个前导零，后跟十二个数据位（最高有效位在前）。最低有效位在 SCLK 的第 16 个下降沿有效。

根据应用的不同， $\overline{CS}$ 拉低后的第一个 SCLK 沿可能是下降沿或上升沿。如果 $\overline{CS}$ 拉低后的第一个 SCLK 沿是上升沿，则所有四个前导零在 SCLK 的前四个下降沿都有效。如果 $\overline{CS}$ 变为低电平后的第一个 SCLK 边沿是下降沿，则第一个前导零可能无法及时建立，导致微处理器或 DSP 无法正确读取。其余数据位仍然在 SCLK 的下降沿输出。

8.4 器件功能模式

图 13 显示了器件处于保持模式，此时开关 SW1 将采样电容接地，保持采样电压，开关 SW2 使比较器失去平衡。然后，控制逻辑指示电荷重新分配 DAC 从采样电容添加或减去固定量的电荷，直到比较器达到平衡。当比较器达到平衡时，提供给 DAC 的数字字是模拟输入电压的数字表示。器件在 SCLK 的第 13 个

上升沿从保持模式切换到跟踪模式（图 14）。

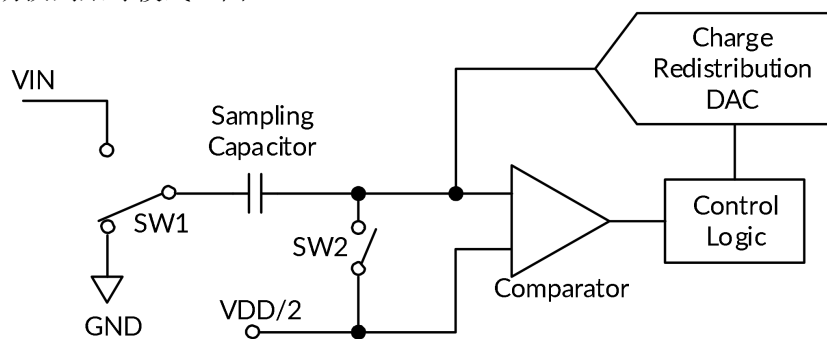


图 13. TLX1461 保持模式

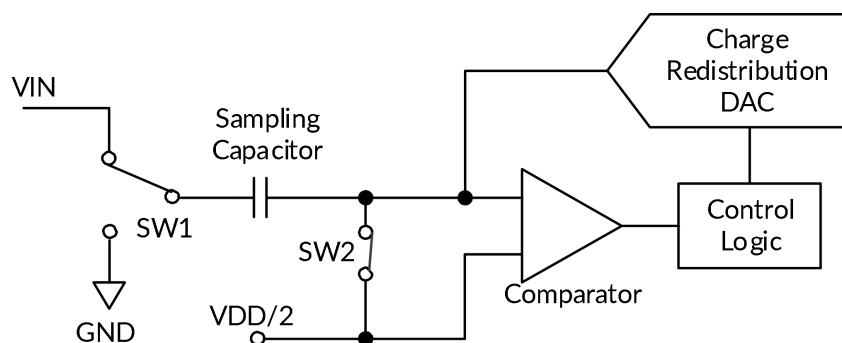


图 14. TLX1461 轨道模式

8.4.1 传递函数

如图15所示。

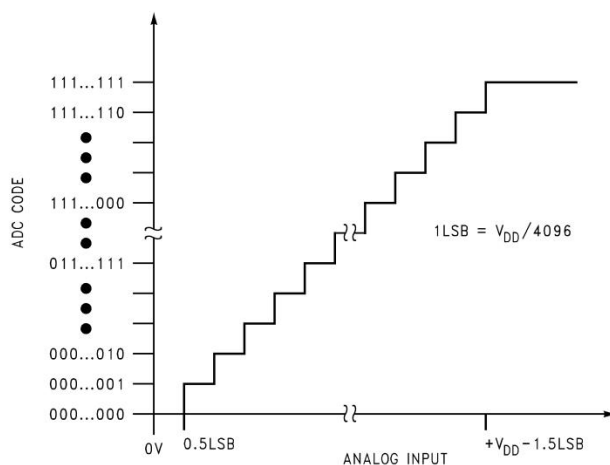


图 15. TLX1461 理想传输特性

8.4.2 启动时机

TLX1461 通常需要 1 μ s 的上电时间，无论是在首次施加 VDD 电源后，还是在从关断模式返回正常模式后。这相当于本文档规范范围内任何 SCLK 频率的一次虚拟转换。完成首次虚拟转换后，TLX1461 即可正常执行转换。

8.4.3 工作模式

TLX1461 有两种工作模式：正常模式和关断模式。当 $\overline{CS}$ 被拉低时，ADCS747x 进入正常模式（并开始转换过程）。如果在 $\overline{CS}$ 被拉低后，SCLK 的第 10 个下降沿之前 $\overline{CS}$ 被拉高，则器件进入关断模式；如果 $\overline{CS}$ 保持低位，则器件保持在正常模式。一旦进入关断模式，器件将保持该模式，直到 $\overline{CS}$ 再次被拉低。通过改变正常模式和关断模式所占时间的比例，系统可以在吞吐量和功耗之间进行权衡。

8.4.3.1 正常模式

为了获得最佳吞吐量，TLX1461 应始终保持在正常模式，这样就不会出现上电延迟。为了使器件持续保持在正常模式，必须在转换开始后，SCLK 的第 10 个下降沿之后才将 $\overline{CS}$ 拉高（请记住，转换是通过拉低 $\overline{CS}$ 来启动的）。

如果在第 10 个下降沿之后、第 16 个下降沿之前将 $\overline{CS}$ 置高，则器件保持正常模式，但当前转换将被中止，SDATA 返回三态（输出字被截断）。

从器件读取一个完整的转换字需要 16 个 SCLK 周期。经过 16 个 SCLK 周期后， $\overline{CS}$ 可以保持高电平或低电平，直到下一次转换。如果 $\overline{CS}$ 保持低电平，则必须在下一次转换开始之前将其再次置高，下一次转换在 $\overline{CS}$ 再次置低时开始。

经过 16 个 SCLK 周期后，SDATA 返回三态。经过 tQUIET 时间后，可以通过再次将 $\overline{CS}$ 置低来启动另一次转换。

8.4.3.2 启动模式

首次施加 VDD 电源时，TLX1461 可以以两种模式之一启动：正常模式或关断模式。因此，启动后应执行一次虚拟转换，具体操作请参见“上电时序”部分。之后，器件可以置于正常模式或关断模式，具体操作请参见“正常模式和关断模式”部分。

8.4.3.3 关断模式

关断模式适用于非连续采样或愿意牺牲吞吐量来换取功耗的应用。当 TLX1461 处于关断模式时，所有模拟电路均关闭。

要进入关断模式，必须在 SCLK 的第二个和第十个下降沿之间的任意时间将 $\overline{CS}$ 拉高以中断转换，如图 16 所示。一旦以这种方式将 $\overline{CS}$ 拉高，器件即进入关断模式；当前转换中止，SDATA 进入三态。如果在 SCLK 的第二个下降沿之前将 $\overline{CS}$ 拉高，则器件不会改变模式；这是为了避免因 $\overline{CS}$ 线上的噪声而意外改变模式。

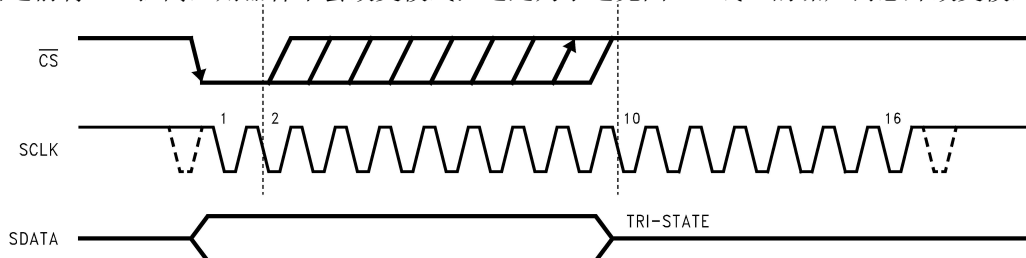


图 16. 进入关机模式

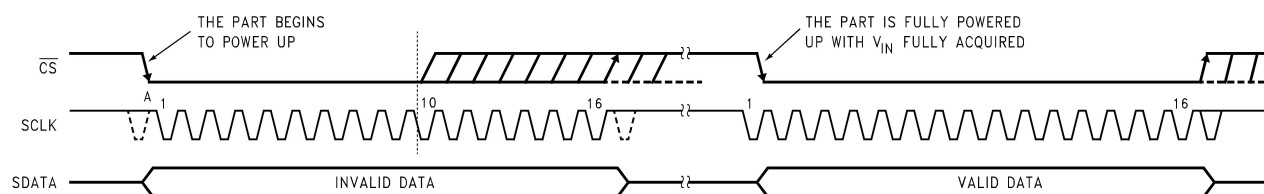


图 17. 进入正常模式

若要退出关断模式，请将 $\overline{CS}$ 拉低。 $\overline{CS}$ 拉低后，TLX1461 开始上电。上电通常需要 $1\mu s$ 。这微秒的上电延迟会导致第一次转换结果无效。然而，上电后进行的第二次转换是有效的，如图 17 所示。

如果在 SCLK 的第 10 个下降沿之前将 $\overline{CS}$ 拉高，则器件将返回关断模式。这样做是为了避免由于 $\overline{CS}$ 线上的噪声而意外进入正常模式。要退出关断模式并保持在正常模式，必须将 $\overline{CS}$ 保持低电平，直到 SCLK 的第 10 个下降沿之后。TLX1461 在 16 个 SCLK 周期后完全上电。

9 应用与实施

9.1 应用信息

图 18 展示了 TLX1461 的一个典型应用。在本例中，模拟和数字电源由低压差线性稳压器提供，该稳压器具有多种固定和可调输出电压。电源旁路连接了一个靠近器件的电容网络。图中还显示了连接到微处理器或 DSP 的三线接口。

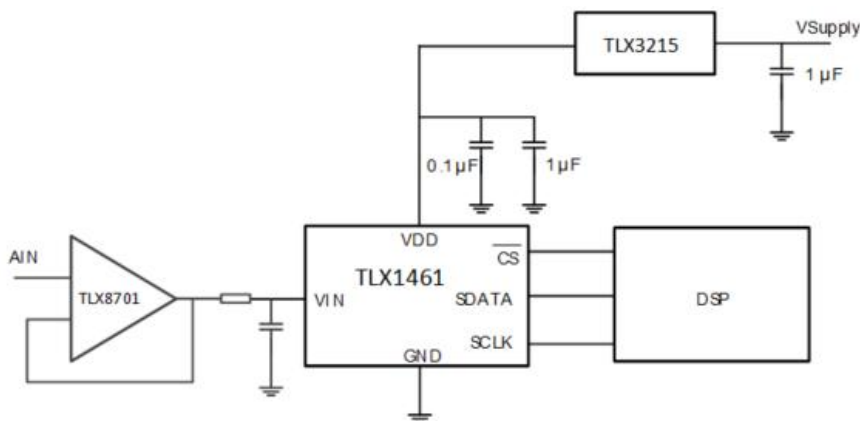


图 18. 典型应用电路

9.1.1 模拟输入

图 19 显示了 TLX1461 输入通道的等效电路。二极管 D1 和 D2 为模拟输入提供静电放电 (ESD) 保护。模拟输入电压任何时候都不应超过 $V_{DD} + 300\text{ mV}$ 或 $GND - 300\text{ mV}$ ，否则这些 ESD 二极管会开始向基板或电源线导通电流，从而影响 ADC 的正常工作。

图 19 中的电容 C1 通常为 4 pF ，主要由引脚电容构成。电阻 R1 代表多路复用器和跟踪/保持开关的导通电阻，通常为 $100\ \Omega$ 。电容 C2 是 TLX1461 的采样电容，通常为 32 pF 。

模拟输入的采样特性会导致输入电流脉冲，从而在输入端产生电压尖峰。TLX1461 在低阻抗源驱动下性能最佳，这样可以消除采样电容充电引起的失真。在某些对动态性能要求较高的应用中，必须使用低输出阻抗放大器驱动输入端。此外，当使用 TLX1461 对交流信号进行采样时，带通滤波器或低通滤波器可以减少谐波和噪声，从而提高 THD 和 SNR。

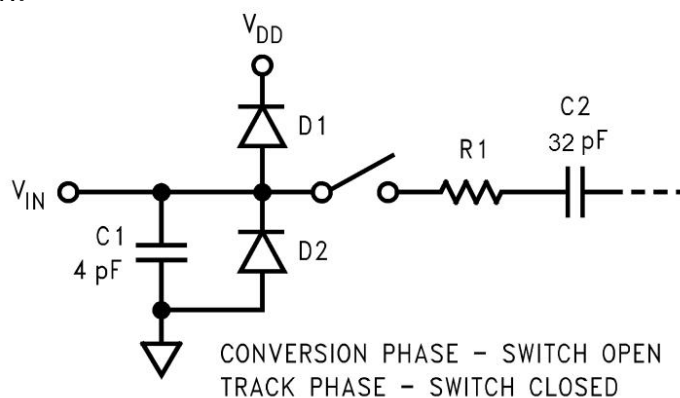


图 19. 等效输入电路

9.1.2 数字输入和输出

TLX1461 的数字输入（SCLK 和 CS）不受模拟输入相同绝对最大额定值的限制。数字输入引脚相对于 GND 的电压限制为 5.5V，与电源电压 VDD 无关。这使得 TLX1461 可以与各种逻辑电平连接，而无需考虑电源电压。

注意：尽管数字输入可以承受高达 5.5V 的 GND 以上电压，但数字输出只能驱动 VDD。

此外，数字输入引脚不易发生闩锁；SCLK 和 CS 可以在 VDD 之前置位，而不会有任何风险。

9.2 电源建议

这些产品的电源需要考虑三个方面：电源噪声对转换过程的影响、数字输出噪声对转换过程的影响以及产品的电源管理。

9.2.1 电源噪声

由于 TLX1461 的电源电压即为参考电压，任何幅度大于 $1/2$ LSB 的噪声都会对转换器的噪声性能产生影响。这种影响与输入电压成正比。电源必须像参考电压一样，在稳定性和噪声方面都受到严格控制。如果这些器件使用与数字元件相同的电源电压，会导致噪声性能下降。

9.2.2 数字输出对噪声的影响

任何输出负载电容的充电都需要来自数字电源 VDD 的电流。电源为输出电容充电所需的电流脉冲会导致 ADC 电源线上的电压波动。如果这些波动足够大，可能会降低 ADC 的信噪比 (SNR) 和信噪比衰减比 (SINAD) 性能。同样，当数字输出从逻辑高电平变为逻辑低电平时，输出电容的放电会将电流注入芯片基板，从而在基板中产生地弹噪声，如果该电流足够大，也会降低噪声性能。输出电容越大，流经器件电源线和芯片基板的电流就越大，耦合到模拟路径中的噪声也就越大。

防止数字噪声进入电源的首要方法是将电源与其他组件解耦，或者为 ADC 使用单独的电源。为了防止噪声进入电源，应尽可能减小输出负载电容。如果负载电容大于 50 pF，则在 ADC 输出端串联一个 100Ω 的电阻，并尽可能靠近 ADC 输出引脚。这可以限制输出电容的充放电电流，从而提高噪声性能。由于串联电阻和负载电容会形成一个低频极点，因此在添加串联电阻时，务必验证信号完整性。

9.2.3 电源管理

当 TLX1461 在正常模式下连续运行时，可以实现高达 1MSPS 的吞吐量。用户可以通过减少单位时间内的转换次数，并在转换间隙将 TLX1461 置于关断模式，来降低吞吐量和功耗。但当吞吐量超过 350kSPS 时，这种方法就不再适用。图 20 显示了最大功耗与吞吐量的关系曲线。要计算给定吞吐量下的功耗，请记住，每次器件从关断模式进入正常模式时，都需要进行一次虚拟转换。通常，用户将器件置于正常模式，执行一次虚拟转换，然后执行一次有效转换，最后将器件重新置于关断模式。完成此操作后，可以通过将吞吐量（以每秒采样数为单位）乘以 $2\mu\text{s}$ （执行一次虚拟转换和一次有效转换所需的时间）来计算器件处于正常模式的时间比例。然后，可以通过将处于正常模式的时间比例乘以正常模式下的功耗值来计算功耗。器件处于关断模式时消耗的功率可以忽略不计。

例如，要计算 VDD = 5V 时 300kSPS 的功耗，首先计算正常模式下所占时间的比例： $300,000 \text{ 个样本/秒} \times 2\mu\text{s} = 0.6$ ，即 60%。那么 300kSPS 时的功耗就是 15mW（VDD = 5V 时的最大功耗）的 60%，即 9mW。

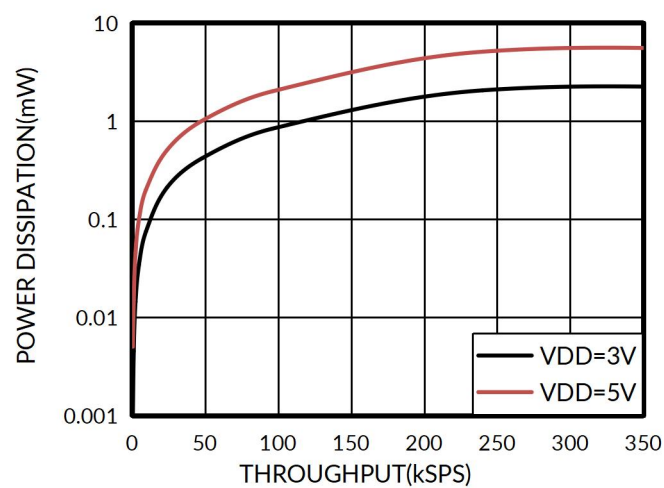
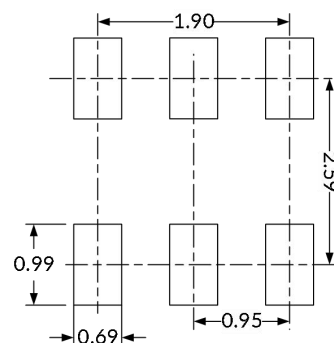
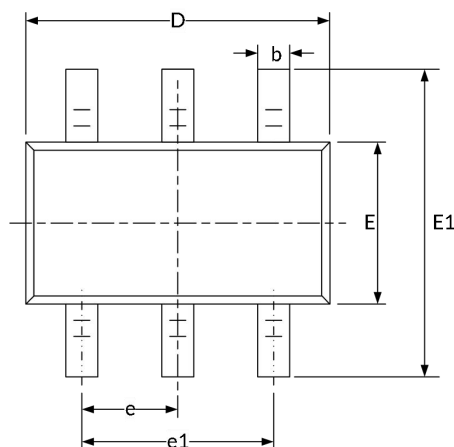


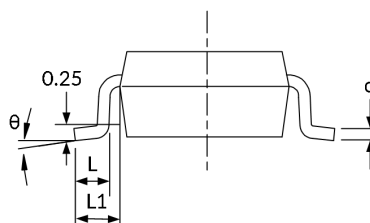
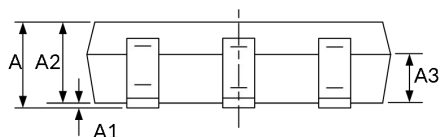
图 20. 最大功耗与吞吐量

10.封装尺寸

SOT23-6⁽⁴⁾



RECOMMENDED LAND PATTERN (Unit: mm)



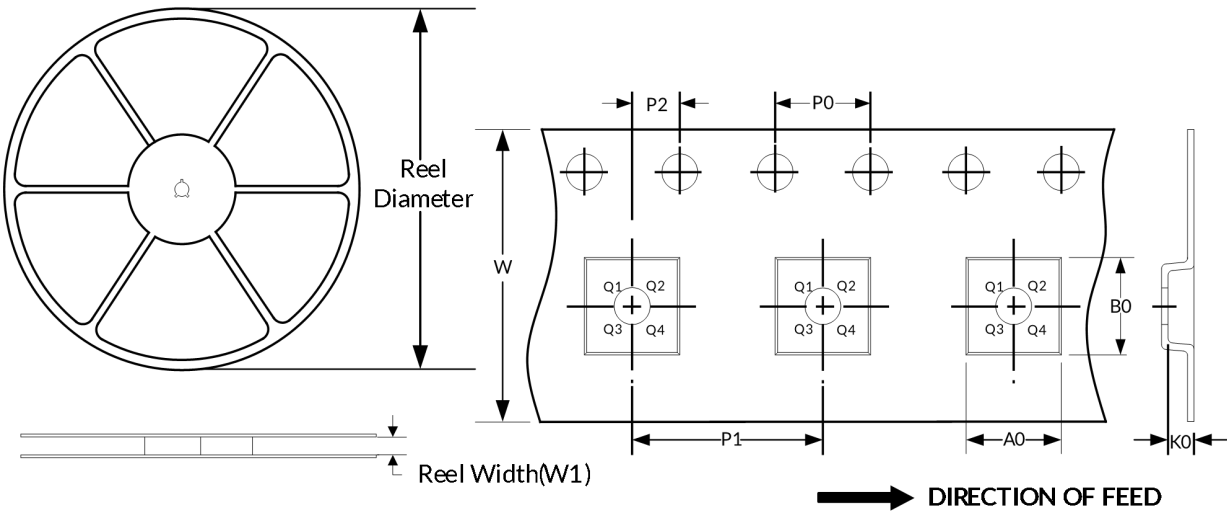
代码	尺寸单位: 毫米		尺寸单位为英寸	
	最小值	最大值	最小值	最大值
A ⁽¹⁾		1.250		0.049
A1	0.040	0.100	0.001	0.004
A2	1.000	1.200	0.039	0.047
A3	0.600	0.700	0.023	0.028
b	0.380	0.460	0.015	0.018
c	0.130	0.170	0.005	0.007
D ⁽¹⁾	2.820	3.020	0.111	0.119
E ⁽¹⁾	1.500	1.700	0.059	0.067
E1	2.600	3.000	0.102	0.118
e	0.950 (BSC) ⁽²⁾		0.037 (BSC) ⁽²⁾	
e1	1.900 (BSC) ⁽²⁾		0.075 (BSC) ⁽²⁾	
L	0.300	0.600	0.012	0.024
L1	0.600 (REF) ⁽³⁾		0.024 (REF) ⁽³⁾	
θ	0°	8°	0°	8°

笔记:

- 1.每边最大凸起部分 (0.15mm) 的塑料或金属凸起部分不包含在内。
2. BSC (中心间距基本值), “基本”间距是标称间距。
3. REF 是 Reference (参考文献) 的缩写。
- 4.本图纸如有更改, 恕不另行通知。

1.1 卷带和卷盘信息
卷轴尺寸

胶带尺寸



注：图片仅供参考，请以实物为准。

卷带式磁带的参数列表

封装类型	卷轴直径	卷轴宽度 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P0 (mm)	P1 (mm)	P2 (mm)	W (mm)	Pin1 象限
SOT23-	7"	9.5	3.17	3.23	1.37	4.0	4.0	2.0	8.0	Q3

笔记：
1. 所有尺寸均为标称尺寸。
2. 每边最大凸起部分（0.15mm）不包括在内。