

无锡泰连芯科技有限公司

TLX1488

16位，8通道，500KSPS PuISAR ADC

2026年05月

16位，8通道，500KSPS PuLSAR ADC

1 特性

- 16位分辨率、无失码
- 8通道多路复用器，输入可选择
- 单极性单端输入
- 差分输入（使用参考地）
- 伪双极性
- 吞吐速率：500 kSPS
- INL: 典型值±2 LSB, 最大值±3 LSB (±23 ppm 或 FSR)
- 动态范围：91.5dB
- 模拟输入范围：0 V 至 VREF（VREF 最高为 VDD）
- 多种基准源类型
 - 内部 4.096 V 基准源
 - 外部缓冲基准源（可达 4.096 V）
 - 外部基准源（可达 VDD）
- 内部温度传感器
- 通道序列器，可选单极点滤波器，繁忙指示器
- 无流水线延迟，SAR架构
- 单电源工作：5V，逻辑接口电压：1.8V 至 5V
- 串行接口，兼容 SPI、MICROWIRE、QSPI 和 DSP
- 功耗
 - 25 mW (500 kSPS 时)
 - 7.2 μW (100 SPS 时)
- 待机电流：50 nA

2 应用

- 电池供电设备
- 医疗仪器：ECG/EKG
- 移动通信：GPS
- 个人数字助理
- 数据采集
- 地震数据采集系统
- 仪器仪表
- 过程控制

3 概述

TLX1488 是一款 8 通道、16 位、电荷再分配逐次逼近型模数转换器（ADC），采用单电源 VDD 供电。

TLX1488 拥有多通道、低功耗、数据采集系统所需的要素，包括：无失码的真 16 位 SAR ADC；用于将输入配置为单端输入（使用或不使用参考地）、差分输入或双极输入的、8 通道、低串扰的多路复用器；内部 4.096V 低漂移基准源和缓冲器；温度传感器；可选单极点滤波器；和多通道连续采样时的序列器。

TLX1488 使用简单的 SPI 接口实现配置寄存器的写入和转换结果的接收。SPI 接口使用单独的电源（VIO），其被设定为主逻辑电平。功耗与吞吐率成正比。

TLX1488 可在 -55℃ 至+125℃ 的温度范围内正常运行。

质量等级：军温级&企军标

器件信息 (1)

型号	封装	封装尺寸 (标称值)
TLX1488	QFN4X4-20	4.00mm × 4.00mm

(1) 详细的订单型号说明，请参考数据表后的封装选项部分。

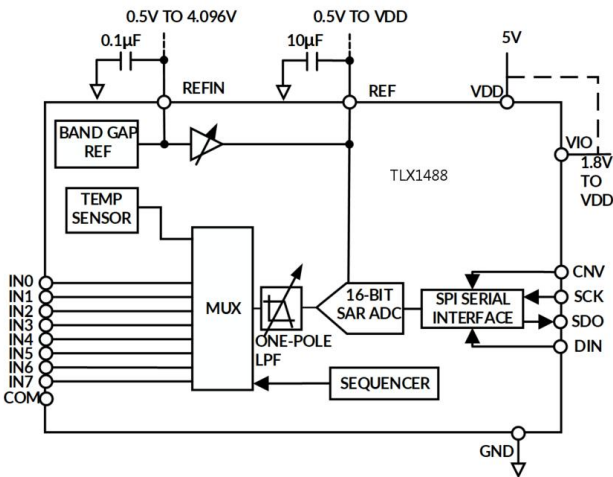


图 1. 功能框图

目录

1 特性	1
2 应用	1
3 概述	1
4 修订历史	3
5 封装和订单说明⁽¹⁾	4
6 引脚定义和功能	5
7 规格	7
7.1 绝对最大额定参数	7
7.2 ESD 等级	7
7.3 参数规格	8
7.4 时序规格	12
7.5 典型参数曲线	14
8 术语	18
9 工作原理	20
9.1 概览	20
9.2 转换器操作	20
9.3 传递函数	21
9.4 典型应用框图	22
9.4.1 单极性或双极性	22
9.4.2 双极单电源	22
9.5 模拟输入	23
9.5.1 输入架构	23
9.5.2 可选低通滤波器	23
9.5.3 输入配置	24
9.5.4 序列器	25
9.5.5 源电阻	25
9.6 驱动放大器的选择	25
9.7 电压基准输出/输入	26
9.7.1 内部基准源/温度传感器	26
9.7.2 外部基准源和内部缓冲器	26
9.7.3 外部基准源	26
9.7.4 基准源解耦	26
9.8 电源	27
9.9 基准源供电 ADC	27
10 数字接口	29
10.1 转换期间读/写，快速主机	29
10.2 转换后读/写，任何速度主机	29
10.3 读/写跨越转换，任何速度主机	29
10.4 配置寄存器, CFG	30
10.5 无繁忙指示器的通用时序	32
10.6 带繁忙指示器的通用时序	33
10.7 无忙碌指示器的读/写跨越转换	34
10.8 带繁忙指示器的读/写跨越转换	35
10.9 通道序列器	36
10.9.1 示例	36
11 封装规格尺寸	38
12 包装规格尺寸	39

4 修订历史

注意: 更新前的版本页码可能与当前版本不同。

版本	更新日期	变更项目
A.0	2026/05/22	初始版

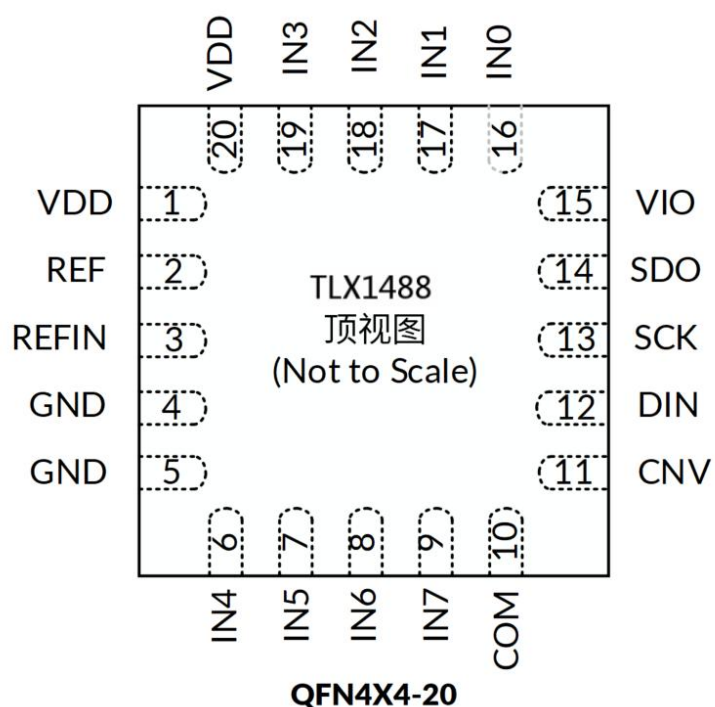
5 封装和订单说明⁽¹⁾

订单型号	工作温度	封装类型	MSL ⁽³⁾	质量等级
JTLX1488XTQR20	-55°C ~+125°C	QFN4X4-20	MSL1	企军标
JTLX1488XTQR20(W)	-55°C ~+125°C	QFN4X4-20	MSL1	军温级
TLX1488XTQR20	-40°C ~+125°C	QFN4X4-20	MSL1	工业级

注意:

- (1) 该信息是当前版本的最新数据。这些数据如有更新，将及时更新到我司官网，恕不另行通知。
- (2) TLXIC 装配厂使用符合 JEDEC 工业标准 J-STD-20F 的通用预处理设置对 MSL 级别进行分类。如果您的最终应用对预处理设置非常关键，或者您有特殊要求，请与 TLXIC 技术支持联系。

6 引脚定义和功能



引脚功能

引脚号	引脚名称	类型	功能说明
1, 20	VDD	P	电源。额定电压为 4.5V 至 5.5V，必须采用 10 μ F、100nF 电容器进行去耦处理。
2	REF	AI/O	基准输入/输出。详见电压基准输出/输入部分。当内部基准启用时，该引脚输出 4.096V 电压；当内部基准禁用且缓冲器启用时，REF 引脚会输出 REFIN 引脚上电压的缓冲版本（最大值为 VDD - 0.5 V），适用于低成本、低功耗的基准源。为提升漂移性能，建议将精密基准源连接至 REF 引脚（电压为 0.5V 至 VDD）。无论采用何种基准方法，该引脚都需要使用尽可能靠近 REF 连接的外部 10 μ F 电容器去耦。详见基准源解耦部分。
3	REFIN	AI/O	内部基准输出/基准缓冲器输入。详见电压基准输出/输入部分。使用内部基准时，系统会提供未经缓冲的内部基准电压，需通过 0.1 μ F 电容器进行去耦；而使用内部基准缓冲器时，则需在 0.5V 至 4.096V 范围内施加电压源，并将其缓冲后连接至 REF 引脚（具体方法如 REF 引脚说明中所述）。
4, 5	GND	P	电源地。
6	IN4	AI	模拟输入通道 4。
7	IN5	AI	模拟输入通道 5。
8	IN6	AI	模拟输入通道 6。
9	IN7	AI	模拟输入通道 7。
10	COM	AI	公共通道输入。所有输入通道 IN[7:0] 都可以以 0 V 或 V _{REF} /2 V 的共模点为基准。

引脚号	引脚名称	类型	功能说明
11	CNV	DI	转换输入。在上升沿，CNV 触发转换过程。转换结束（EOC）时，若 CNV 保持低电平，则繁忙指示器将被激活。
12	DIN	DI	数据输入。此输入用于向 14 位配置寄存器写入数据。配置寄存器可在转换过程中及转换完成后进行写入操作。
13	SCK	DI	串行数据时钟输入。该输入用于以 MSB 方式输出 SDO 上的数据并输入 DIN 上的数据。
14	SDO	DO	串行数据输出。转换结果通过此引脚输出，与 SCK 同步。在单极模式下，转换结果为直接二进制形式；在双极模式下，转换结果为二进制补码形式。
15	VIO	P	输入/输出接口数字电源。额定供电电压与主机接口相同（1.8 V、2.5 V、3 V 或 5 V）。
16	IN0	AI	模拟输入通道 0。
17	IN1	AI	模拟输入通道 1。
18	IN2	AI	模拟输入通道 2。
19	IN3	AI	模拟输入通道 3。
21	EPAD	NC	裸露的焊盘内部未进行连接。为提高焊点可靠性，建议将该焊盘焊接至 GND 平面。

7 规格

7.1 绝对最大额定参数

在自然通风温度范围内（除非特别注明）⁽¹⁾

参数		最小值	最大值	单位
模拟输入				
INx, COM		GND-0.3	VDD+0.3	V
REF, REFIN		GND-0.3	VDD+0.3	V
电源				
VDD, VIO to GND		-0.3	7	V
VIO to VDD		-0.3	7	V
DIN, CNV, SCK to GND		-0.3	VIO + 0.3	V
SDO to GND		-0.3	VIO + 0.3	V
结至环境热阻 ⁽²⁾	QFN4X4-20		55	°C/W
储存温度范围		-65	+150	°C
结温 ⁽³⁾			+150	°C

(1) 这里只表示产品在测试条件下得到的极限值，并不表示产品在这些条件下或者其他超出规格限定的参数条件下能够正常工作，超过上述绝对最大额定值所规定的范围将对产品造成损害，无法预测产品在上述条件外的工作状态。如果产品长期在上述条件外的条件下工作，可能影响产品性能。

(2) 封装热阻抗根据 JESD-51 标准计算。

(3) 最大功耗是有关 $T_{J(MAX)}$ 、 $R_{\theta JA}$ 和 T_A 的函数。任意环境温度下的最大功耗为 $P_D = (T_{J(MAX)} - T_A) / R_{\theta JA}$ 。适用于直接焊接到 PCB 上的封装。

7.2 ESD 等级

以下 ESD 信息仅针对在防静电保护区内操作的敏感设备。

			标称值	单位
$V_{(ESD)}$	静电放电	人体模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 规范 ⁽¹⁾	±4000	V
		带电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 规范 ⁽²⁾	±1500	

(1) JEDEC 文件 JEP155 指出，500V HBM 允许使用标准 ESD 控制过程进行安全制造。

(2) JEDEC 文件 JEP157 指出，250V CDM 允许使用标准 ESD 控制过程进行安全制造。



ESD 灵敏性警告

ESD 损坏的范围可以从细微的性能下降到完全的设备失效。精密集成电路可能更容易受到损坏，因为非常小的参数变化有可能导致器件不符合其公布的参数规格。

7.3 参数规格

VDD=4.5V 至 5.5V, $V_{REF} = 4.096\text{ V}$ 至 VDD, $V_{IO} = 1.8\text{ V}$ 至 VDD, 所有规格, $T_A = -55 \sim +125^\circ\text{C}$, 除非特别注明。

参数	测试条件	最小值	典型值	最大值	单位
分辨率		16			Bits
模拟输入					
电压范围	单极性模式	0		$+V_{REF}$	V
	双极性模式	$-V_{REF}/2$		$+V_{REF}/2$	V
绝对输入电压	正输入, 单极性和双极性模式	-0.1		$V_{REF}+0.1$	V
	负输入或COM输入, 单极性模式	-0.1		+0.1	V
	负输入或COM输入, 双极性模式	$V_{REF}/2-0.1$	$V_{REF}/2$	$V_{REF}/2+0.1$	V
模拟输入 CMRR	输入频率 (f_{IN}) = 2 kHz		70		dB
25°C 输入阻抗时的漏电流 ⁽¹⁾	采集相位		1		nA
吞吐量					
转换率					
全带宽 ⁽²⁾		0		500	kSPS
1/4 带宽 ⁽²⁾		0		125	kSPS
瞬态响应	满量程阶跃, 全带宽			400	ns
	满量程阶跃, 1/4 带宽			1600	ns
精度					
无失码		16			Bits
积分线性误差			± 2		LSB ⁽³⁾
微分线性误差			± 0.5		LSB
过渡噪声			0.6		LSB
增益误差 ⁽⁴⁾			± 5		LSB
增益误差匹配			± 1		LSB
增益误差温漂			± 0.3		ppm/ $^\circ\text{C}$
失调误差 ⁽⁴⁾			± 5		LSB
失调误差匹配			± 1		LSB
失调误差温漂			± 0.3		ppm/ $^\circ\text{C}$
电源灵敏度	VDD = 5 V $\pm$ 5%		± 1		LSB

参数规格 (续)

VDD=4.5V 至 5.5V, $V_{REF} = 4.096\text{ V}$ 至 VDD, $V_{IO} = 1.8\text{ V}$ 至 VDD, 所有规格, $T_A = -55 \sim +125^\circ\text{C}$, 除非特别注明。

参数	测试条件	最小值	典型值	最大值	单位
AC 精度					
动态范围			91.5		dB ⁽⁵⁾
信噪比 (SNR)	$f_{IN} = 2\text{ kHz}$, $V_{REF} = 5\text{ V}$		90.5		dB
	$f_{IN} = 2\text{ kHz}$, $V_{REF} = 4.096\text{ V}$, 内部 REF		89		dB
SINAD	$f_{IN} = 2\text{ kHz}$, $V_{REF} = 5\text{ V}$		89		dB
	$f_{IN} = 2\text{ kHz}$, $V_{REF} = 4.096\text{ V}$, 内部 REF		88.5		dB
总谐波失真 (THD)	$f_{IN} = 2\text{ kHz}$		-97		dB
无杂散动态范围 (SFDR)	$f_{IN} = 2\text{ kHz}$		98		dB
通道间串扰	相邻信道上 $f_{IN} = 100\text{ kHz}$		-118		dB
动态采样					
-3 dB 输入带宽	全带宽		14		MHz
	1/4 带宽		3.6		MHz
孔径延迟	VDD = 5 V		2.5		ns
温度范围					
指定性能	最小温度 (T_{MIN}) 至 T_{MAX}	-55		125	$^\circ\text{C}$

参数规格 (续)

VDD=4.5V 至 5.5V, $V_{REF} = 4.096\text{ V}$ 至 VDD, $V_{IO} = 1.8\text{ V}$ 至 VDD, 所有规格, $T_A = -55 \sim +125^\circ\text{C}$, 除非特别注明。

参数	测试条件	最小值	典型值	最大值	单位
内部基准					
REF 输出电压	4.096 V at 25°C	4.086	4.096	4.106	V
REFIN 输出电压 ⁽⁶⁾	4.096 V at 25°C		2.31		V
REF 输出电流			±400		μA
温漂			±10		ppm/°C
线性调整	VDD=5V±5%		15		ppm/V
长期漂移	1000 hours		TBD		ppm
开启稳定时间	参考电容 (C_{REF})=10μF		100		ms
外部基准					
电压范围	REF 输入	0.5		VDD+0.3	V
	REFIN 输入 (已缓冲)	0.5		VDD-0.2	V
漏极电流	500 KSPS, REF = 5 V		120		μA
温度传感					
输出电压 ⁽⁷⁾	25°C		254		mV
温度灵敏度			1		mV/°C
数字输入					
逻辑电平					
输入电压					
低电平 (V_{IL})		-0.3		0.3×VIO	V
高电平 (V_{IH})		0.7×VIO		VIO+0.3	V
输入电流					
低电平 (I_{IL})		-1		+1	μA
高电平 (I_{IH})		-1		+1	μA
数字输出					
数据格式 ⁽⁸⁾					
管道延迟 ⁽⁹⁾					
输出电压					
低电平 (V_{OL})	$I_{SINK}=500\mu\text{A}$			0.4	V
高电平 (V_{OH})	$I_{SOURCE}= -500\mu\text{A}$	VIO-0.3			V

参数规格 (续)

VDD=4.5V 至 5.5V, $V_{REF} = 4.096\text{ V}$ 至 VDD, $V_{IO} = 1.8\text{ V}$ 至 VDD, 所有规格, $T_A = -55 \sim +125^\circ\text{C}$, 除非特别注明。

参数	测试条件	最小值	典型值	最大值	单位
电源					
VDD	指定性能	4.5		5.5	V
VIO	指定性能	1.8		VDD+0.3	V
待机电流 ^(10,11)	VDD and VIO= 5 V at 25°C		50		nA
功耗	VDD = 5 V, 100 SPS 吞吐量		7.2		μW
	VDD = 5 V, 500 kSPS 吞吐量		20		mW
	VDD = 5 V, 500 kSPS 吞吐量, 带内部参考		25		mW
每转换能量			50		nJ
温度范围					
指定性能	T_{MIN} to T_{MAX}	-55		125	°C

- (1) 请参阅模拟输入部分。
- (2) 带宽在配置寄存器中设置。
- (3) 在 5 V 输入范围内, 1 LSB 为 76.3 μV 。
- (4) 请参阅术语部分。这些规格包括全温度范围变化, 但不包括外部基准的误差贡献。
- (5) 除非另有说明, 否则所有以分贝表示的规格均指满量程输入范围 (FSR), 并在低于满量程 0.5 dB 的输入信号下进行测试。
- (6) 这是内部带隙的输出。
- (7) 输出电压为内部电压, 位于专用多路复用器输入端。
- (8) 单极性模式是串行 16 位标准二进制。双极性模式是串行的 16 位二进制补码。
- (9) 转换结果在完成转换后立即可用。
- (10) 根据需要将所有数字输入强制到 VIO 或 GND。
- (11) 在采集阶段。

7.4 时序规格

VDD=4.5V 至 5.5V, $V_{REF} = 4.096\text{ V}$ 至 VDD, VIO = 1.8V 至 VDD, 所有规格, $T_A = -55 \sim +125^\circ\text{C}$, 除非特别注明。

参数 ⁽¹⁾	符号	最小值	典型值	最大值	单位
转换时间					
CNV 上升沿至数据可用	t_{CONV}			1.675	μs
采集时间	t_{ACQ}	400			ns
转换间时间	t_{CYC}	2			μs
转换过程中的数据读写	t_{DATA}			1.2	μs
SCK					
周期	t_{SCK}	$t_{DSDO} + 2$			ns
低电平时间	t_{SCKL}	15			ns
高电平时间	t_{SCKH}	15			ns
下降沿至数据保持有效	t_{HSDO}	10			ns
下降沿至数据有效延迟	t_{DSDO}				
VIO 高于 2.7 V				20	ns
VIO 高于 2.3 V				23	ns
VIO 高于 1.8 V				31	ns
CNV					
脉冲宽度	t_{CNVH}	5			ns
低电平至 SDO D15 MSB 有效	t_{EN}				
VIO 高于 2.7 V				13	ns
VIO 高于 2.3 V				15	ns
VIO 高于 1.8 V				18	ns
高电平或最后一个 SCK 下降沿至 SDO 高阻抗	t_{DIS}			15	ns
低电平至 SCK 上升沿	t_{CLSCK}	5			ns
最后一次 SCK 下降沿到 CNV 上升沿延迟	t_{QUIET}	40			ns
DIN					
从 SCK 上升沿的有效建立时间	t_{SDIN}	5			ns
从 SCK 上升沿的有效保持时间	t_{HDIN}	5			ns

(1) 有关负载条件, 请参见图 2 和图 3。

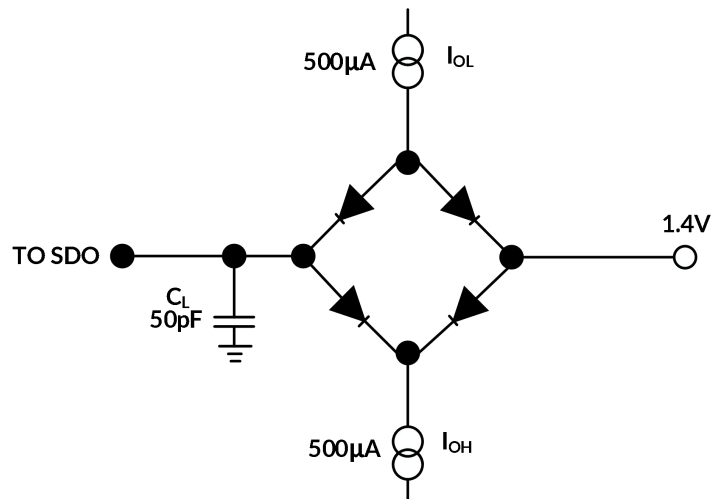
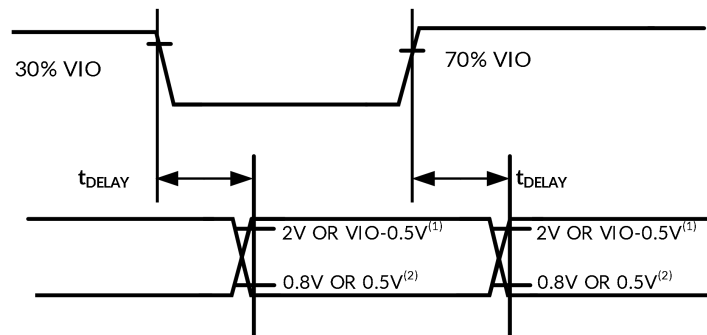


图 2.用于数字接口定时的负载电路



(1) 2V IF VIO ABOVE 2.5V; VIO-0.5V IF VIO BELOW 2.5V.
 (2) 0.8V IF VIO ABOVE 2.5V; 0.5V IF VIO BELOW 2.5V.

图 3.时序的电压电平

7.5 典型参数曲线

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

$V_{DD} = 5\text{ V}$, $V_{REF} = 5\text{ V}$, $V_{IO} = 1.8\text{ V}$, 除非特别注明。

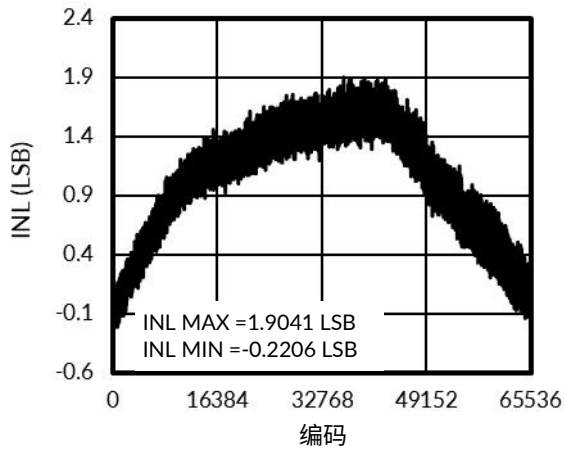


图 4. 积分非线性与编码的关系, $V_{REF}=V_{DD}=5\text{ V}$

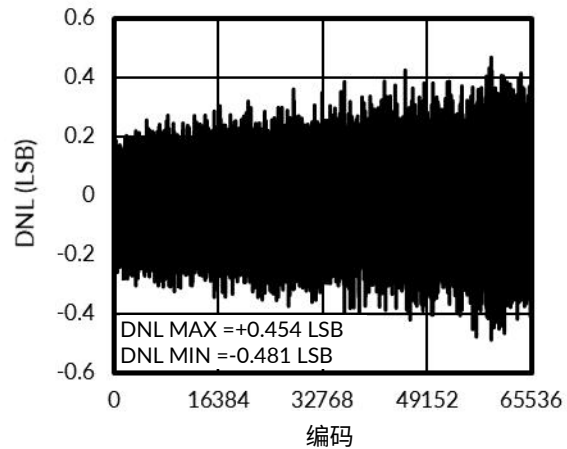


图 5. 微分非线性与编码的关系, $V_{REF}=V_{DD}=5\text{ V}$

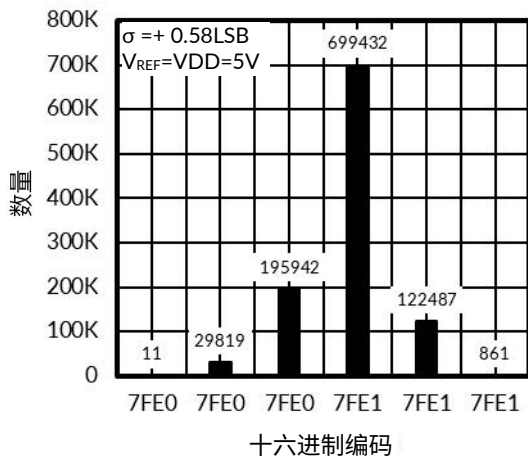


图 6. 编码中心的直流输入直方图

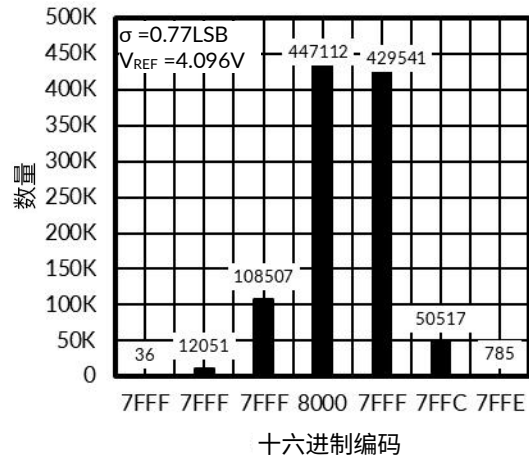


图 7. 编码中心的直流输入直方图

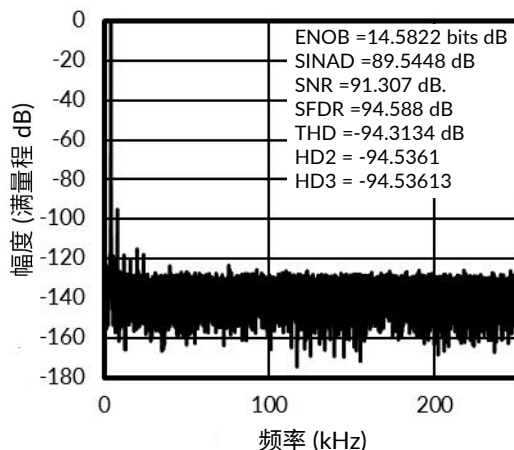


图 8. 2kHz FFT, $V_{REF} = V_{DD} = 5\text{ V}$, $V_{IO}=1.8\text{ V}$

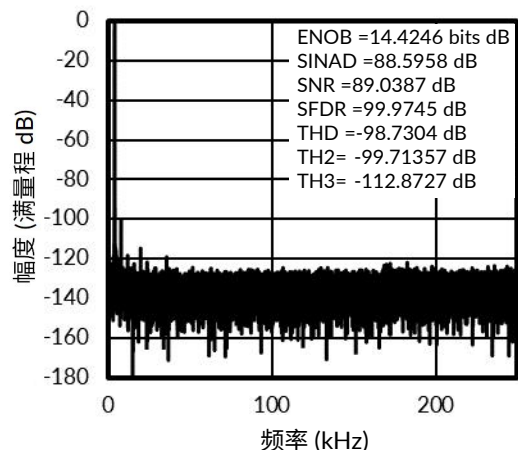


图 9. 2kHz FFT, $V_{REF} = 4.096\text{ V}$, $V_{DD} = 5\text{ V}$, $V_{IO}=1.8\text{ V}$

典型参数曲线 (续)

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

$V_{DD} = 5\text{ V}$, $V_{REF} = 5\text{ V}$, $V_{IO} = 1.8\text{ V}$, 除非特别注明。

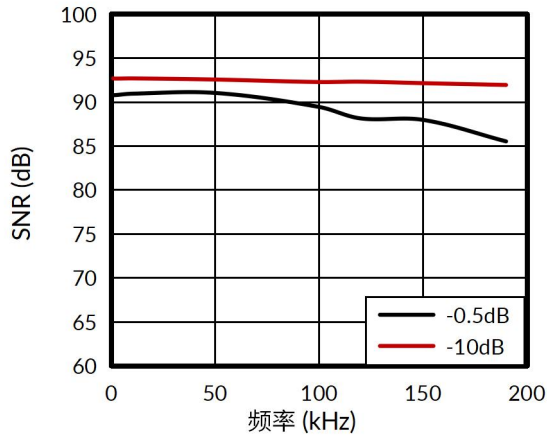


图 10. SNR与输入频率的关系

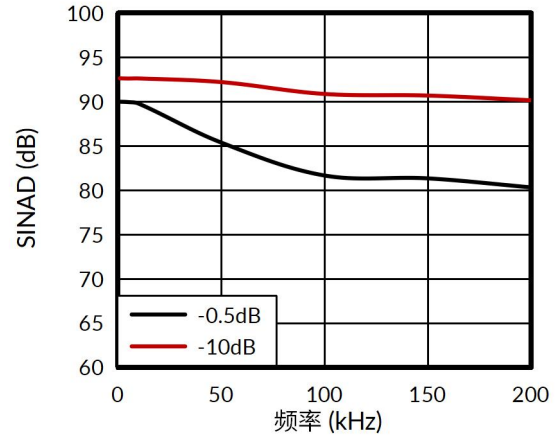


图 11. SINAD与输入频率的关系

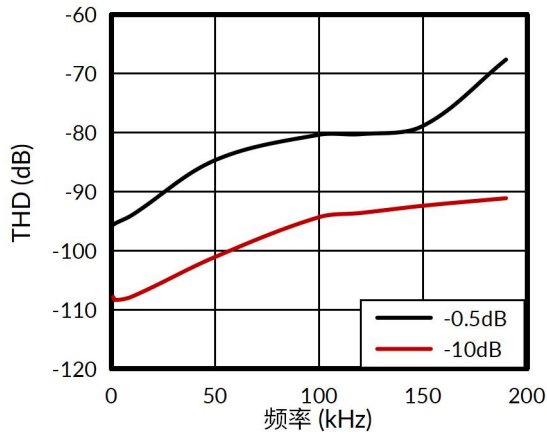


图 12. THD与输入频率的关系

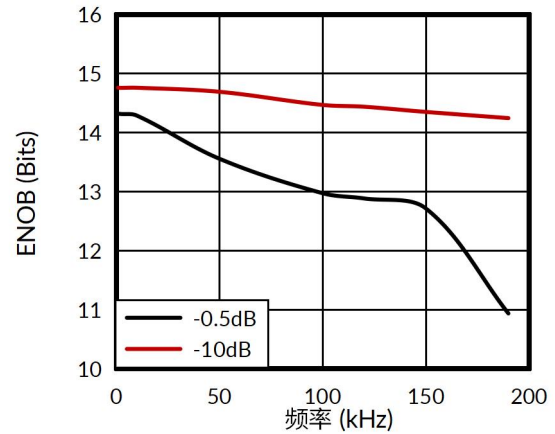


图 13. ENOB与输入频率的关系

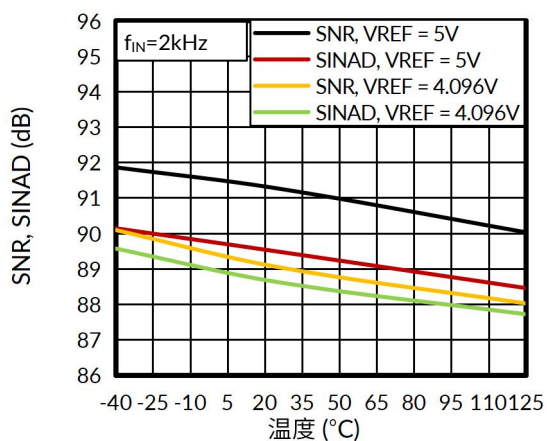


图 14. SNR, SINAD 与温度的关系

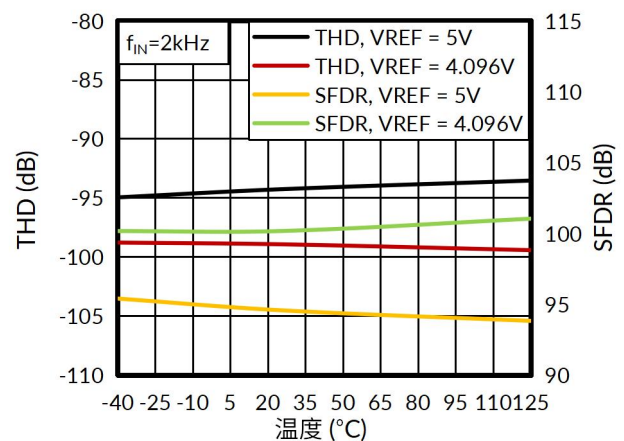


图 15. THD, SFDR 与温度的关系

典型参数曲线 (续)

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

VDD = 5 V, V_{REF} = 5 V, V_{IO} = 1.8V, 除非特别注明。

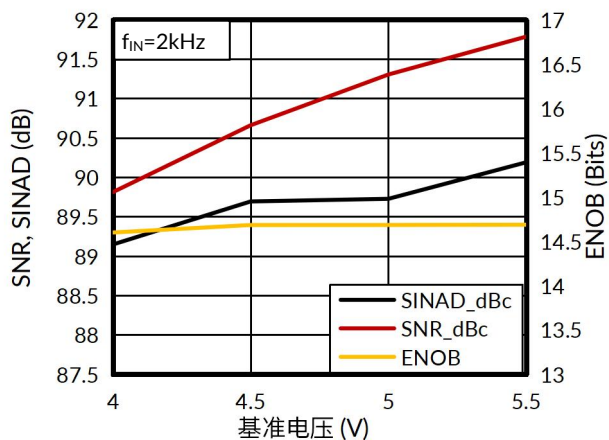


图 16. SNR, SINAD, ENOB与基准电压的关系

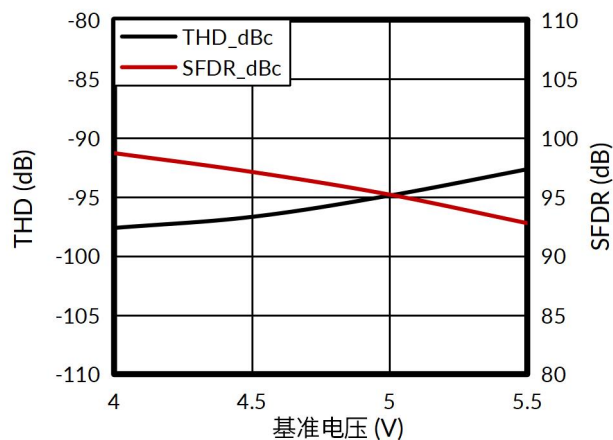


图 17. THD, SFDR 与基准电压的关系

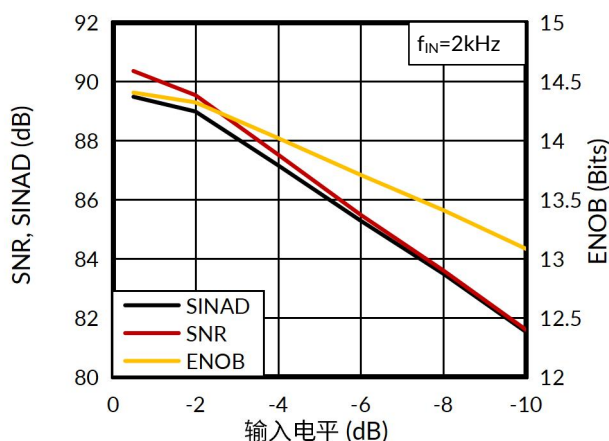


图 18. SNR, SINAD, 和 ENOB 与输入电平的关系

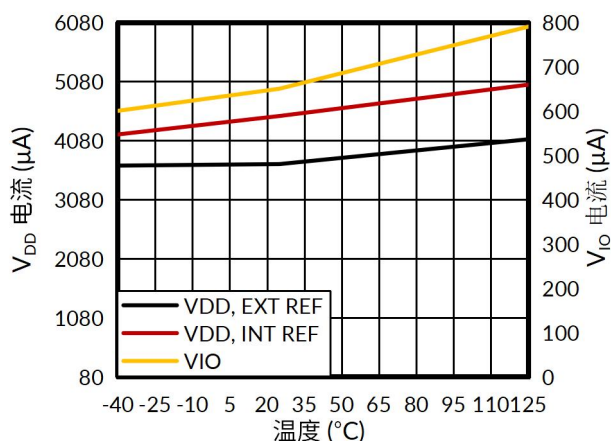


图 19. 工作电流与温度的关系

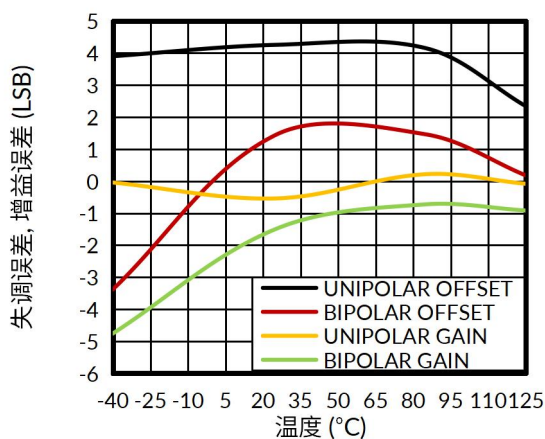


图 20. 失调和增益误差与温度的关系，未标准化

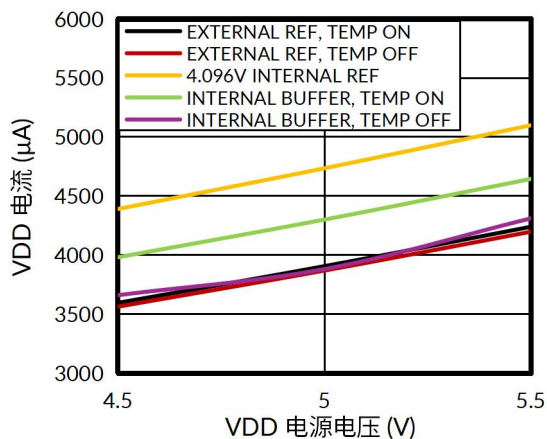


图 21. 工作电流与电源电压的关系

典型参数曲线（续）

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

VDD = 5 V, V_{REF} = 5 V, VIO = 1.8V, 除非特别注明。

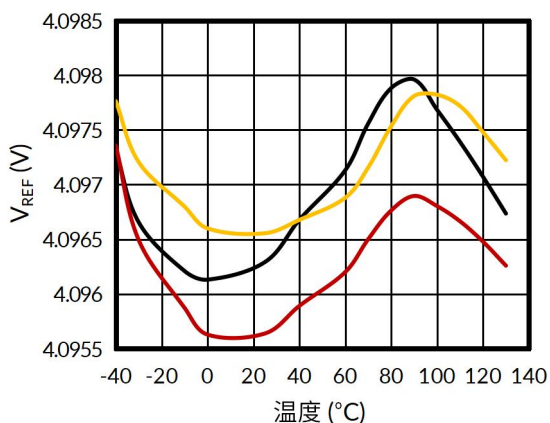


图 22. 内部基准输出电压与温度的关系, 三种器件

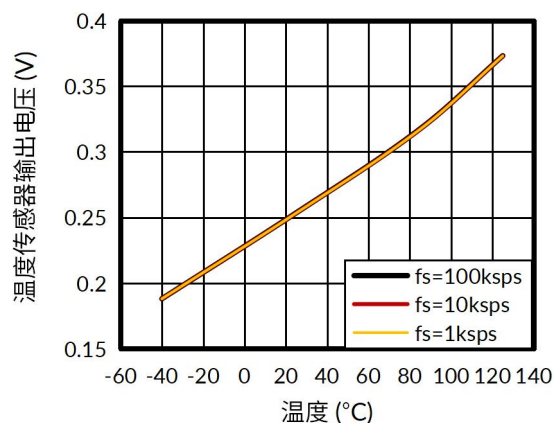


图 23. 温度传感器输出电压与温度的关系

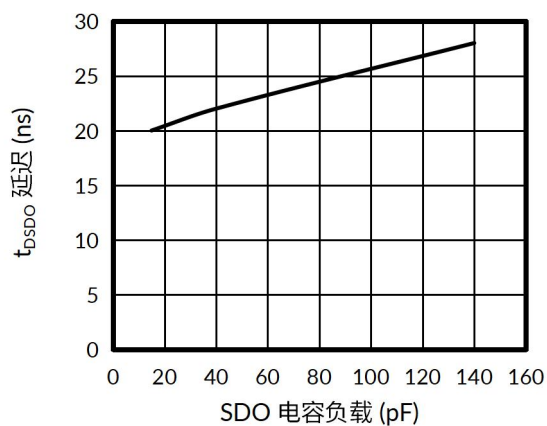


图 24. t_{BSDO} 延迟与 SDO 电容负载的关系

8 术语

最低有效位 (LSB)

LSB 是转换器表示的最小增量。对于具有 N 位分辨率的 ADC，以伏特表示的 LSB 为

$$LSB(V) = V_{REF}/2^N$$

积分非线性误差 (INL)

INL 是指每个单独的编码与从负满量程到正满量程的线性偏差。用作负满量程的点出现在第一次代码转换之前的 $\frac{1}{2}$ LSB。正满量程定义为超过最后一次代码转换的 $1\frac{1}{2}$ LSB 电平。偏差是从每个编码的中间到真正的直线测量的（参见图 26）。

微分非线性误差 (DNL)

在理想的 ADC 中，编码转换相隔 1 LSB。DNL 是与此理想值的最大偏差。它通常根据保证无缺失代码的分辨率来指定的。

失调误差

单极性模式下，首次转换发生在模拟地以上 $\frac{1}{2}$ LSB 电平处；单极性失调误差是实际转换位置与该理想点的偏差。双极性模式下，首次转换发生在 $V_{REF}/2$ 以上 $\frac{1}{2}$ LSB 电平处；双极性失调误差是实际转换位置与该理想点的偏差。

增益误差

模拟电压低于标称满量程 $1\frac{1}{2}$ LSB 时，必须进行最后一次转换（从 111...10 到 111...11）。增益误差是校正失调误差后，最后一次转换的实际电平与理想电平的 LSB（或满量程百分比）的偏差。与此密切相关的是满量程误差（也以 LSB 或满量程范围的百分比为单位），其中包括失调误差的影响。

孔径延迟

孔径延迟是衡量采集性能的指标。它是 CNV 输入信号上升沿到输入信号保持以进行转换的点之间的时间。

瞬态响应

瞬态响应是 ADC 在施加满量程阶跃函数后准确获取其输入所需的时间。

动态范围

动态范围是满量程的 rms 值与输入短路时测得的总 rms 噪声之比。动态范围的值以分贝表示。

信噪比 (SNR)

SNR 是实际输入信号的 rms 值与低于奈奎斯特频率的所有其他频谱分量（不包括谐波和直流）的 rms 之比。SNR 的值以分贝表示。

信纳比 (SINAD)

SINAD 是实际输入信号的 rms 值与低于奈奎斯特频率的所有其他频谱分量（包括谐波，但不包括直流）的 rms 之比。SINAD 的值以分贝表示。

总谐波失真 (THD)

THD 是前五个谐波分量的 rms 值和与满量程输入信号的 rms 值的比值，以分贝表示。

无杂散动态范围 (SFDR)

SFDR 是输入信号的 rms 幅值与峰值杂散信号之间的差值（以分贝为单位）。

有效位数 (ENOB)

ENOB 是正弦波输入分辨率的测量值。它与 SINAD 有关，公式为

$$\text{ENOB} = (\text{SINAD}_{\text{dB}} - 1.76) / 6.02$$

并以位表示。

通道间串扰

通道间串扰是衡量任意两个相邻通道之间串扰水平的指标。它是通过向被测通道施加直流并向相邻通道施加满量程 100 kHz 正弦波信号来测量的。串扰是泄漏到测试通道的信号量，以分贝表示。

基准电压温度系数

基准电压温度系数由在 T_{MIN} 、 $T(25^{\circ}\text{C})$ 和 T_{MAX} 下测得的最大和最小基准输出电压 (V_{REF}) 下的 25°C 输出电压的典型偏移得出。它以 ppm/ $^{\circ}\text{C}$ 表示，公式为

$$\text{TCVREF}(\text{ppm}/^{\circ}\text{C}) = \frac{V_{\text{REF}(\text{Max})} - V_{\text{REF}(\text{Min})}}{V_{\text{REF}(25^{\circ}\text{C})} \times (T_{\text{MAX}} - T_{\text{MIN}})} \times 10^6$$

其中：

$V_{\text{REF}}(\text{Max})$ = 在 T_{MIN} , $T(25^{\circ}\text{C})$, 或 T_{MAX} 测得的最大值 $V_{\text{REF}0}$

$V_{\text{REF}}(\text{Min})$ = 在 T_{MIN} , $T(25^{\circ}\text{C})$, 或 T_{MAX} 测得的最小值 $V_{\text{REF}0}$

$V_{\text{REF}}(25^{\circ}\text{C})$ = 在 25°C 测得的 $V_{\text{REF}0}$

$T_{\text{MAX}} = 125^{\circ}\text{C}$ 。

$T_{\text{MIN}} = -40^{\circ}\text{C}$ 。

9 工作原理

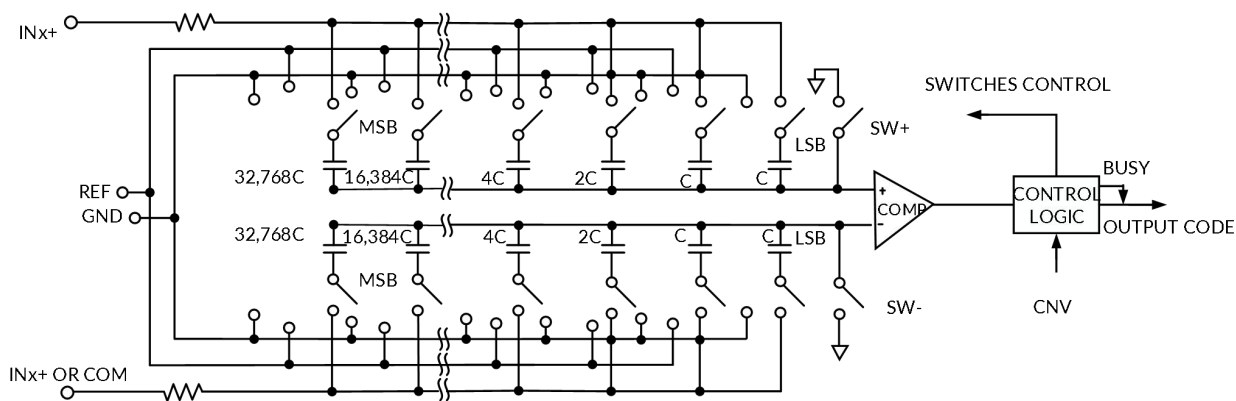


图 25. DC 简化原理图

9.1 概览

TLX1488 是 8 通道、16 位、电荷再分配 SAR ADC。该器件能够每秒转换 500,000 个样本（500 kSPS），并在转换间隔期间实现低功耗运行。例如，当使用外部基准以 1 kSPS 工作时，其典型功耗为 40 μ W，非常适合电池供电应用。

TLX1488 集成了用于多通道、低功耗数据采集系统的所有组件，包括：

- 无失码的 16 位 SAR ADC
- 8 通道, 低串扰的多路复用器
- 内部低温漂基准源和缓冲器
- 温度传感器
- 可选择的单极点滤波器
- 通道时序控制器

这些组件通过 SPI 兼容的 14 位寄存器进行配置。转换结果也与 SPI 兼容，可以在转换后或转换期间读取，并可选择读取与转换相关的配置。

TLX1488 为用户提供片上采样保持功能，并且不会出现流水线延迟或等待时间。

TLX1488 的额定电压范围为 4.5V 至 5.5V，可连接任何 1.8V 至 5V 数字逻辑系列。它采用 20 引脚、4 mm $\times$ 4 mm QFN 封装，可节省空间并实现灵活的配置。它与 16 位 TLX1438 引脚兼容。

9.2 转换器操作

TLX1488 是基于电荷再分配 DAC 的逐次逼近型 ADC。图 25 显示了 ADC 的简化原理图。电容式 DAC 由两个相同的 16 二进制加权电容器阵列组成，它们连接到两个比较器输入。

在采集阶段，与比较器输入相连的阵列端子通过 SW+ 和 SW- 连接到 GND。所有独立开关都连接到模拟输入。

电容器阵列用作采样电容器，并在 INx+ 和 INx-（或 COM）输入上采集模拟信号。当采集阶段完成且 CNV 输入变为高电平时，将启动转换阶段。当转换阶段开始时，SW+ 和 SW- 首先打开。然后，两个电容器阵列与输入断开并连接到 GND 输入。因此，在采集阶段结束时捕获的 INx+ 和 INx-（或 COM）输入之间的差分电压应用于比较器输入，导致比较器变得不平衡。通过在 GND 和 REF 之间切换电容器阵列的每个元件，比较器输入按二进制加权电压步长（ $V_{REF}/2$ 、 $V_{REF}/4$... $V_{REF}/32,768$ ）变化。控制逻辑从 MSB 开始切换这些开关，以使比较器恢复平衡状态。完成此过程后，器件返回采集阶段，控制逻辑生成 ADC 输出代码和繁忙指示器。

由于 TLX1488 具有板载转换时钟，因此转换过程不需要串行时钟 SCK。

9.3 传递函数

当输入配置为单极性范围（单端、COM 与接地检测或与 $INx-$ 差分配对作为接地检测）时，数据输出为直接二进制。

当输入配置为双极性范围（ $COM = V_{REF}/2$ 或与 $INx- = V_{REF}/2$ 差分配对）时，数据输出是二进制补码。

TLX1488 的理想传输特性如图 26 所示，对于单极性和双极性范围，内部基准 4.096 V。

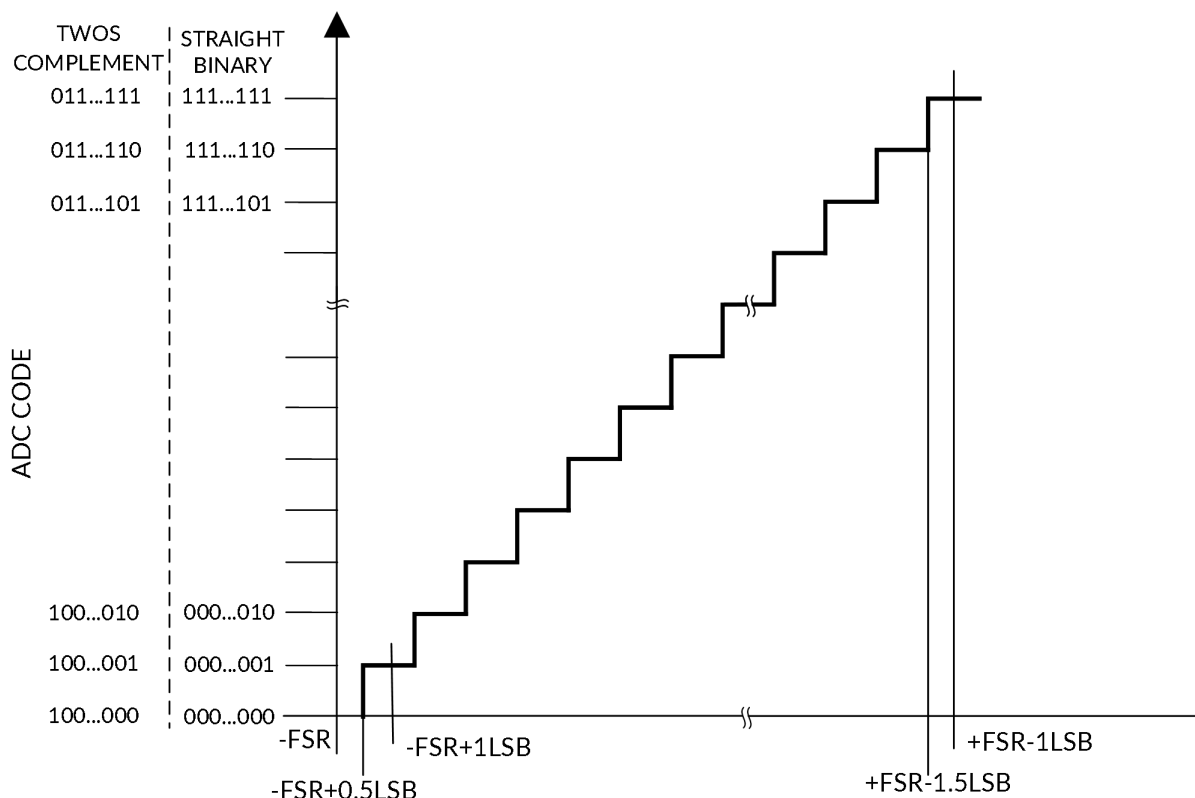


图 26. ADC 理想传递函数

表 1. 输出码和理想输入电压

说明	单极性模拟输入 ⁽¹⁾ $V_{REF} = 4.096\text{ V}$	数字输出代码（标准二进制十六进制）	双极性模拟输入 ⁽²⁾ $V_{REF} = 4.096\text{ V}$	数字输出代码（二进制补码十六进制）
FSR - 1 LSB	4.095938V	0Xffff ⁽³⁾	2.047938V	0x7FFF
Midscale + 1 LSB	2.048063V	0x8001	62.5 μ V	0x0001
Midscale	2.048V	0x8000	0V	0x0000
Midscale - 1 LSB	2.047938V	0x7FFF	-62.5 μ V	0xFFFF
-FSR + 1 LSB	62.5Mv	0x0001	-2.047938V	0x8001
-FSR	0V	0x0000 ⁽⁴⁾	-2.048V	0x8000 ⁽⁴⁾

(1) COM 或 $INx-$ = 0 V 或所有 INx 都以 GND 为基准。

(2) 使用 COM 或 $INx- = V_{REF}/2$ 。

(3) 这也是超范围模拟输入($INx+$) - ($INx-$) 或 COM，高于 $V_{REF} - GND$ 的代码。

(4) 这也是欠范围模拟输入($INx+$) - ($INx-$) 或 COM，低于 GND 的代码。

9.4 典型应用框图

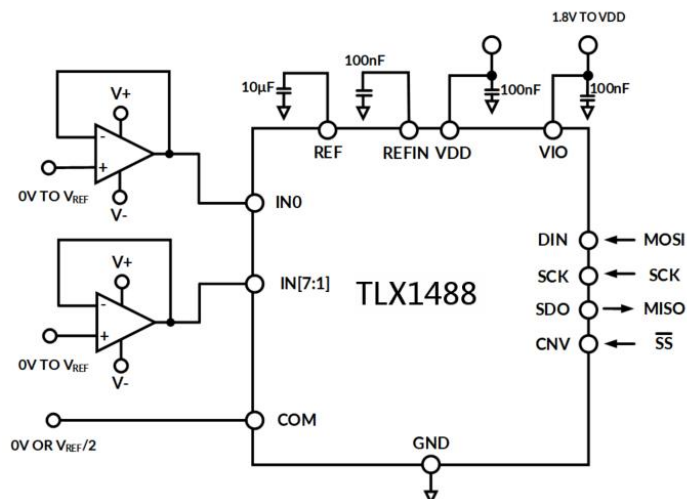


图 27. 采用多个电源的典型应用框图

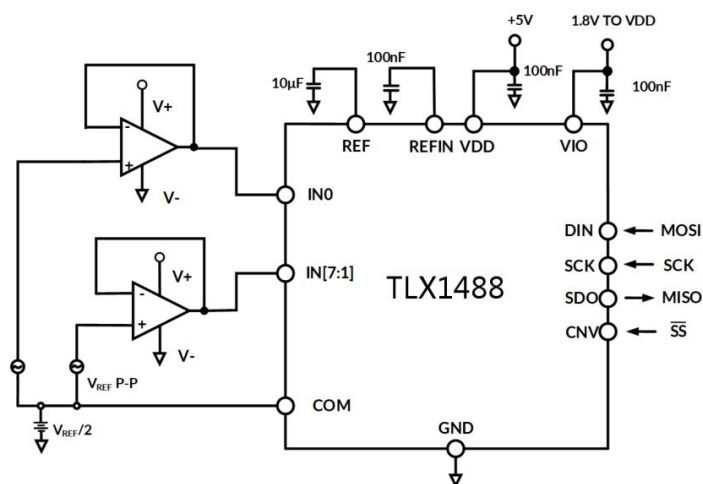


图 28. 使用双极性输入的典型应用框图

9.4.1 单极性或双极性

图 27 显示了当有多个电源可用时，TLX1488 的推荐连接图示例。

9.4.2 双极单电源

图 28 显示了一个具有双极性输入的系统示例，该系统使用带有内部基准的单电源（可选不同的 VIO 电源）。当放大器/信号调理电路位于远程且存在一些共模时，此电路也可使用。请注意，对于任何输入配置，INx 输入都是单极性的，并且始终以 GND 为基准（即使在双极性范围内也没有负电压）。对于该电路，可以使用轨到轨输入/输出放大器。但是，要考虑失调电压与输入共模范围的关系（ $V_{REF} = 4.096\text{ V}$ ， $1\text{ LSB} = 62.5\text{ }\mu\text{ V}$ ）。请注意，当使用双极性输入配置时，转换结果为二进制补码格式。

9.5 模拟输入

9.5.1 输入架构

图 29 显示了 TLX1488 输入结构的等效电路。两个二极管 D1 和 D2 为模拟输入 IN[7:0] 和 COM 提供 ESD 保护。必须注意确保模拟输入信号不超过电源轨 0.3V，因为这会导致二极管正向偏置并开始传导电流。

这些二极管可以处理最大 130 mA 的正向偏置电流。例如，当输入缓冲电源电压与 VDD 不同时，最终可能会发生这些情况。在这种情况下，例如，输入缓冲器短路，电流限制可用于保护器件。

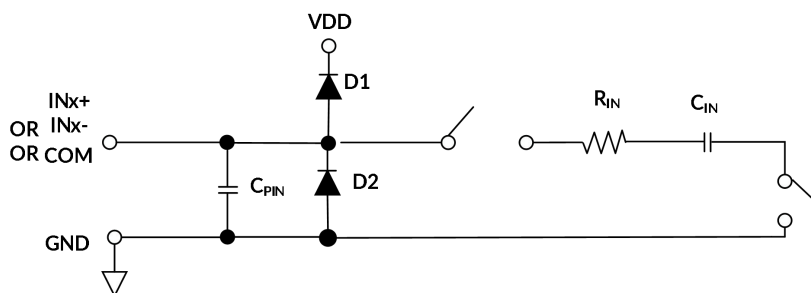


图 29. 等效模拟输入电路

这种模拟输入结构允许在 INx+ 和 COM 或 INx+ 和 INx- 之间对真实差分信号进行采样。（COM 或 INx- = $GND \pm 0.1\text{ V}$ 或 $V_{REF} \pm 0.1\text{ V}$ ）。通过使用这些差分输入，两个输入的公共信号被抑制，如图 30 所示。

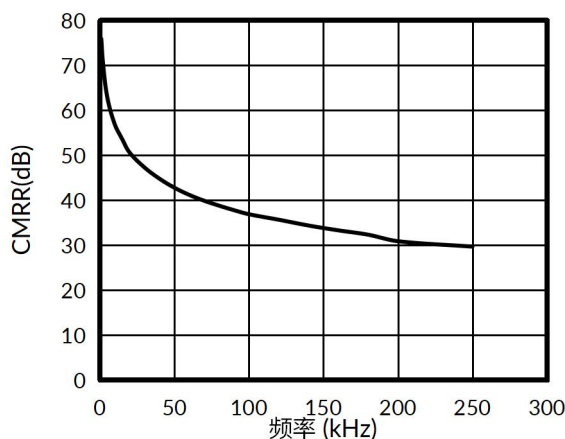


图 30. 模拟输入 CMRR 与频率的关系

在采集阶段，模拟输入的阻抗可以建模为电容器、 C_{PIN} 和由 R_{IN} 和 C_{IN} 串联形成的网络的并联组合。 C_{PIN} 主要是引脚电容。 R_{IN} 的典型值为 400Ω （当单极滤波器工作时为 $8.8\text{ k}\Omega$ ），是一个集总元件，由串联电阻器和开关的导通电阻组成。 C_{IN} 通常为 27 pF ，主要是 ADC 采样电容。

9.5.2 可选低通滤波器

在转换阶段，当开关打开时，输入阻抗限制为 C_{PIN} 。当 TLX1488 正在数据采集时， R_{IN} 和 C_{IN} 构成一个单极低通滤波器，可减少不需要的混叠效应并限制来自驱动电路的噪声。低通滤波器可通过 CFG[6] 针对全带宽或 1/4 带宽进行编程，如表 2 所示。该设置将 R_{IN} 更改为 $19\text{ k}\Omega$ 。请注意，使用滤波器时，转换器的吞吐量也必须降低 1/4。如果在带宽（BW）设置为 1/4 的情况下使用最大吞吐量，则会违反转换器采集时间 t_{ACQ} ，从而导致 THD 增加。

9.5.3 输入配置

图 31 显示了使用配置寄存器 CFG[12:10] 配置模拟输入的不同方法。有关更多详细信息，请参阅配置寄存器，CFG 部分。

TLX1488 模拟输入可配置为单极单端模式或伪差分模式，这意味着 TLX1488 的正输入引脚可接收 0V 至 V_{REF} 之间的信号，而其负输入（或COM）引脚必须始终参考地线或固定直流电压 $V_{REF}/2$ ，具体如下：

- 图 31 (A) ，单端参考系统接地，CFG[12:10] = 111₂。
- 图 31 (B) ，具有公共参考点的双极差分，COM = $V_{REF}/2$ ，CFG[12:10] = 010₂。单极差分，COM 连接到接地感应；CFG[12:10] = 110₂。
- 图 31 (C) ，双极差分对，其中 IN_x -参考 $V_{REF}/2$ ；CFG [12:10] = 00X₂；单极差分对，其中 IN_x -参考接地感测端；CFG [12:10] = 10X₂。在此配置中， IN_x 由 CFG [9:7]中的通道标识。例如，当 $IN_0 = IN_1+$ 且 $IN_1 = IN_1-$ 时，CFG [9:7] = 000₂；当 $IN_1 = IN_1+$ 且 $IN_0 = IN_1-$ 时，CFG [9:7] = 001₂。
- 图 31 (D) ，以上述任何组合配置的输入（表示 TLX1488 可以动态配置）

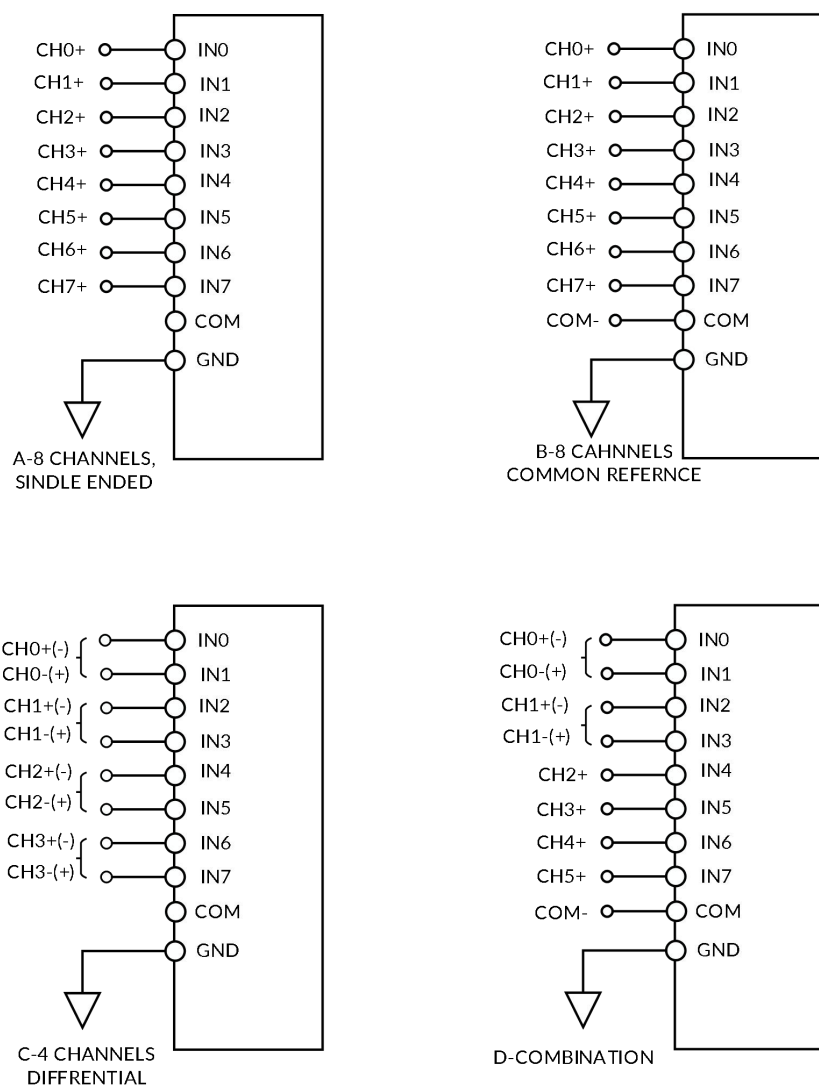


图 31. 多路复用模拟输入配置

9.5.4 序列器

TLX1488 包含一个通道序列器，可用于以 IN0 至 IN[7:0] 的方式扫描通道。在最后一个通道完成序列扫描后，通道可单独或成对进行扫描，且可选择是否连接温度传感器。

该序列器从 IN0 开始，以 CFG[9:7]中设置的 IN[7:0] 结束。对于成对通道，通道的配对方式取决于 CFG[9:7] 中最后设置的通道值。无论 CFG[7] 取何值，通道对始终遵循以下规则：IN（偶数通道）= IN_x，IN（奇数通道）= IN_x-。

为启用序列器，需向 CFG[2:1]写入数据以初始化序列器。更新 CFG[13:0] 后，在读取数据时（至少对于第 13 位）必须保持 DIN 信号低电平，否则 CFG 寄存器将重新开始更新。

在按顺序运行时，可通过向 CFG[2:1]写入 01₂ 来修改 CFG 寄存器。但若更改 CFG11（双通道或单通道）或 CFG[9:7]（序列中最后一个通道），系统将重新初始化，并在 CFG 更新后转换 IN0（或 IN1）。

示例

位[13]、位[6:3] 以及第0位均被配置用于输入端和序列器。

作为首个示例，请使用温度传感器扫描所有 COM= GND 的 IN[7:0]。

13	12	11	10	9	8	7	6	5	4	3	2	1	0
CFG	INCC			IN _x			BW	REF			SEQ		RB
	1	1	0	1	1	1					1	0	

作为第二个示例，请在不使用温度传感器的情况下扫描三个配对通道，并以 V_{REF} /2作为基准。

13	12	11	10	9	8	7	6	5	4	3	2	1	0
CFG	INCC			IN _x			BW	REF			SEQ		RB
	0	0	X ⁽¹⁾	1	1	X ⁽¹⁾					1	1	

(1) X 表示“无关”。

9.5.5 源电阻

当驱动电路的源阻抗较低时，可以直接驱动 TLX1488。较大的源阻抗会显著影响交流性能，尤其是 THD。直流性能对输入阻抗不太敏感。最大源阻抗取决于可以容忍的 THD 量。THD 随源阻抗和最大输入频率而降低。

9.6 驱动放大器的选择

虽然 TLX1488 易于驱动，但驱动放大器必须满足以下要求：

- 驱动器放大器产生的噪声必须尽可能低，以保持 TLX1488 的 SNR 和转换噪声性能。请注意，TLX1488 的噪声远低于大多数其他 16 位 ADC，因此可以由噪声更大的放大器驱动，以满足给定的系统噪声规格。来自放大器的噪声由 R_{IN} 和 C_{IN} 制成的 TLX1488 模拟输入电路低通滤波器或外部滤波器（如果使用）过滤。由于 TLX1488 的典型噪声为 35 μV rms（V_{REF} = 5 V），因此放大器引起的 SNR 降级为

$$SNR_{LOSS} = 20(\log \frac{35}{\sqrt{35^2 + \frac{\pi}{2} f_{3dB}(Ne_N)}})$$

其中：

f_{3dB} 是 TLX1488 的输入带宽，单位为兆赫兹（全带宽为 14.7 MHz，1/4 带宽为 3.3 MHz），或输入滤波器的截止频率（如果使用）。

N 是放大器的噪声增益（例如，在缓冲器配置中为 1）。

e_N 是运算放大器的等效输入噪声电压，单位为 nV/√Hz。

- 对于交流应用，驱动器必须具有与 TLX1488 相称的 THD 性能。图 12 显示了 TLX1488 的 THD 与频率的关系。
- 对于每个输入或输入对上的多通道多路复用应用，驱动放大器和 TLX1488 模拟输入电路必须在电容器阵列上以 16 位电平（0.0015%）建立满量程阶跃。在放大器数据手册中，更常见的是 0.1% 至 0.01% 的建立时间。这可能与 16 位级别的建立时间有很大不同，必须在选择驱动程序之前进行验证。

9.7 电压基准输出/输入

TLX1488 允许选择温度漂移极低的内部基准电压源、外部基准源或外部缓冲基准源。

TLX1488 的内部基准源提供了出色的性能，几乎可用于所有应用。有六种可能的基准电压源方案选择，如表 2 中简要描述，以下各节将提供更详细的信息。

9.7.1 内部基准源/温度传感器

内部基准电压可设置为 4.096V，具体参数详见表 2。启用内部基准源后，REFIN 引脚上也存在带隙电压，这需要一个外部 0.1 μ F 电容器。

启用基准源的同时启用了内部温度传感器，该传感器用于测量 TLX1488 的内部温度，因此可用于执行系统校准。对于需要使用温度传感器的应用场景，内部基准源必须启用（在这种情况下可以禁用内部缓冲器）。请注意，当使用温度传感器时，输出是以 TLX1488 GND 引脚为基准的直接二进制输出。TLX1488 温度传感器的电压可视为普通模拟输入信号，因此其对应的编码公式为：温度传感器编码 = 温度传感器电压 $\times$ (基准电压 / $2^{16} - 1$)。在 25°C 条件下，其输出电压通常为 254 mV；内部基准源经过温度补偿后误差控制在 10 mV 以内，并通过微调使漂移量保持在 ± 10 ppm/°C 范围内。

9.7.2 外部基准源和内部缓冲器

为了提高漂移性能，可以将外部基准源与内部缓冲器一起使用。外部源连接到 REFIN，输出信号通过 REF 引脚输出。无论是否启用温度传感器，外部基准源都可以与内部缓冲器一起使用。寄存器参数详见表 2。启用缓冲器后，增益为 1，并且输入/输出电压范围限制在 4.096V。

内部基准源缓冲器在多转换器应用中很有用，因为在这些应用中通常需要缓冲器。此外，可以使用低功耗基准源，因为内部缓冲器提供了驱动 TLX1488 的 SAR 架构所需的性能。

9.7.3 外部基准源

在这六种基准电压源方案中的任何一种中，外部基准源都可以直接连接到 REF 引脚上，因为 REF 的输出阻抗为 >5 k Ω 。为降低功耗，可单独或同时关闭基准源与缓冲器以实现最低功耗。当仅使用外部基准源（及图 34 所示的可选基准缓冲器）时，内部缓冲器将被禁用。寄存器详细信息请参见表 2。

9.7.4 基准源解耦

无论是使用内部还是外部基准源，TLX1488 电压基准输出/输入 REF 都具有动态输入阻抗，并且必须由低阻抗源驱动，并在 REF 和 GND 引脚之间实现高效解耦。这种解耦取决于基准电压源的选择，但通常由一个连接到 REF 和 GND 的低 ESR 电容器组成，具有最小的寄生电感。

基准源去耦电容的布局对 TLX1488 的性能也很重要，如 PCB 版图设计部分所述。将使用粗 PCB 走线的去耦电容器安装在与 ADC 同侧的 REF 引脚上。GND 还必须以最短的距离连接到基准源去耦电容器，并通过多个过孔连接到模拟接地层。

如果需要，可以使用低至 $2.2\ \mu\text{F}$ 的较小基准去耦电容器值，对性能（尤其是对 DNL）的影响最小。

无论如何，在 REF 和 GND 引脚之间不需要额外的低值陶瓷去耦电容器（例如， $100\ \text{nF}$ ）。

对于使用多个 TLX1488 器件或其他 PuLSAR 器件的应用场景，使用内部基准缓冲器来缓冲外部基准源电压会更有效，从而减少 SAR 转换串扰。

基准电压温度系数 (TC) 直接影响满量程精度；因此，在满量程精度很重要的应用中，必须注意 TC。例如，基准电压的 TC 值为 $\pm 15\ \text{ppm}/^\circ\text{C}$ 时，会导致满量程变化幅度达到 $\pm 1\ \text{LSB}/^\circ\text{C}$ 。

9.8 电源

TLX1488 使用两个电源引脚：一个模拟和数字核心电源（VDD）和一个数字输入/输出接口电源（VIO）。VIO 允许与 1.8 V 和 VDD 之间的任何逻辑电路连接。为了减少所需的电源数量，可以将 VIO 和 VDD 引脚连接在一起。TLX1488 对 VIO 与 VDD 之间的供电时序完全独立；此外，如图 32 所示，其对宽频率范围内的电源电压波动具有极强抗扰性。

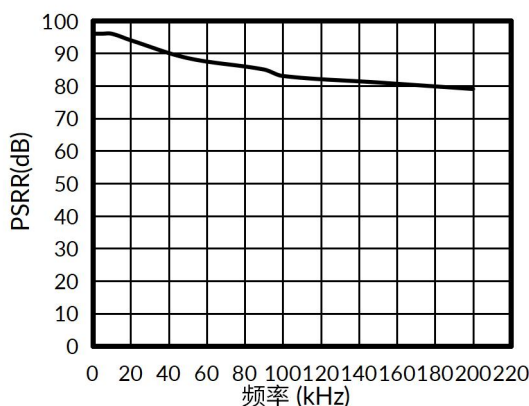


图 32. 电源抑制比 (PSRR) 与频率的关系

TLX1488 在每个转换阶段结束时自动关闭。因此，工作电流和功率与采样率呈线性关系。这使得该器件非常适合低采样率（甚至几赫兹）和低电池供电的应用。

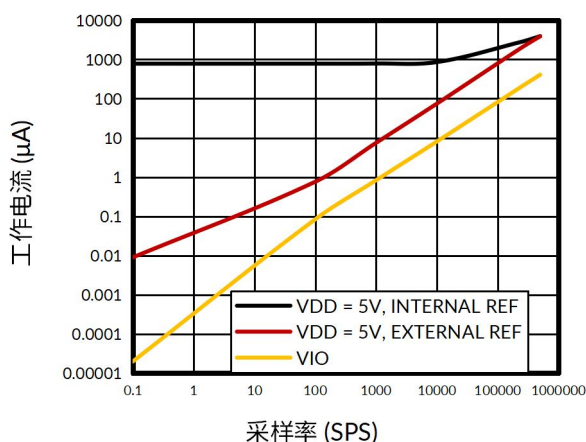


图 33. 工作电流与采样率的关系

9.9 基准源供电 ADC

对于简化应用，TLX1488 因其低工作电流特性，可直接通过图 34 所示的外部基准电路供电。基准线可通过以下方式驱动：

- 系统直接供电。

- 具有足够电流输出能力的基准电压源。
- 一个基准缓冲器。

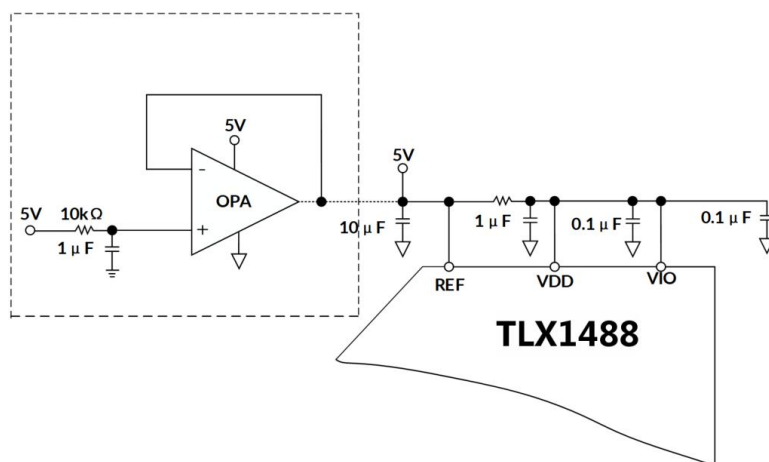


图 34. 应用电路示例

10 数字接口

TLX1488 使用简单的 4 线接口，并与 SPI、MICROWIRE™、QSPI™、数字主机和 DSP 兼容。

该接口使用 CNV、DIN、SCK 和 SDO 信号，并允许启动转换的 CNV 独立于回读时序。这在低抖动采样或同步采样应用中非常有用。

14 位寄存器 CFG[13:0] 用于配置要转换的通道、基准源选择和其他元件的 ADC，这些在配置寄存器，CFG 部分中有详细说明。

当 CNV 较低时，在转换、采集和跨转换（采集加转换）期间可能会发生读/写操作。CFG 字在前 14 个 SCK 上升沿更新，转换结果在前 15 个（如果选择繁忙模式则为 16 个）SCK 下降沿输出。如果启用了 CFG 回读，则需要额外的 14 个 SCK 下降沿来输出与转换结果相关的 CFG 字，CFG MSB 位于转换结果的 LSB 之后。

建议使用不连续的 SCK，因为选择器件时 CNV 为低，并且 SCK 活动开始写入新的配置字和时钟输出数据。

需注意，在后续章节中，时序图所示为转换过程中的数字信号活动（SCK、CNV、DIN 和 SDO）。但由于可能存在性能下降的情况，数字信号活动仅出现在安全数据读写时间 t_{DATA} 之前，因为 TLX1488 提供的错误校正电路可以在这段时间内纠正错误位。从 t_{DATA} 到 t_{CONV} 期间不提供错误校正功能，可能导致转换结果受损。建议在 t_{DATA} 之前配置 TLX1488 并启用繁忙指示器（如需要）。此外，SCK 或 DIN 信号在采样时刻附近发生跳变也可能导致采样结果失真。因此，推荐在 CNV 信号上升沿前约 20 纳秒及之后约 10 纳秒内保持数字引脚静默状态，并尽可能使用不连续的 SCK 信号以避免潜在性能下降。

10.1 转换期间读/写，快速主机

在转换 (n) 期间读/写时，转换结果是针对前一个 (n - 1) 转换的，写入 CFG 寄存器是针对下一个 (n + 1) 采集和转换的。在 CNV 变为高电平以启动转换后，必须再次将其置为低电平，以便在转换期间进行读/写操作。读/写操作只能发生在 t_{DATA} 之前，并且由于此时间有限，主机必须使用快速 SCK。所需的 SCK 频率计算公式为

$$f_{sck} \geq \frac{\text{Number_SCK_Edges}}{t_{DATA}}$$

从 t_{DATA} 到 t_{CONV} 期间为安全时段，在此期间不得进行数字操作，否则可能导致敏感位决策错误。

10.2 转换后读/写，任何速度主机

在转换后或采集过程中 (n 次)，读取/写入操作所对应的转换结果均基于前一次 (n-1) 转换，而写入操作则针对第 (n+1) 次采集数据。

为实现最大吞吐量，唯一的时间限制是读写操作必须在 t_{ACQ} （最小）时间内完成；对于低吞吐量场景，时间限制由用户所需的吞吐量决定，并且主机可以自由地以任何速度运行。因此，对于速度较慢的主机，数据访问必须在采集阶段进行。

10.3 读/写跨越转换，任何速度主机

读/写跨越转换时，数据访问从当前采集 (n) 开始，并跨越到转换 (n)。转换结果用于前一个 (n - 1) 转换，写入 CFG 寄存器用于下一个 (n + 1) 采集和转换。

与转换期间的读/写类似，读/写操作只能发生在 t_{DATA} 之前。为实现最大吞吐量，唯一的时间限制是读写操作必须发生在 $t_{ACQ} + t_{DATA}$ 的时间段内。

对于低吞吐量场景，时间限制由所需吞吐量决定，主机可自由选择任意运行速度。与数据采集过程中的读写操作类似，针对低速主机，数据访问必须在采集阶段完成，并额外占用转换阶段的时间。

数据访问跨转换需要将 CNV 置为高电平才能启动新的转换，并且当 CNV 为高电平时禁止进行数据访问。因此，使用此方法时，主机必须执行两次数据访问突发操作。

10.4 配置寄存器, CFG

TLX1488 使用 14 位配置寄存器（CFG[13:0]），如表 2 所示，用于配置输入、待转换通道、单极滤波器带宽、基准源和通道序列器。CFG 寄存器通过 DIN 引脚以 14 个 SCK 上升沿进行锁存（MSB 先）。CFG 的更新依赖于边沿信号，从而支持异步或同步主机。

寄存器可以在转换期间、采集期间或跨采集/转换期间进行写入，并在转换结束时（ t_{CONV} 最大值）完成更新。写入 CFG 寄存器时总是有一个很长的延迟。

上电时，CFG 寄存器未初始化，需执行两次虚拟转换才能更新该寄存器。若需将 CFG 寄存器预设为出厂默认值，请在两次转换期间保持 DIN 高电平（CFG[13:0] = 0x3FFF）。这会为 TLX1488 配置以下参数：

- IN[7:0] 单极性位以 GND 为参考，按顺序排序。
- 单极滤波器的全带宽。
- 内部基准/温度传感器禁用，缓冲器启用。
- 启用内部序列器。
- 不读取 CFG 寄存器。

表 2 总结了配置寄存器位的详细信息。有关更多详细信息，请参阅工作原理部分。

13	12	11	10	9	8	7	6	5	4	3	2	1	0
CFG	INCC	INCC	INCC	INx	INx	INx	BW	REF	REF	REF	SEQ	SEQ	RB

表 2. 配置寄存器说明

位	名称	说明			
[13]	CFG	配置更新。 0=保持当前的配置设置。 1=覆盖寄存器的内容			
[12:10]	INCC	输入通道配置。选择伪双极型、伪差分型、对置型、单端型或温度传感器。请参阅输入配置部分。			
		Bit 12	Bit 11	Bit 10	功能
		0	0	X ⁽¹⁾	双极差分对；INx- 以 $V_{\text{REF}}/2 \pm 0.1 \text{ V}$ 为基准。
		0	1	0	双极型；以 $\text{COM} = V_{\text{REF}}/2 \pm 0.1 \text{ V}$ 为基准。
		0	1	1	温度传感器。
		1	0	X ⁽¹⁾	单极差分对；INx- 以 $\text{GND} \pm 0.1 \text{ V}$ 为基准。
		1	1	0	单极型，INx 以 $\text{COM} = \text{GND} \pm 0.1 \text{ V}$ 为基准。
[9:7]	INx	1	1	1	单极型，INx 以 GND 为基准。
		以二进制方式进行的输入通道选择			
		Bit 9	Bit 8	Bit 7	通道
		0	0	0	IN0
		0	0	1	IN1
[6]	BW	...	...	...	...
		1	1	1	IN7
		选择低通滤波器的带宽。请参阅可选低通滤波器部分。 0= ¼ 带宽，使用额外的串联电阻来进一步限制噪声的带宽。最大吞吐量必须降低到 ¼。 1 = 全带宽。			

[5:3]	REF ⁽²⁾	基准源/缓冲器选择。包括内部、外部、带外部缓冲器的类型选择，以及片上温度传感器的启用设置。请参阅电压基准输入/输出部分。			
		Bit 5	Bit 4	Bit 3	功能
		0	0	0	不使用。
		0	0	1	启用内部基准和温度传感器。REF = 4.096 V 缓冲输出。
		0	1	0	启用外部基准。温度传感器启用。内部缓冲器禁用。
		0	1	1	使用外部基准。启用内部缓冲器和温度传感器。
		1	0	0	不使用。
		1	0	1	不使用。
		1	1	0	使用外部基准。内部基准、内部缓冲器和温度传感器禁用。
1	1	1	使用外部基准。启用内部缓冲器。内部基准和温度传感器禁用。		
[2:1]	SEQ	通道序列器。允许以 IN0 到 IN[7:0] 的方式扫描通道。请参阅通道序列器部分。			
		Bit 2	Bit 1	功能	
		0	0	禁用序列器。	
		0	1	在排序期间更新配置。	
		1	0	扫描 IN0 到 IN[7:0]（在 CFG[9:7] 中设置），然后扫描温度。	
1	1	扫描 IN0 到 IN[7:0]（在 CFG[9:7] 中设置）。			
[0]	RB	回读 CFG 寄存器。 0 = 在数据末尾回读当前配置。 1 = 不回读配置的内容。			

(1) X 表示“无关”。

(2) 当启用内部带隙基准源时，温度传感器始终处于激活状态。详见电压基准输出/输入部分。

10.5 无繁忙指示器的通用时序

图 35 详细展示了所有三种模式的时序：转换期间读/写（RDC）、转换后读/写（RAC）和读/写跨越转换（RSC）。请注意，CFG 和数据回读的操作都位于转换结束（EOC）处。在 EOC 时，如果 CNV 为高电平，则禁用繁忙指示器。

如数字接口部分所述，数据访问必须在安全数据读/写时间 t_{DATA} 之前进行。如果在 EOC 之前未写入完整的 CFG 字，则丢弃该数据并保留当前配置。如果在 EOC 之前没有完全读取转换结果，则该结果会丢失（因为 ADC 会根据当前转换的 MSB 更新 SDO）。有关详细的时序信息，请参阅图 37 和图 38，这些图展示了包含建立时间、保持时间和 SCK 等所有时序细节的读写过程。

当 CNV 在 EOC 后变为低电平时，SDO 从高阻抗驱动到 MSB。SCK 下降沿会从 MSB - 1 位进行计时。

如果使用 SPI，则 SCK 可以根据时钟极性（CPOL）和时钟相位（CPHA）设置空闲时为高电平或低电平。一个简单的解决方案是使用 $CPOL = CPHA = 0$ ，如图 35 所示，此时 SCK 空闲保持为低电平。

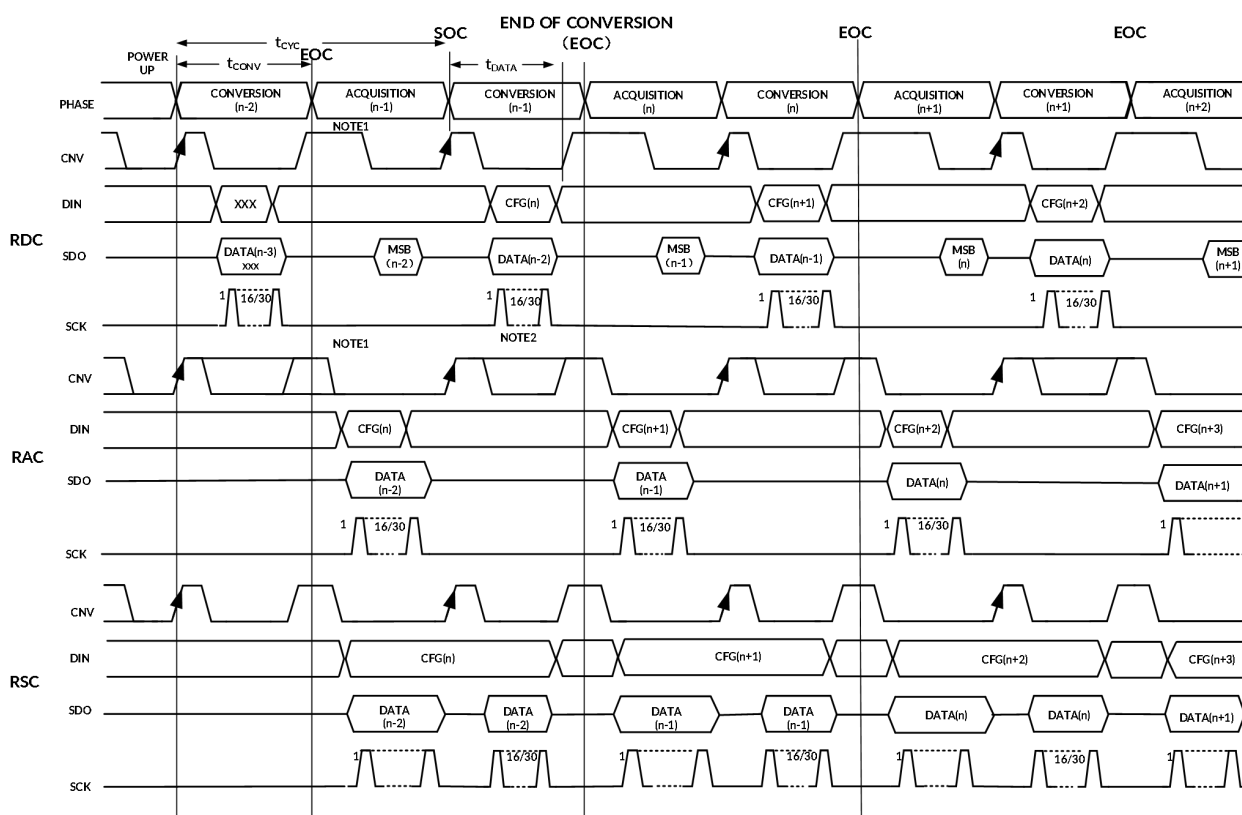


图 35. TLX1488 的通用接口时序，无繁忙指示器

注意

1. 在转换结束（EOC）之前，CNV 必须为高电平，以避免出现繁忙指示器。总共需要 16 个 SCK 下降沿才能将 SDO 返回到高阻态。如果启用 CFG 回读功能，则总共需要 30 个 SCK 下降沿才能将 SDO 返回到高阻态。

10.6 带繁忙指示器的通用时序

图 36 详细展示了所有三种模式的时序：RDC、RAC 和 RSC。请注意，CFG 读取与数据回传的的门控触发点均位于 EOC 时刻；数据访问操作必须在安全数据读/写时间 t_{DATA} 之前进行。如果在 EOC 之前未写入完整的 CFG 字，则丢弃该数据并保留当前配置。

在 EOC 期间，如果 CNV 为低电平，则繁忙指示灯启用。此外，为了正确生成繁忙指示器，主机必须至少触发 17 个 SCK 下降沿才能使 SDO 恢复高阻抗状态，因为 SDO 上的最后一位仍然有效。与无繁忙指示器的读/写跨越转换部分中详述的情况不同，如果转换结果在 EOC 之前未完全读出，则保留最后一个时钟输出的位。如果该位为低电平，则无法生成繁忙指示器，因为繁忙信号产生需要高阻抗或剩余位的高低电平转换。典型例子是当 SPI 主机发送 16 个 SCK 信号时（此类信号通常仅限于 8 位或 16 位突发传输），此时 LSB 信号始终维持低电平；而 TLX1488 接口的转换噪声峰值达 4 LSB（或更高），导致 LSB 信号有 50% 时间处于低电平。对于此类接口，SPI 主机需发送 24 个 SCK 信号；亦可使用 QSPI 接口并编程设置为发送 17 个 SCK 信号。

如果使用 SPI，SCK 的空闲状态（高电平或低电平）将取决于 CPOL 和 CPHA 参数设置。一个简单的解决方案是使用 $CPOL = CPHA = 1$ （未显示），同时保持 SCK 处于高电平空闲状态。

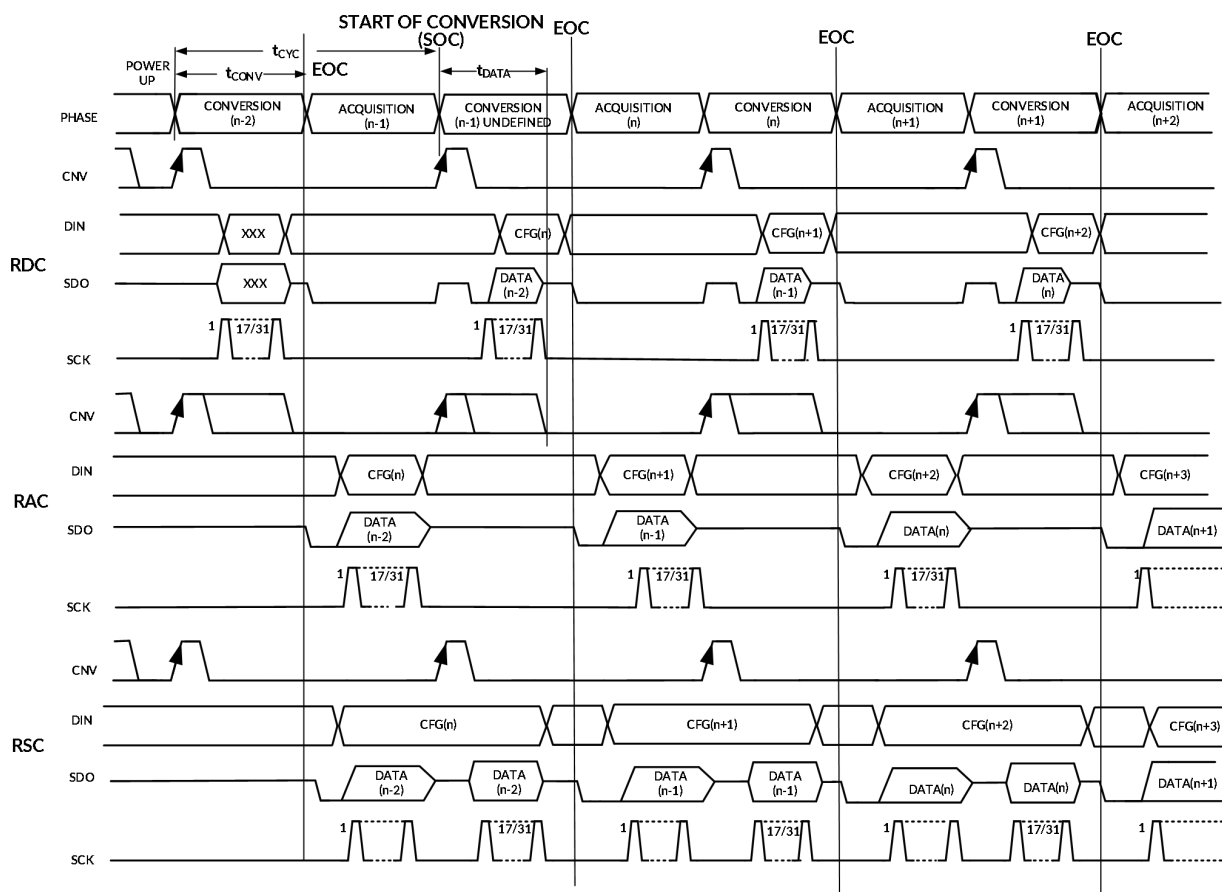


图 36. TLX1488 的通用接口时序，带繁忙指示器

注意

1. CNV 必须在转换结束（EOC）之前为低电平，才能生成忙碌指示器。
2. 总共需要 17 个 SCK 下降沿才能将 SDO 返回到高阻态。如果使能 CFG 回读，则总共需要 31 个 SCK 下降沿才能将 SDO 返回到高阻态。

10.7 无忙碌指示器的读/写跨越转换

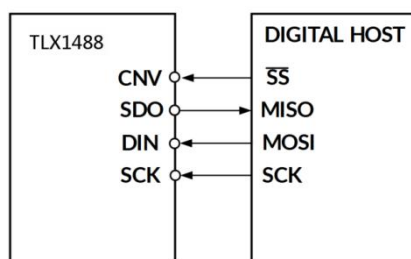
此模式适用于 TLX1488 通过 SPI、串行端口或 FPGA 与任何主机连接的情况。连接示意图见图 37，对应时序参数见图 38。对于 SPI，主机必须设置 $CPHA = CPOL = 0$ 。图中展示了读写跨时域转换功能，涵盖数字接口章节详述的三种工作模式；在此模式下，主机需根据转换时间生成数据传输序列。若采用繁忙指示器实现中断驱动的数据传输，请参阅带繁忙指示器的读/写跨越转换部分。

CNV 上的上升沿会触发转换过程，使 SDO 进入高阻抗状态，并忽略 DIN 端口上的数据。转换启动后将持续进行直至完成，与 CNV 的状态无关。CNV 必须在安全数据传输时间 (t_{DATA}) 前恢复高电平，并在转换时间 (t_{CONV}) 结束后仍保持高电平状态，以避免产生繁忙指示。

转换完成后, TLX1488 进入数据采集阶段并断电。当主机在 t_{CONV} (最大值) 后将 CNV 置为低电平时, MSB 在 SDO 上启用。此时主机还需 (如有必要) 启用 CFG 寄存器的 MSB 功能以启动 CFG 更新。在 CNV 保持低电平期间, 系统会同时执行 CFG 更新和数据读取操作: 前14个 SCK 的上升沿用于更新 CFG 值, 前15个 SCK 的下降沿则输出从 MSB -1 开始的转换结果。配置与读取操作均须在下一转换的 t_{DATA} 时间到期前完成; CFG [13:0] 的全部14位必须被写入, 否则将被忽略。此外, 若在 t_{DATA} 到期前未读取 16 位转换结果, 则该结果将丢失。

SDO 数据在 SCK 信号的两个边沿上均有效。虽然上升沿可捕获数据，但数字主机若利用 SCK 的下降沿并具备足够的保持时间，则能实现更快的读取速率。在第 16 个（或第 30 个）SCK 下降沿之后，或者当 CNV 变为高电平（以先发生者为准）时，SDO 返回到高阻态。

如果启用 CFG 回读功能，则与转换结果关联的 CFG 寄存器在转换结果的 LSB 之后首先回读 MSB。如果启用此功能，则需要总共 30 个 SCK 下降沿才能将 SDO 返回到高阻抗。



FOR SPI USE CPHA=0,CPOL=0.

图 37. TLX1488 连接图，无繁忙指示器

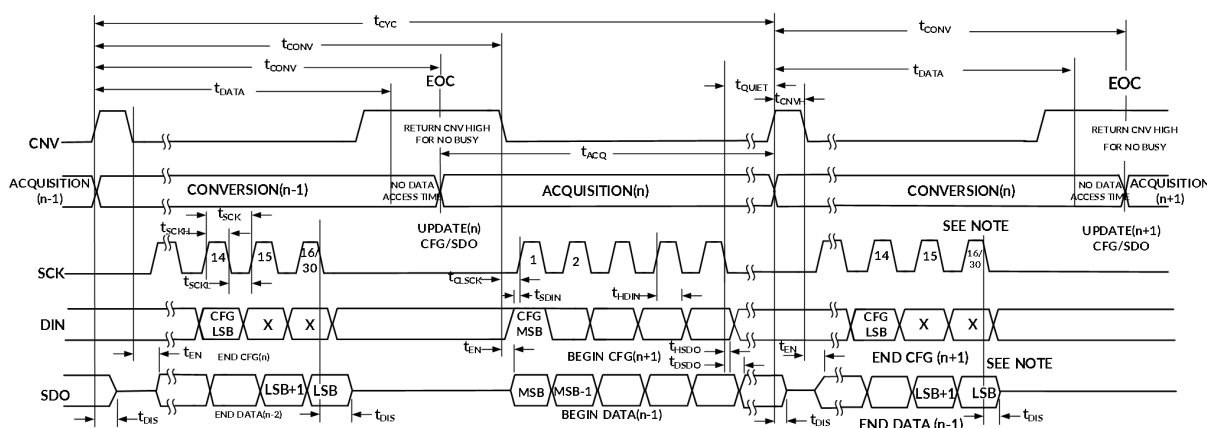


图 38. TLX1488 串行接口时序，无繁忙指示器

注意

1. LSB 用于表示转换结果或配置寄存器 CFG (n-1)
15 SCK 下降沿 = 转换结果的 LSB。
29 SCK 下降沿 = 配置寄存器的 LSB。
在第 16 个或第 30 个 SCK 下降沿, SDQ 被驱动到高阻态。

10.8 带繁忙指示器的读/写跨越转换

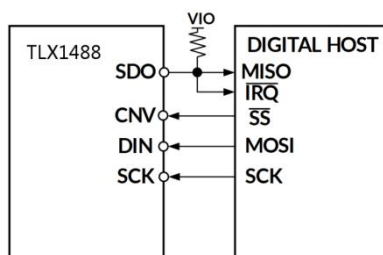
此模式适用于 TLX1488 通过 SPI、串行端口或带有中断输入的 FPGA 与任何主机连接的情况。连接示意图见图39，对应时序关系见图40。对于SPI接口，主机必须设置 CPHA = CPOL = 1。图中展示了读写数据跨越转换功能，该功能涵盖了数字接口章节详述的三种工作模式。

CNV 上的上升沿触发转换过程，忽略 DIN 端口上的现有数据，并使 SDO 切换至高阻抗状态。转换启动后将持续进行直至完成，与 CNV 的状态无关。在安全数据传输时间 (t_{DATA}) 前必须将 CNV 置为低电平，并在转换时间 (t_{CONV}) 结束后仍保持低电平以生成繁忙指示。转换完成后，SDO 从高阻抗转换为低阻抗（数据就绪），并且通过上拉到 VIO，SDO 可用于中断主机以开始数据传输。

转换完成后，TLX1488 进入数据采集阶段并断电。主机必须在此时（如有必要）启用 CFG 寄存器的 MSB 才能开始 CFG 更新。当 CNV 为低电平，会同时发生 CFG 更新和数据回读。前 14 个 SCK 上升沿用于更新 CFG 寄存器，前 16 个 SCK 下降沿从 MSB 开始计时转换结果。配置和读取的限制是，它们都发生在下一次转换的 t_{DATA} 时间过去之前。必须写入 CFG[13:0] 的所有 14 位，否则将被忽略。如果在 t_{DATA} 过去之前没有读回 16 位转换结果，则该结果将丢失。

SDO 数据在 SCK 信号的两个边沿上均有效。虽然上升沿可捕获数据，但数字主机若利用 SCK 的下降沿并具备足够的保持时间，则能实现更快的读取速率。在可选的第 17 个（或第 31 个）SCK 下降沿之后，SDO 返回高阻抗。需注意：若未使用该可选 SCK 下降沿，且转换所需的 LSB 值较低时，无法检测到繁忙信号。

如果启用 CFG 回读功能，则与转换结果关联的 CFG 寄存器在转换结果的 LSB 之后首先回读 MSB。如果启用此功能，则需要总共 31 个 SCK 下降沿才能将 SDO 返回到高阻态。



FOR SPI USE CPHA=1,CPOL=1.

图 39. TLX1488 连接图，带繁忙指示器

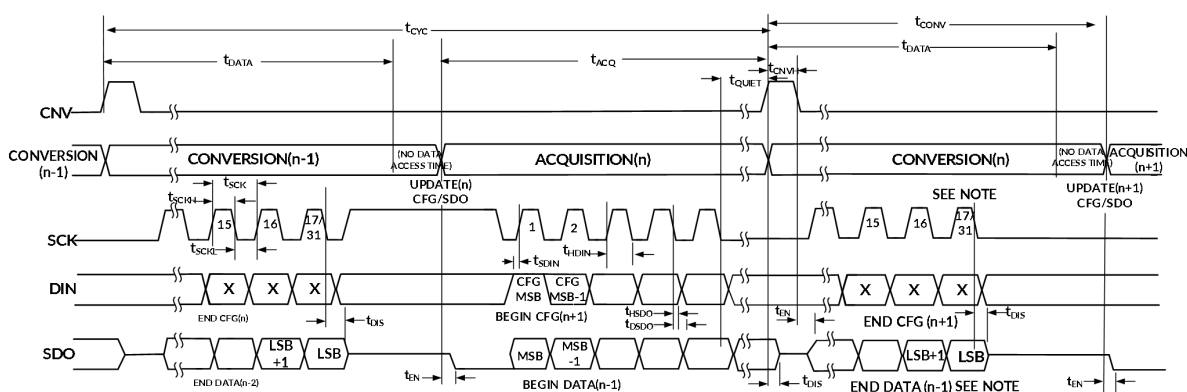


图 40. TLX1488 串行接口时序，无带繁忙指示器

注意：

1. LSB 是用于表示转换结果或配置寄存器 CFG (n-1)
16 SCK 下降沿 = 转换结果的 LSB。
30 SCK 下降沿 = 配置寄存器的 LSB。
在第 17 个或第 31 个 SCK 下降沿，SDO 被驱动到高阻态。
否则，LSB 将保持活动状态，直到繁忙指示器被驱动为低电平。

10.9 通道序列器

TLX1488 包括一个通道序列器，可用于以重复方式扫描通道。在完成最后一个通道的扫描后，可单独或成对地扫描各通道（可选择是否连接温度传感器）。

序列器以 IN0 开始，以 CFG[9:7] 中设置的 IN[7:0] 结束。对于配对通道，其配对方式取决于 CFG [9:7] 中最后设置的通道值。请注意，在序列器模式下，通道始终与偶数通道（IN0、IN2、IN4 和 IN6）上的正输入配对，并与奇数通道（IN1、IN3、IN5 和 IN7）上的负输入配对。例如，将 CFG[9:7] 设为 110 或 111 时，所有配对通道均采用 IN0、IN2、IN4 和 IN6 作为正输入端。

CFG[2:1] 用于启用序列器。更新 CFG 寄存器后，DIN 必须在读取 Bit 13 的数据时保持低电平，否则 CFG 寄存器会重新开始更新。

请注意，在按序列运行时，CFG 寄存器中的部分位可能发生变化。但若修改 CFG [11]（双通道或单通道）或 CFG[9:7]（序列末尾通道），则序列将重新初始化，并在 CFG 寄存器更新后转换 IN0（或 IN0/IN1 组合）。

图 41 详细展示了三种模式在无繁忙指示器情况下的时序安排。该序列器亦可配合繁忙指示器使用，相关时序细节详见带繁忙指示器的通用时序部分及带繁忙指示器的读/写跨越转换部分。

对于序列器操作，必须在上电后的 (n - 1) 阶段设置 CFG 寄存器。在第(n)阶段完成序列器参数设置并采集 IN0信号；首个有效转换结果将于第(n+1)阶段获得。当 CFG [9:7]中最后一个通道完成转换后（若启用），系统将输出内部温度传感器数据，并随后采集IN0信号。

10.9.1 示例

当所有通道（包括内部温度传感器）均配置为 GND 单极模式时，扫描序列将按以下顺序执行：
IN0, IN1, IN2, IN3, IN4, IN5, IN6, IN7, TEMP, IN0, IN1, IN2...

对于启用了内部温度传感器的配对通道，序列器按以下顺序扫描：
IN0, IN2, IN4, IN6, TEMP, IN0...

请注意，IN1、IN3、IN5 和 IN7 以 GND 检测或 $V_{REF}/2$ 为基准，详见输入配置部分。

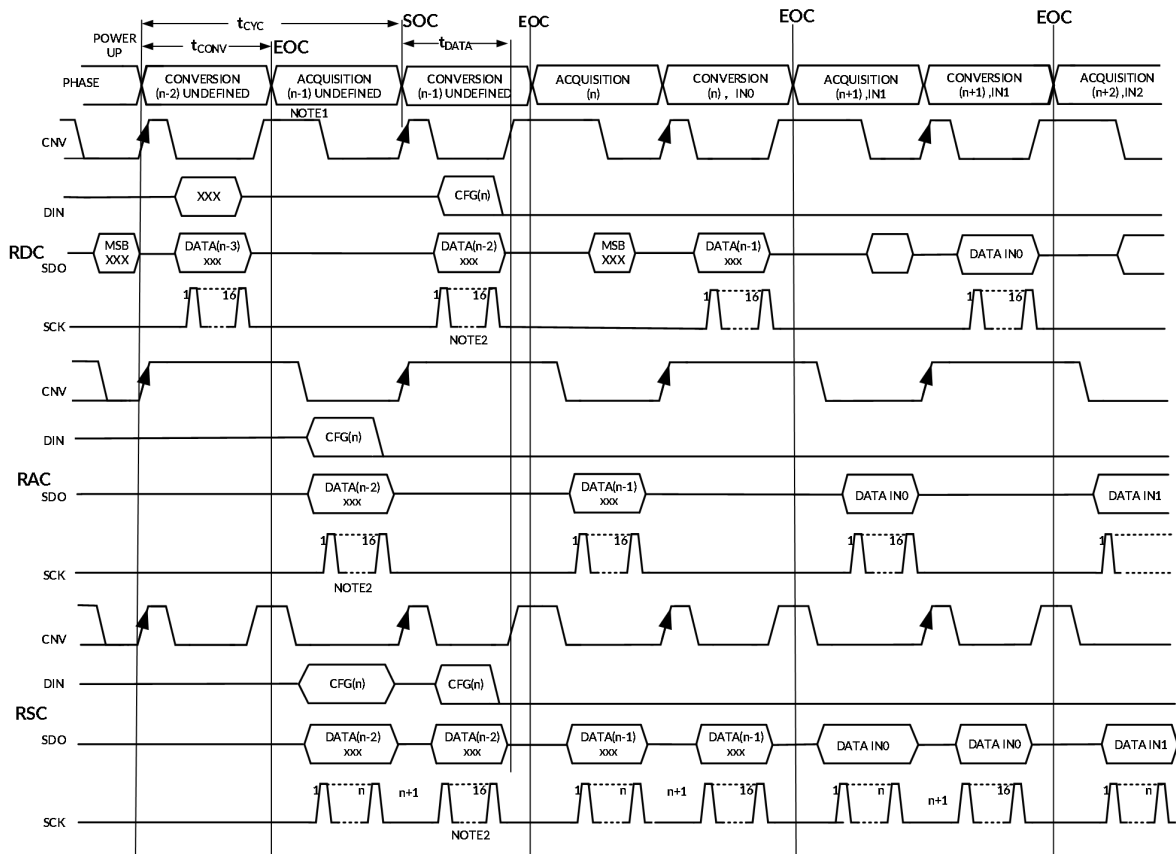
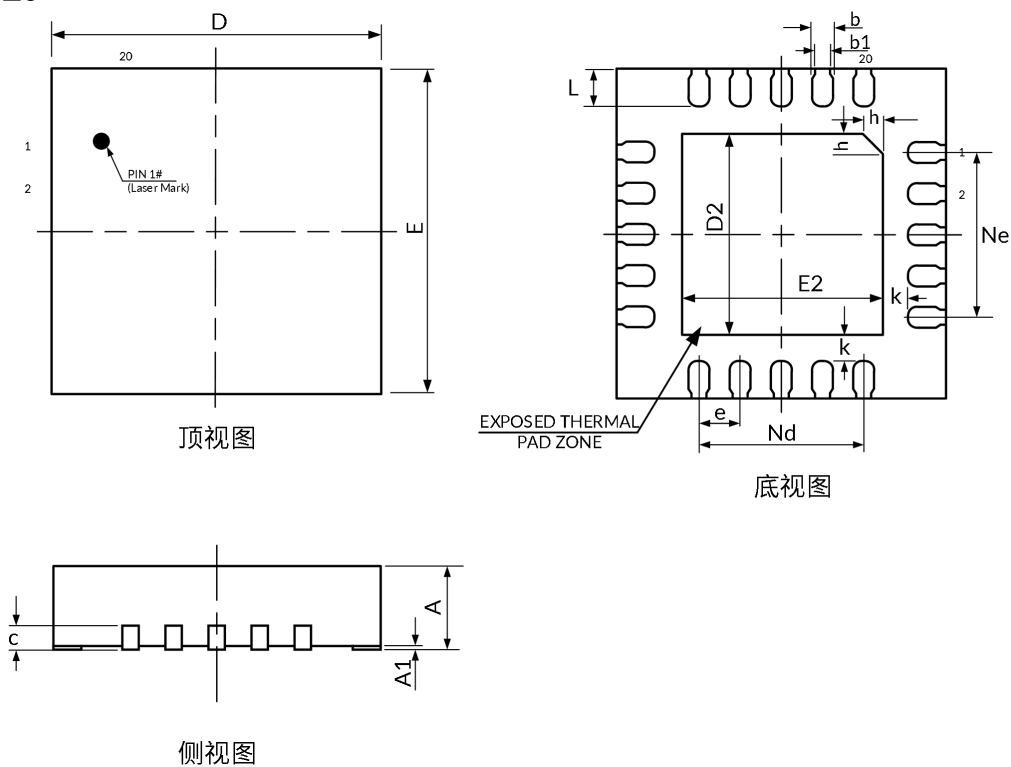


图 41. 无繁忙指示器的通用通道序列器时序

注意

1. 在转换结束（EOC）之前，CNV 必须为高电平，以避免触发繁忙指示器。
2. 总共需要 16 个 SCK 下降沿才能将 SDO 返回到高阻态。如果使能 CFG 回读功能，则总共需要 30 个 SCK 下降沿才能将 SDO 返回到高阻态。

11 封装规格尺寸

QFN4X4-20⁽⁴⁾

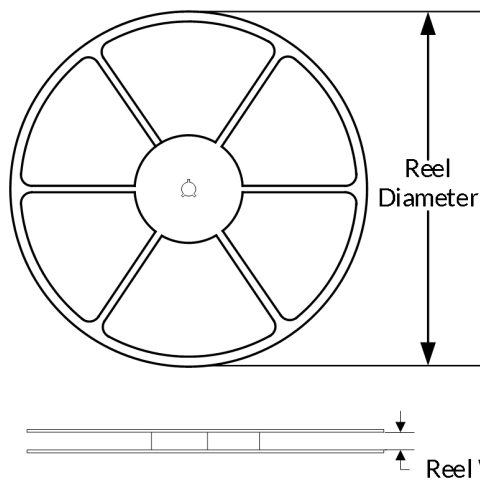
符号	尺寸 (单位: 毫米)		尺寸 (单位: 英寸)	
	最小值	最大值	最小值	最大值
A ⁽¹⁾	0.700	0.800	0.028	0.032
A1	0.000	0.050	0.000	0.002
b	0.200	0.300	0.008	0.012
b1	0.180 REF ⁽²⁾		0.008 REF ⁽²⁾	
c	0.203 REF ⁽²⁾		0.008 REF ⁽²⁾	
D ⁽¹⁾	3.900	4.100	0.154	0.161
D2	2.600	2.800	0.102	0.110
e	0.500 BSC ⁽³⁾		0.020 BSC ⁽³⁾	
Nd	2.000 BSC ⁽³⁾		0.079 BSC ⁽³⁾	
E ⁽¹⁾	3.900	4.100	0.154	0.161
E2	2.600	2.800	0.102	0.110
Ne	2.000 BSC ⁽³⁾		0.079 BSC ⁽³⁾	
L	0.350	0.450	0.014	0.018
K	0.250 REF ⁽²⁾		0.010 REF ⁽²⁾	
h	0.300	0.400	0.012	0.016

注意:

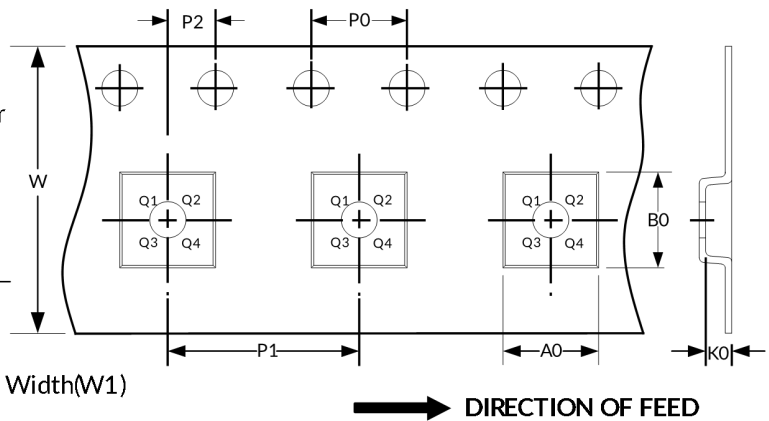
1. 不包括每侧最大 0.075mm 的塑封料或金属突起。
2. REF是Reference的缩写。
3. BSC (基本中心间距), “基本”间距为标称间距。
4. 本图如有更改, 恕不另行通知。

12 包装规格尺寸

卷盘尺寸



编带尺寸



注意：图片仅供参考。请以实物为标准。

关键参数表

Package Type	Reel Diameter	Reel Width(mm)	A0 (mm)	B0 (mm)	K0 (mm)	P0 (mm)	P1 (mm)	P2 (mm)	W (mm)	Pin1 Quadrant
QFN4X4-20	13"	12.4	4.40	4.30	1.30	4.0	8.0	2.0	12.0	Q2

注意：

1. 所有尺寸均为标称尺寸。
2. 不包括每边最大 0.15 毫米的塑封料或金属突起。