

无锡泰连芯科技有限公司

TLX1506S 型

双通道 8 位 125MSps 模数转换器

2024 年 06 月

双通道 8 位 125MSps 模数转换器

1 主要性能

- 双通道，8 位，最高 125MSps
- 低功耗：全芯片 204mW at 125MSps
- 片内集成参考与采样保持
- 模拟带宽 475MHz
- SNR=47dB at 41MHz at 125MSps
- 1Vpp 模拟输入范围
- 单电压 3V 供电，支持 2.7V-3.6V 范围
- 待机功耗 2mW
- 支持单通道待机/工作模式
- 二进制补码与偏移码输出

2 应用场合

- 电池供电仪器
- 手持式示波器
- 低成本数字示波器

3 产品特点

TLX1506S 是一款带有片上跟踪和保持电路的双通道 8 位模数转换器，经过优化，具有低成本、低功耗、小尺寸和易用性。该产品最高以 125 MSps 的转换率运行，在整个运行范围内具有出色的动态性能。

ADC 只需要一个 3.0 V（2.7 V 至 3.6 V）电源和一个编码时钟即可实现全性能操作。许多应用程序不需要外部参考或驱动程序组件。数字输出与 TTL/CMOS 兼容，单独的输出电源引脚支持 3.3 V 或 2.5 V 逻辑接口。

编码器输入与 TTL/CMOS 兼容。可以执行待机功能，使总功耗低至 2mW，该模式下，数字输出为高阻抗态。

TLX1506S 采用 48 脚 LQFP 塑料封装，适用于工业温度范围（-55℃至+125℃）。与 AD9288 管脚兼容。

质量等级：军温级&企军标

器件信息 (1)

型号	封装	封装尺寸 (标称值)
TLX1506S	LQFP7X7-48	7.00mm×7.00mm

(1) 详细的订单型号说明，请参考数据表后的封装选项部分。

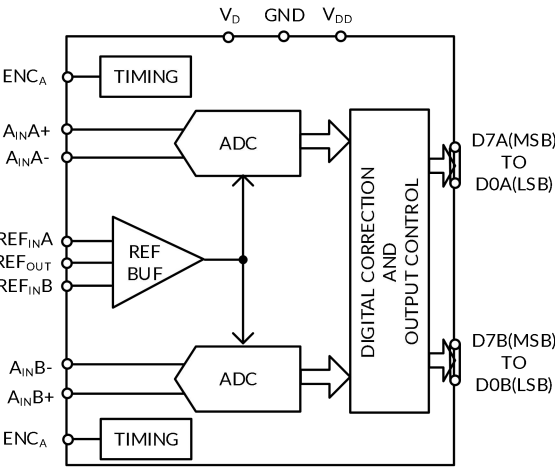


图 1. TLX1506S框图

目 录

1 主要性能	2
2 应用场合	2
3 产品特点	2
4 修订历史	4
5 封装和订单说明⁽¹⁾	5
6 引脚定义与功能	6
7 规格参数	9
7.1 绝对最大额定参数	9
7.2 ESD 保护	9
7.3 热特性	9
7.4 技术规格	10
8 典型性能	12
9 应用信息	14
9.1 运行原理	14
9.2 使用 TLX1506S	14
9.3 时钟输入	14
9.4 模拟输入	14
9.5 数字输出	14
9.6 电压参考	15
9.7 时序	15
9.8 用户模式选择	15
10 封装规格尺寸	16

4 修订历史

注：以前版本的页码可能与当前版本的页码不同。

版本号	日期	注释
A.0	2025/01/09	初始版本

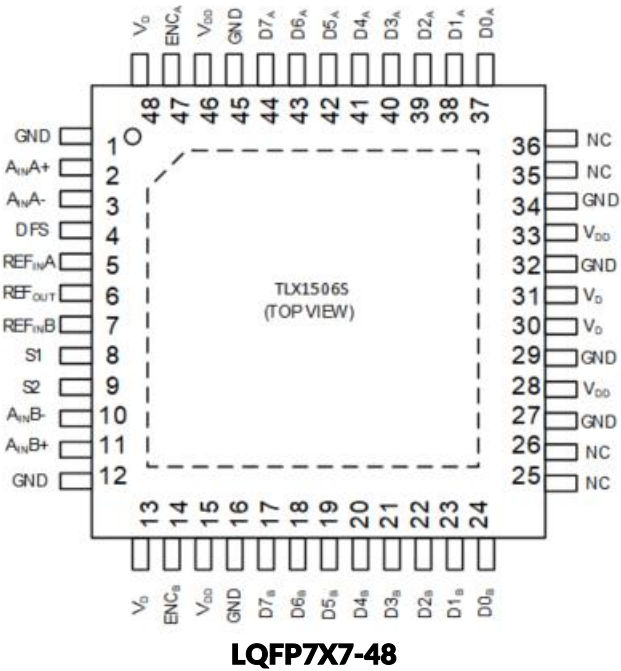
5 封装和订单说明⁽¹⁾

订购型号	温度等级	封装类型	MSL	质量等级
JTLX1506SYQD48	-55 °C ~+125 °C	LQFP7X7-48	MSL1/3	企军标
JTLX1506SYQD48(W)	-55 °C ~+125 °C	LQFP7X7-48	MSL1/3	军温级
TLX1506SYQD48	-40 °C ~+125 °C	LQFP7X7-48	MSL1/3	工业级

注意:

- (1) 该信息是当前版本的最新数据。这些数据如有更新，将及时更新到我司官网，恕不另行通知。
- (2) 丝印可能会有其他附加的代码，用于产品的内控追溯（包括数据代码和供应商代码）或者标志产地。
- (3) TLXIC 在我们的装配厂使用符合 JEDEC 工业标准 J-STD-20F 的通用预处理设置对 MSL 级别进行分类。如果您的最终应用对预处理设置非常关键，或者您有特殊要求，请与 TLXIC 技术支持联系。

6 引脚定义与功能



引脚功能

引脚	引脚名称	功能说明
1,12, 16,27,29,32,34,45	GND	接地
2	AINA+	通道 A 模拟输入正端
3	AINA-	通道 A 模拟输入负端
4	DFS	数据格式选择, 1 补码, 0 偏移码
5	REFINA	通道 A 参考电压
6	REFOUT	内部参考电压
7	REFIB	通道 B 参考电压
8	S1	用户选择 1
9	S2	用户选择 2
10	AINB-	通道 B 模拟输入负端
11	AINB+	通道 B 模拟输入正端
13, 30, 31, 48	VD	模拟电 3V
14	ENCB	通道 B 时钟输入
15, 28, 33, 46	VDD	数字电 3V
17-24	D7B-D0B	通道 B 数字输出
25, 26, 35, 36	NC	不连接
37-44	D0A-D7A	通道 A 数字输出
47	ENCA	通道 A 时钟输入

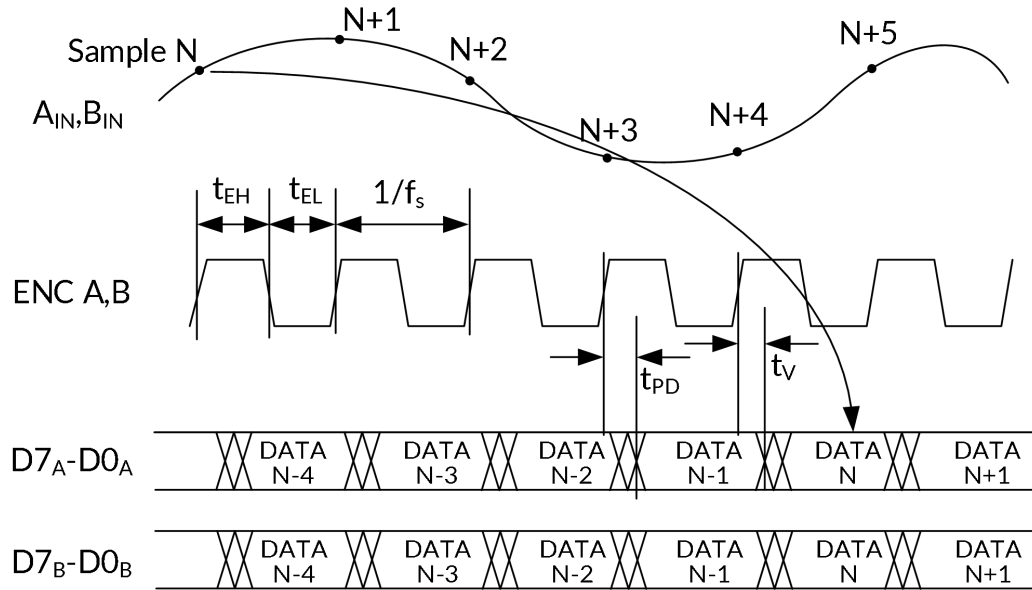


图 2. 典型工作模式，同相时钟 ($S1=1, S2=0$) 下的通道时序

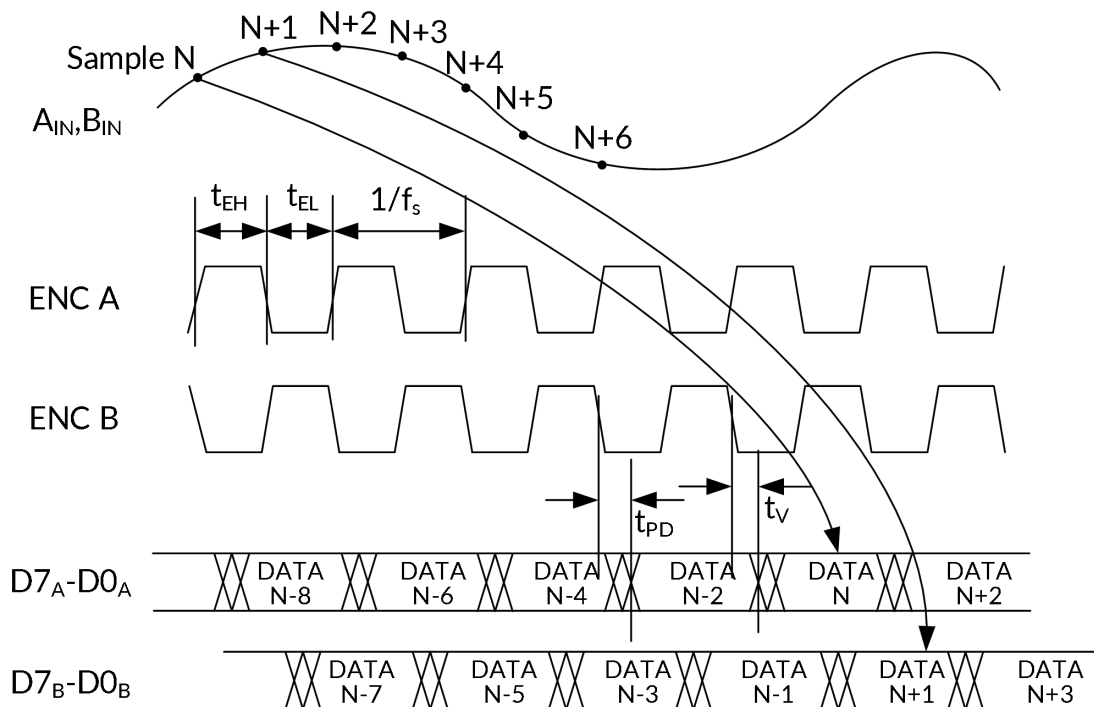


图 3. 典型工作模式，不同相时钟 ($S1=1, S2=0$) 下的通道时序

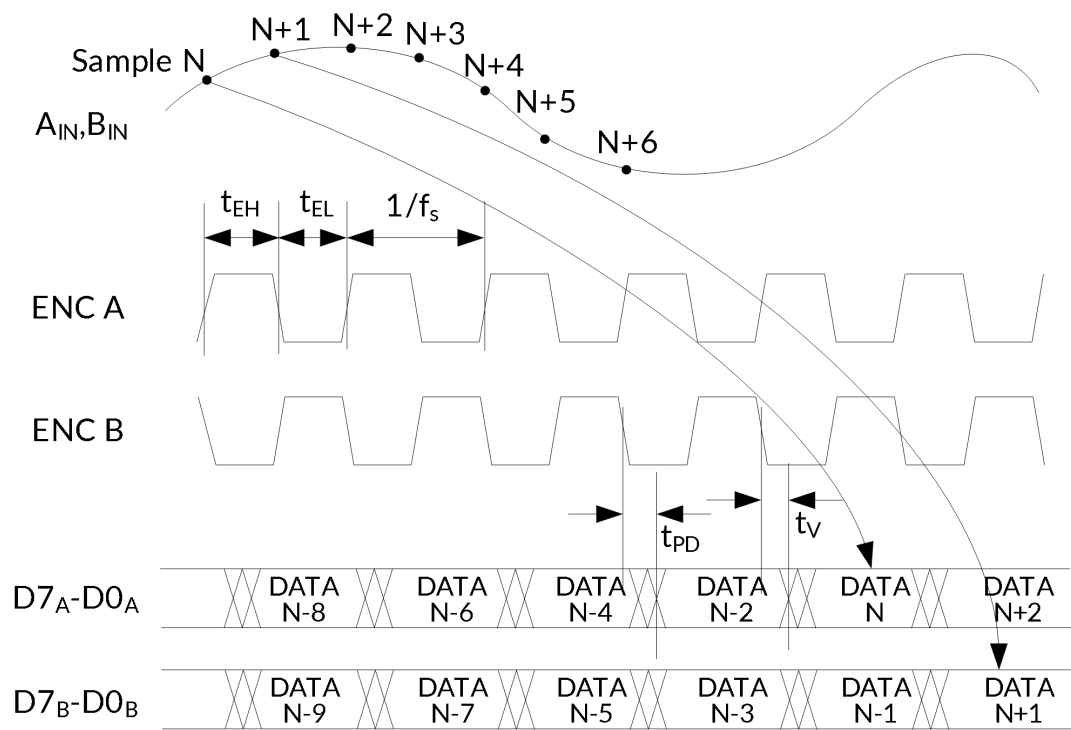


图 4. 典型工作模式，不同相时钟（S1=1，S2=1）下的通道时序

7 规格参数

7.1 绝对最大额定参数

		最小值	最大值	单位
	电源电压 (V _D , V _{DD}) 至 GND		4	V
	模拟输入	-0.5	V _D +0.5	V
	数字输入	-0.5	V _{DD} +0.5	V
T _{J,MAX}	最大结温		150	°C
T _A	工作温度范围	-55	125	°C
T _{stg}	存储温度范围	-55	150	°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

7.2 ESD 保护



带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专有保护电路，但在遇到高能量 ESD 时，器件可能会损坏。因此，应当采取适当的 ESD 防范措施，以避免器件性能下降或功能丧失。

7.3 热特性

48 脚 LQFP 封装的 θ_{JA} 典型值为 57°C/W，气流可改善散热，从而降低 θ_{JA} 。另外，直接与封装引脚接触的 金属，包括金属走线、通孔、接地层、电源层，可降低 θ_{JA} 。

7.4 技术规格

除另有说明， $V_D=3\text{ V}$ 、 $V_{DD}=3\text{ V}$ 、最大采样速率、 $V_{IN}=-1.0\text{ dBFS}$ 差分输入、内部基准电压。

参数	温度	最小值	典型值	最大值	单位
分辨率			8		位
精度					
无失码	全		保证		
增益误差 ⁽¹⁾	全	-8	± 2.5	+8	%FS
微分非线性 (DNL)	25°C		± 0.5		LSB
积分非线性 (INL)	25°C		± 0.8		LSB
模拟输入					
输入范围	全		± 512		mVpp
共模范围	全		± 200		mV
参考电压	全	1.2	1.25	1.3	V
输入电阻	25°C		10		k Ω
输入电容	25°C		2		pF
模拟带宽	25°C		475		MHz
开关性能					
最大转换速度	全	125			MSps
最低转换速度	25°C			1	MSps
ENC 高脉宽	25°C	3.5		1000	ns
ENC 低脉宽	25°C	3.5		1000	ns
采样抖动	25°C		5		ps rms
输出有效时间 ⁽²⁾	全	2	3		ns
输出延时 ⁽²⁾	全		4.5	7	ns
数字输入					
逻辑“1”电压	全	2			V
逻辑“0”电压	全			0.8	V
逻辑“1”电流	全			± 1	μA
逻辑“0”电流	全			± 1	μA
输入电容	25°C		2		pF
数字输出					
逻辑“1”电压	全	2.95			V
逻辑“0”电压	全			0.05	V
输出编码 (默认)			偏移二进制		
功耗					
直流输入	全		162		mW
正弦波输入 ⁽³⁾	全		204		mW
待机功耗	全		2		mW

动态性能 ⁽⁴⁾					
信噪比 (SNR)					
fin=10.3MHz	25°C		47.5		dB
fin=26MHz	25°C		47.5		dB
fin=41MHz	25°C		47		dB
信纳比 (SINAD)					
fin=10.3MHz	25°C		47		dB
fin=26MHz	25°C		47		dB
fin=41MHz	25°C		46.5		dB
有效位 (ENOB)					
fin=10.3MHz	25°C		7.5		bits
fin=26MHz	25°C		7.5		bits
fin=41MHz	25°C		7.4		bits
二次谐波 (HD2)					
fin=10.3MHz	25°C		65		dBc
fin=26MHz	25°C		65		dBc
fin=41MHz	25°C		62		dBc
三次谐波 (HD3)					
fin=10.3MHz	25°C		60		dBc
fin=26MHz	25°C		60		dBc
fin=41MHz	25°C		60		dBc

注意:

- (1) 使用内部基准模式。
- (2) 数字测试负载电容为 10pF。
- (3) 低输入频率，-1dBFS 正弦波输入，时钟最高转换速度。
- (4) 动态性能测试条件是，输入对应满量程的-1dBFS。

8 典型性能

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

除另有说明， $V_D=3\text{ V}$ 、 $V_{DD}=3\text{ V}$ 、最大采样速率、 $V_{IN}=-1.0\text{ dBFS}$ 差分输入、内部基准电压， $T_A=25^\circ\text{C}$ 。

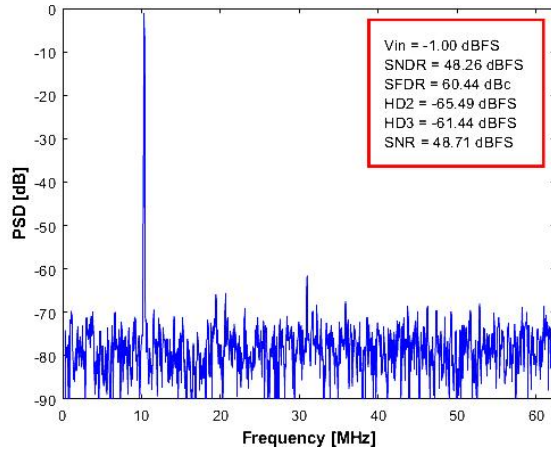


图 5. 输入信号 10.3MHz 单音频谱

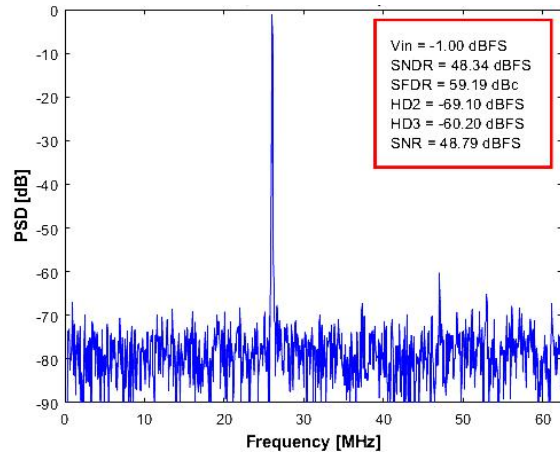


图 6. 输入信号 26MHz 单音频谱

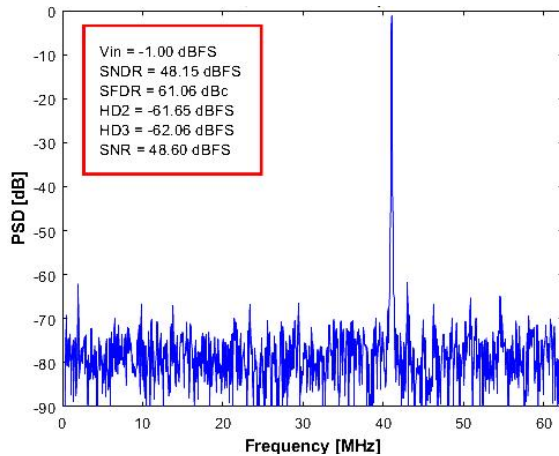


图 7. 输入信号 41MHz 单音频谱

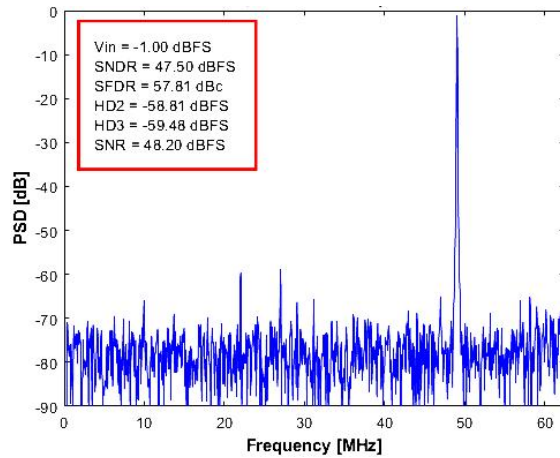


图 8. 输入信号 76MHz 单音频谱

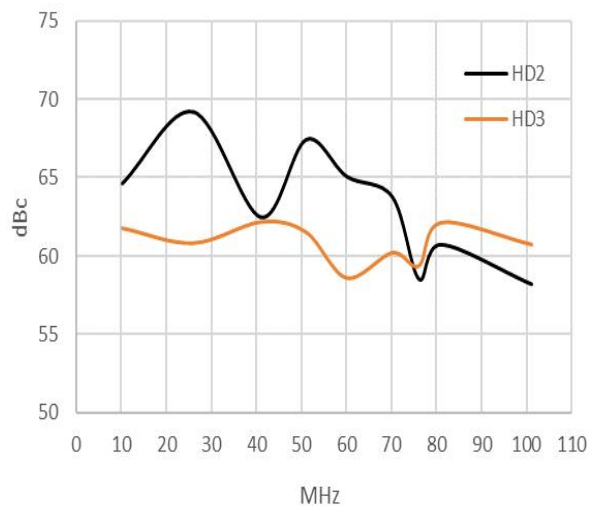


图 9. 二三次谐波与输入信号关系

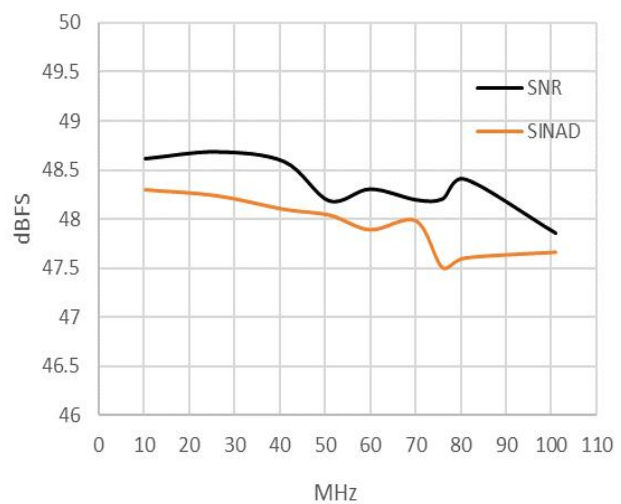


图 10. SNR/SINAD 与输入信号关系

典型性能

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

除另有说明， $V_D=3\text{ V}$ 、 $V_{DD}=3\text{ V}$ 、最大采样速率、 $V_{IN}=-1.0\text{dBFS}$ 差分输入、内部基准电压， $T_A = 25^\circ\text{C}$ 。

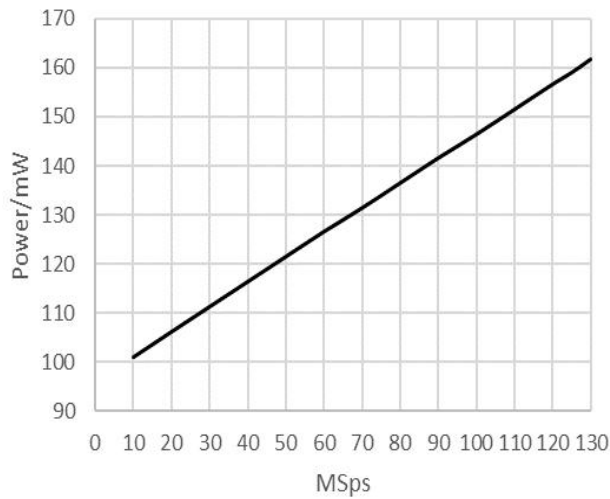


图 11. DC 输入功耗与采样率的关系

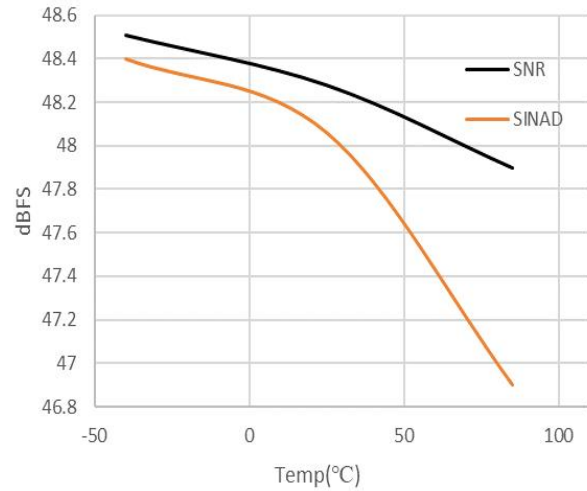


图 12. SNR/SINAD 与温度关系

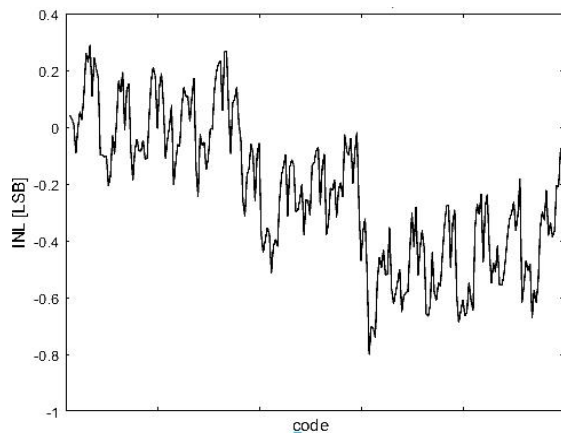


图 13. 积分非线性

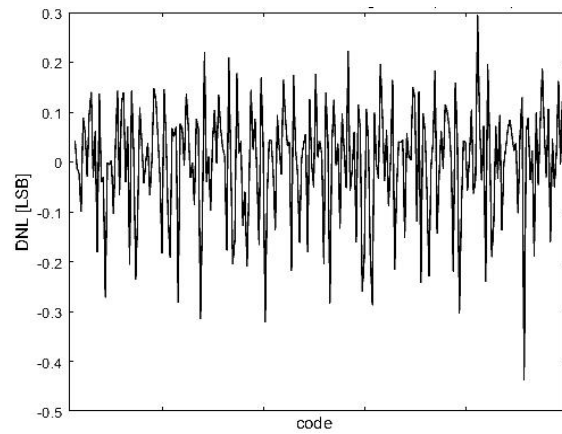


图 14. 微分非线性

9 应用信息

9.1 运行原理

模拟信号被差分或单端施加到 TLX1506S 的输入，该信号被缓冲并被输入到片上采样保持电路。ADC 核心架构是基于开关电容的每级 1 位的流水线型转换器，前 5 级确定高 5 位编码，最后是一个 3 位全并行转换器完成低 3 位 LSB 编码，5 个 MSB 级中的每一个都提供了足够的重叠和误差校正。输出经数字校准后，通过输出缓冲器输出。TLX1506S 包括片上基准（典型值 1.25V），并从外部获得时钟信号。这使得 ADC 易于连接，并且操作所需的外部组件非常少。

9.2 使用 TLX1506S

在使用 TLX1506S 时，必须遵循良好的高速应用设计。为获得最佳性能，去耦电容要尽可能近地靠近芯片，最小化芯片引脚间走线和通孔，例如 0603 贴片电容可用于 PCB 板上。建议对每个电源和地引脚上放一个 0.1μF 电容用于高频去耦，放一个 10μF 电容用于低频去耦。VREF 引脚也应通过 0.1μF 电容去耦。还建议使用分离式供电以及连续接地面。数据输出走线应较短（例如小于 2.54cm），最大限度的降低开关噪声。

9.3 时钟输入

ENC 输入的 1.5V 标称阈值完全兼容 TTL/CMOS。芯片上注意匹配时钟线延迟并保持快速的时钟逻辑转换。任何高速 A/D 转换器都对用户提供的采样时钟质量极其敏感。该 ADC 使用片上采保电路，该电路本质上是混频器，ENC 上的任何定时抖动都将与所需信号相结合，并降低 ADC 的高频性能。建议用户适当考虑时钟源。

9.4 模拟输入

ADC 的模拟输入是全差分，且两个输入端均内部自偏置。这允许最灵活地使用交流或直流以及差分或单端输入模式。对于峰值性能，输入偏置为 $0.3 \times V_{DD}$ 。直流耦合输入时允许的共模范围见规格表。输入也被缓冲以减少用户需要驱动负载。为了获得最佳动态性能， A_{IN+} 和 A_{IN-} 处的阻抗应匹配。这一点的重要性随着采样率和模拟输入频率的增加而增加，典型输入范围为 $1.024V_{pp}$ 。

模拟交流输入典型应用电路如图所示，要注意变压器频率范围和阻抗匹配需满足应用需求。

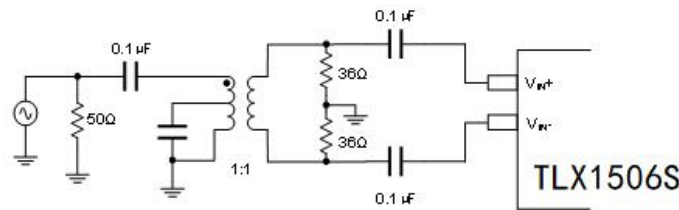


图 15. 模拟信号输入应用原理图

9.5 数字输出

数字输出与 TTL/CMOS 兼容。输出缓冲器由单独的电源供电，允许调整输出电压，以便兼容 2.5 V 或 3.3 V 逻辑接口。在待机状态，输出变为高阻态。数据格式支持二进制补码或偏移二进制码。

9.6 电压参考

TLX1506S 内置了一个稳定准确的 1.25 V 参考电压（VREF OUT）。在正常操作中，内部参考通过将引脚 2 和 3 连接在一起使用。可以通过改变施加到 TLX1506S 的参考电压来调整输入范围。当参考值调整±5%时，性能不会下降。ADC 的满刻度范围跟踪参考电压线性变化。无论是否使用，内部参考（引脚 2）都应通过 0.1μF 电容器旁路接地。

9.7 时序

TLX1506S 提供具有四个流水线延迟的锁存数据输出。数据输出在编码命令的上升沿后一个传播延迟（t_{PD}）可用。输出数据线的长度和负载必须最小化以减少其瞬态变化导致的动态性能下降。ADC 的最低转换率为 1 MSPS，转换器的动态性能将在低于该采样率下降低。

9.8 用户模式选择

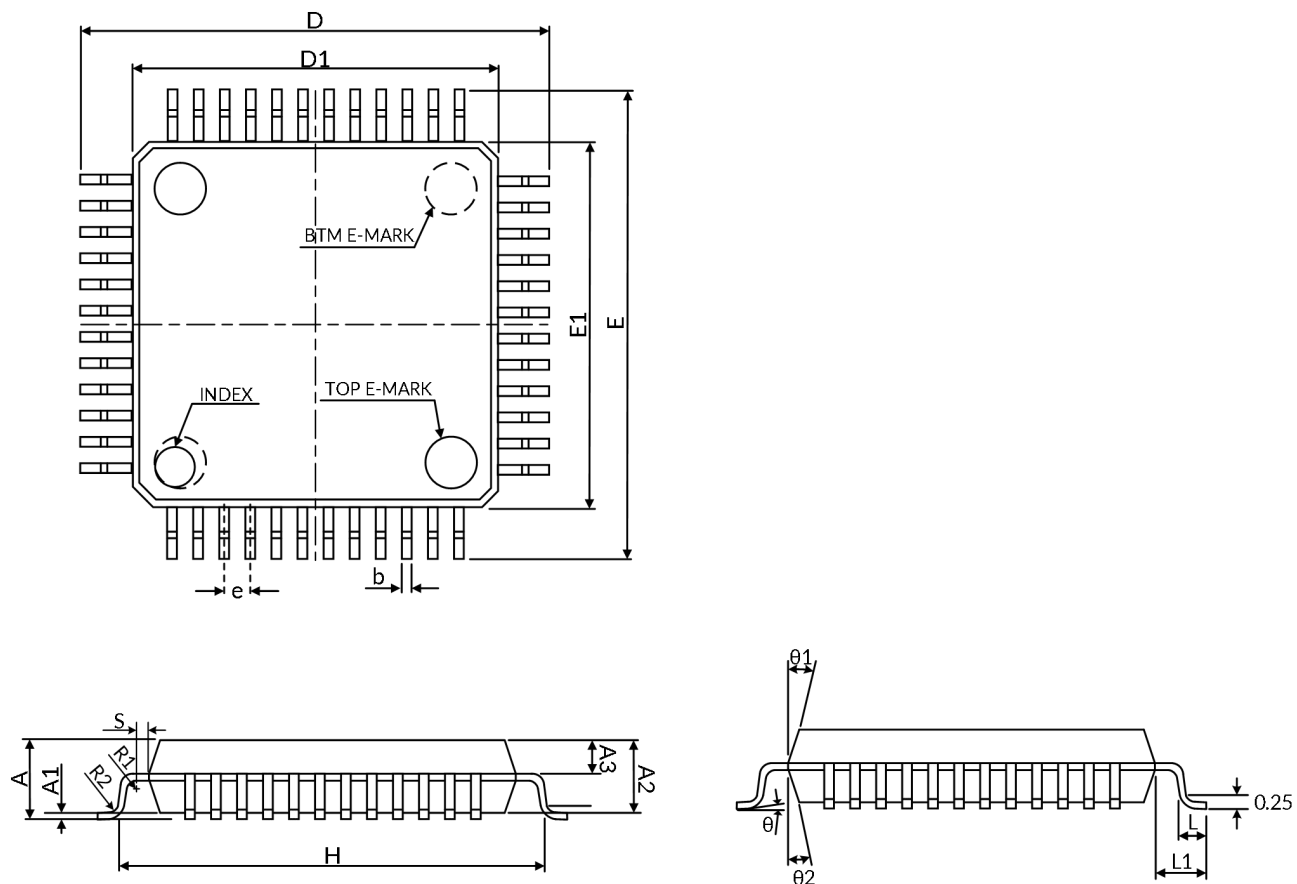
两个引脚可用于操作模式的组合。

这些选项允许用户将两个通道置于待机模式，或仅将 B 通道置于待机模式。这两种模式都将输出缓冲器和时钟输入置于高阻抗状态。

如果向两个通道提供相同的编码时钟，并且数据对齐引脚被禁用，则两个输出都在时钟的相同上升沿上传送。

S1	S2	说明
0	0	待机通道 A 和 B
0	1	只待机通道 B
1	0	典型工作模式（数据非对齐）
1	1	数据对齐

10 封装规格尺寸

LQFP7X7-48⁽³⁾

Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A ⁽¹⁾	-	1.600	-	0.063
A1	0.050	0.150	0.002	0.006
A2	1.350	1.450	0.053	0.002
A3	0.590	0.690	0.023	0.027
b	0.180	0.270	0.008	0.011
D ⁽¹⁾	8.800	9.200	0.346	0.362
D1	6.900	7.100	0.272	0.280
E ⁽¹⁾	8.800	9.200	0.346	0.362
E1	6.900	7.100	0.272	0.280
e	0.400	0.600	0.016	0.024
H	8.140	8.200	0.320	0.323
L	0.500	0.700	0.020	0.028
L1	1.000 REF ⁽²⁾		0.040 REF ⁽²⁾	
R1	0.080	-	0.003	-
R2	0.080	0.200	0.003	0.008
S	0.200	-	0.008	-
θ	0°	7°	0°	7°
θ1	11°	13°	11°	13°
θ2	11°	13°	11°	13°

注意：

1. 不包括每边最大 0.15 毫米的塑料或金属突起。
2. REF 是 Reference 的缩写。
3. 此图纸如有更改，恕不另行通知。