

无锡泰连芯科技有限公司

TLX1525

单通道 14 位 80MSps 模数转换器

2026 年 06 月

单通道 14 位 80MSps 模数转换器

1 主要性能

- 单通道，14 位，最高 80MSps
- 低功耗：全芯片 360mW，80MSps
- 片内集成参考与采样保持
- SNR=72.3dB 至奈奎斯特频率
- 2Vpp 模拟输入范围
- 单电压 3V 供电，支持 2.7V-3.6V 范围
- 待机功耗 1mW
- 二进制补码与偏移码输出
- 内置占空比稳定电路
- 溢出检测位

2 应用场合

- 医学影像设备
- 通信接收机中的中频采样
- 电池供电仪器
- 手持示波器
- 频谱分析仪

3 产品特点

TLX1525 是一款单 3V 供电、14 位模数转换器，搭配独立数字输出驱动电路，可兼容 2.5V 或 3.3V 逻辑器件。集成高性能采样保持电路与内置电压基准源。

芯片采用单端时钟输入，控制内部全部转换周期。内置占空比稳定电路可补偿大范围时钟占空比波动，全程保持 ADC 优异的动态性能。数字输出数据支持偏移二进制码或二进制补码两种格式。溢出检测位用于标识溢出状态，配合最高有效位可区分正向溢出与负向溢出。

可以执行待机功能，使总功耗低至 1mW，该模式下，数字输出为高阻抗态。

TLX1525 采用 QFN5X5-32 塑料封装，（5mm × 5mm），可在温度范围（-55℃ 至 +125℃）内使用。与 AD9245 管脚兼容。

质量等级：军温级&企军标

器件信息 (1)

型号	封装	封装尺寸 (标称值)
TLX1525	QFN5X5-32	5.00mm×5.00mm

(1) 详细的订单型号说明，请参考数据表后的封装选项部分。

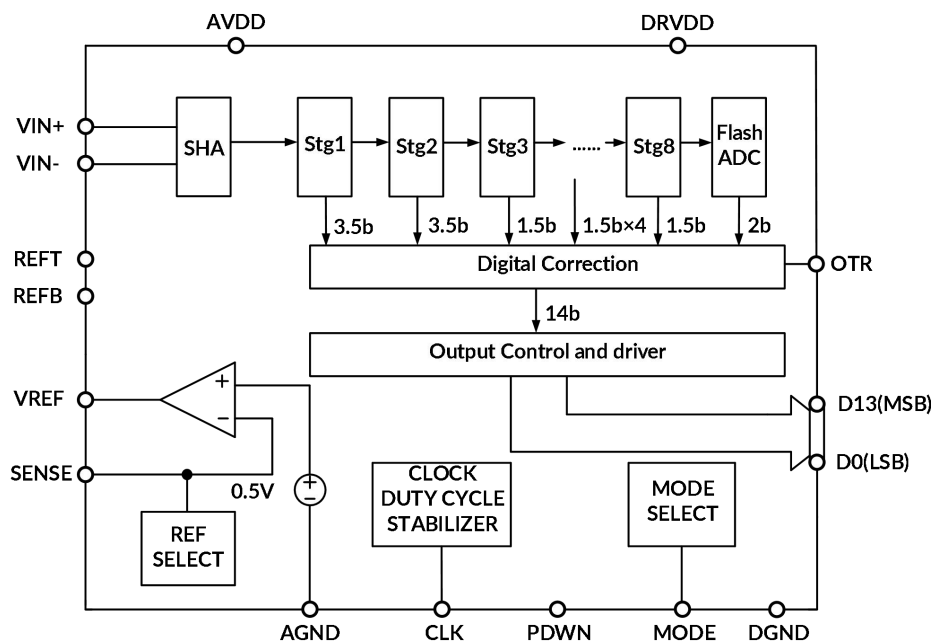


图 1. TLX1525 框图

目 录

1 主要性能	2
2 应用场合	2
3 产品特点	2
4 修订历史	5
5 封装和订单说明⁽¹⁾	6
6 引脚定义与功能	7
7 规格参数	9
7.1 绝对最大额定参数	9
7.2 ESD 保护	9
7.3 热特性	9
7.4 技术规格	10
8 典型性能	13
9 应用信息	14
9.1 工作原理	14
9.2 模拟输入与基准源概述	14
9.3 输入配置	14
9.4 待机模式	15
9.5 数字输出	15
9.6 时序	15
9.7 电压基准源	15
9.8 用户模式选择	17
10 封装规格尺寸	18
11 包装规格尺寸	19

4 修订历史

注意: 更新前的版本页码可能与当前版本不同。

版本	更新日期	变更项目
A.0	2026/6/29	初始版本

5 封装和订单说明⁽¹⁾

订单型号	封装类型	工作温度(°C)	丝印 ⁽²⁾	MSL ⁽³⁾	质量等级
JTLX1525A0YQAH32	QFN5X5-32	-55°C ~125°C	TLX1525A0	MSL1	企军级
JTLX1525A0YQAH32(W)	QFN5X5-32	-55°C ~125°C	TLX1525A0	MSL1	军温级
TLX1525A0YQAH32	QFN5X5-32	-40°C ~125°C	TLX1525A0	MSL1	工业级

注意:

- (1) 该信息是当前版本的最新数据。这些数据如有更新，将及时更新到我司官网，恕不另行通知。
- (2) 丝印可能会有其他附加的代码，用于产品的内控追溯（包括数据代码和供应商代码）或者标志产地。
- (3) TLXIC 装配厂使用符合 JEDEC 工业标准 J-STD-20F 的通用预处理设置对 MSL 级别进行分类。如果您的最终应用对预处理设置非常关键，或者您有特殊要求，请与 TLXIC 技术支持联系。

6 引脚定义与功能

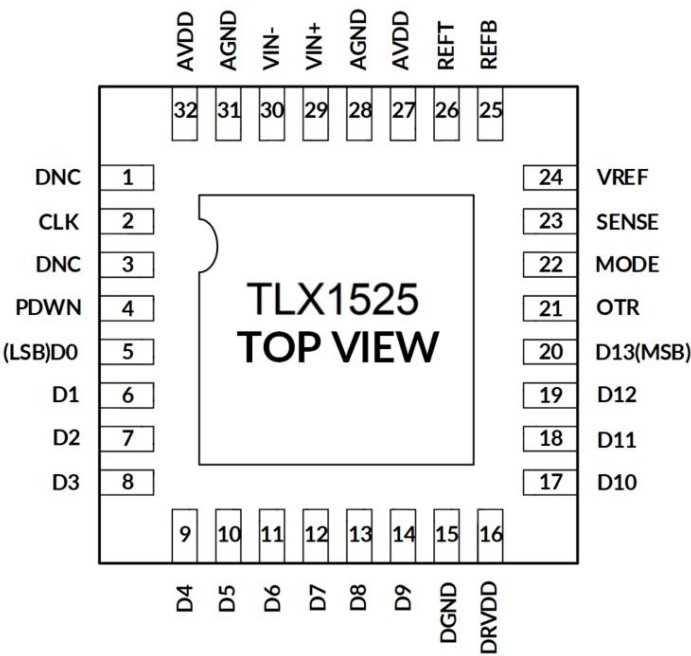


图 2. QFN5X5-32 引脚配置，顶视图

表 1. 引脚功能

引脚	引脚名称	功能说明
1,3	DNC	无连接
2	CLK	时钟输入
4	PDWN	掉电功能选择
5to14,17to20	D0(LSB)toD13(MSB)	数据输出位
15	DGND	数字地
16	DRVDD	数字输出驱动电源
21	OTR	溢出检测位
22	MODE	数据格式选择和占空比稳定电路选择
23	SENSE	基准电压模式选择
24	VREF	基准电压输入/输出
25	REFB	差分输入基准电压(-)
26	REFT	差分输入基准电压(+)
27,32	AVDD	模拟电源
28,31	AGND	模拟地
29	VIN+	差分模拟输入引脚(+)
30	VIN-	差分模拟输入引脚(-)
EPAD		裸露焊盘

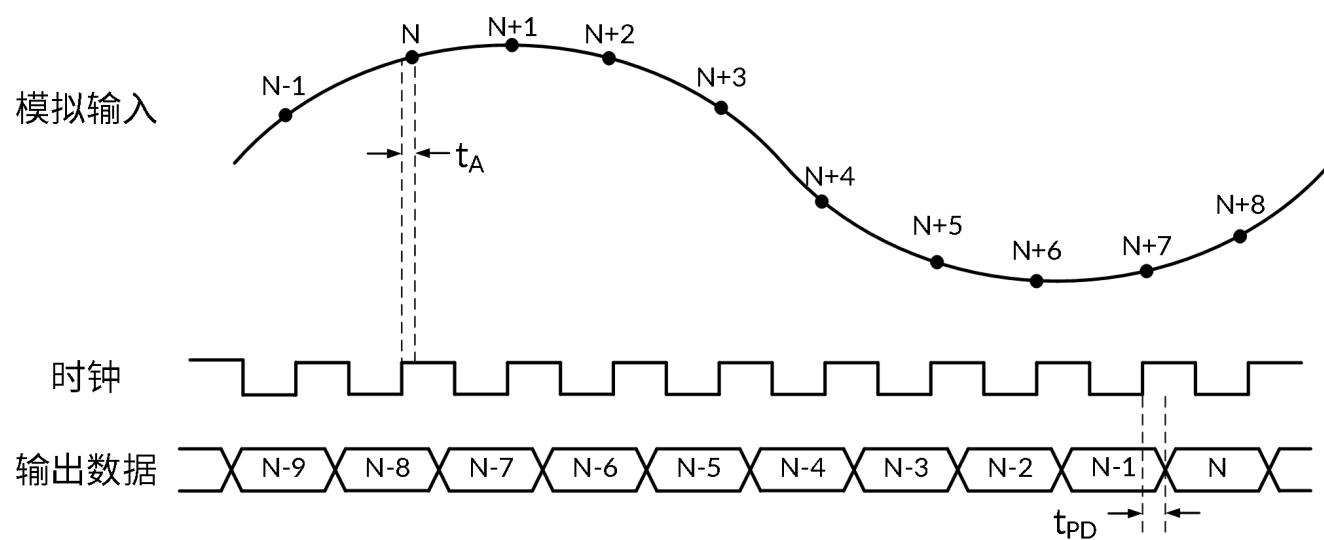


图 3. 时序图

7 规格参数

7.1 绝对最大额定参数

参数	参考电位	最小值	最大值	单位
电气参数				
AVDD	AGND	-0.3	3.9	V
DRVDD	DGND	-0.3	3.9	V
AGND	DGND	-0.3	0.3	V
AVDD	DRVDD	-3.9	3.9	V
D0 to D13	DGND	-0.3	DRVDD+0.3	V
CLK,MODE	AGND	-0.3	AVDD+0.3	V
VIN+,VIN-	AGND	-0.3	AVDD+0.3	V
VREF	AGND	-0.3	AVDD+0.3	V
SENSE	AGND	-0.3	AVDD+0.3	V
REFT,REFB	AGND	-0.3	AVDD+0.3	V
PDWN	AGND	-0.3	AVDD+0.3	V
环境参数				
存储温度范围		-65	125	°C
工作温度范围		-55	125	°C
引脚焊接温度（焊接 10 秒）		-	300	°C
芯片结温			150	°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

7.2 ESD 保护



带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，HBM 高达 2kV。但在遇到高能量 ESD 时，器件可能会损坏。因此，应当采取适当的 ESD 防范措施，以避免器件性能下降或功能丧失。

7.3 热特性

QFN5X5-32 封装的 θ_{JA} 典型值为 32.5°C /W，气流可改善散热，从而降低 θ_{JA} 。另外，直接与封装引脚接触的的金属，包括金属走线、通孔、接地层、电源层，可降低 θ_{JA} 。

7.4 技术规格

直流特性

除另有说明，AVDD=3V、DRVDD=2.5 V、最大采样速率、2Vp-p 差分输入，1.0V 内部参考电压

表 2. ADC 直流特性

参数	温度	最小值	典型值	最大值	单位
分辨率			14		位
精度					
无失码	25°C		保证		
增益误差	25°C		±1		%FS
失调误差	25°C		±0.4		%FS
内部参考电压					
输出电压误差 (1.0V 基准模式)	25°C		±4		mV
输出电压误差 (0.5V 基准模式)	25°C		±3		mV
输入等效噪声					
VREF=0.5V	25°C		2.51		LSB rms
VREF=1.0V	25°C		1.24		LSB rms
模拟输入					
输入范围 (0.5V 基准模式)	25°C		1		Vp-p
输入范围 (1.0V 基准模式)	25°C		2		Vp-p
输入电容 ⁽¹⁾	25°C		7		pF
参考输入电阻	25°C		7		kΩ
电源参数					
模拟电源	-40°C ~85°C	2.7	3	3.6	V
数字电源	-40°C ~85°C	2.25	2.5	3.6	V
模拟电流 ⁽²⁾	-40°C ~85°C		112	138	mA
数字电流 ⁽²⁾	-40°C ~85°C		9		mA
功耗					
低频输入 ⁽³⁾	-40°C ~85°C		336		mW
待机功耗 ⁽⁴⁾	-40°C ~85°C		1		mW

注意：

- (1) 输入电容指差分输入单端与模拟地 AGND 之间的等效电容。
- (2) 低输入频率，-0.5dBFS 正弦波输入，时钟最高转换速度，各数字输出端负载电容为 5pF。
- (3) 在交流测试条件下测得，测试时断开输出驱动电路。
- (4) 直流输入，CLK 引脚接 AGND。

交流特性

除另有说明，AVDD=3V、DRVDD=2.5 V、最大采样速率、2Vp-p 差分输入，1.0V 内部参考电压，VIN=-0.5dBFS，占空比稳定电路不使能

表 3.ADC 交流特性

参数	温度	最小值	典型值	最大值	单位
信噪比 (SNR)					
fin=2.4MHz	25°C		72.5		dB
fin=40MHz	25°C		72.3		dB
fin=70MHz	25°C		71.8		dB
fin=100MHz	25°C		71.2		dB
信纳比 (SINAD)					
fin=2.4MHz	25°C		70.3		dB
fin=40MHz	25°C		69.9		dB
fin=70MHz	25°C		69.5		dB
fin=100MHz	25°C		69.3		dB
二次谐波 (HD2)					
fin=2.4MHz	25°C		75.0		dBc
fin=40MHz	25°C		75.4		dBc
fin=70MHz	25°C		74.8		dBc
fin=100MHz	25°C		73.7		dBc
三次谐波 (HD3)					
fin=2.4MHz	25°C		82.4		dBc
fin=40MHz	25°C		83.8		dBc
fin=70MHz	25°C		79.6		dBc
fin=100MHz	25°C		84.2		dBc
无杂散动态范围 (SFDR)					
fin=2.4MHz	25°C		75.0		dBc
fin=40MHz	25°C		75.4		dBc
fin=70MHz	25°C		74.8		dBc
fin=100MHz	25°C		73.7		dBc

开关特性

除另有说明，AVDD=3V、DRVDD=2.5 V

表 4. ADC 开关特性

参数	温度	最小值	典型值	最大值	单位
时钟输入参数					
最大转换速率	25°C		80		MSPS
最小转换速率	25°C		1		MSPS
时钟周期	25°C		12.5		ns
时钟高电平脉冲宽度	25°C	5.9			ns
时钟低电平脉冲宽度	25°C	5.9			ns
数据输出参数					
输出延迟 ⁽¹⁾ (t_{PD})	25°C		4.2		ns
流水线延迟(传输时延)	25°C		7		Cycles
孔径延迟(t_A)	25°C		1.0		ns
孔径抖动(t_j)	25°C		0.3		ps rms
唤醒时间 ⁽²⁾	25°C		7.0		ms
超量程恢复时间	25°C		2		Cycles

注意：

(1) 以时钟信号 50%电平跳变点为起点，数据信号 50%电平跳变点为终点，测试时每个输出引脚接入 5pF 负载电容。

(2) 唤醒时间受基准去耦电容容值影响，表中典型值为 REFT、REFB 引脚搭配 0.1 μ F 和 10 μ F 去耦电容时测得。

8 典型性能

除另有说明, AVDD=3V、DRVDD=2.5 V、最大采样速率、VIN=-0.5dBFS 差分输入、内部 1.0V 基准电压, 占空比稳定电路不使能, $T_A = 25^{\circ}\text{C}$ 。

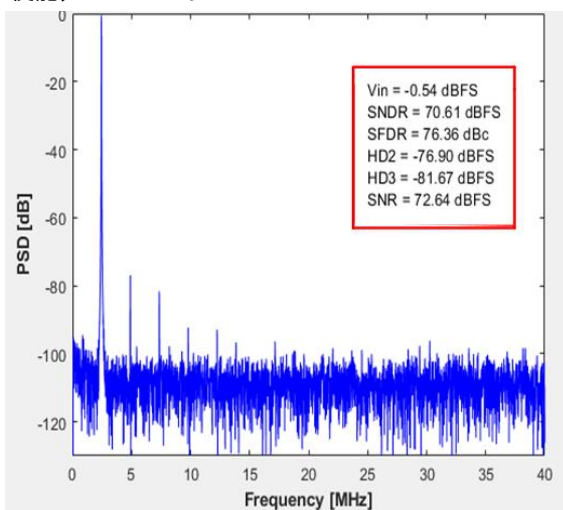


图 4. 输入信号 2.4MHz 单音频谱

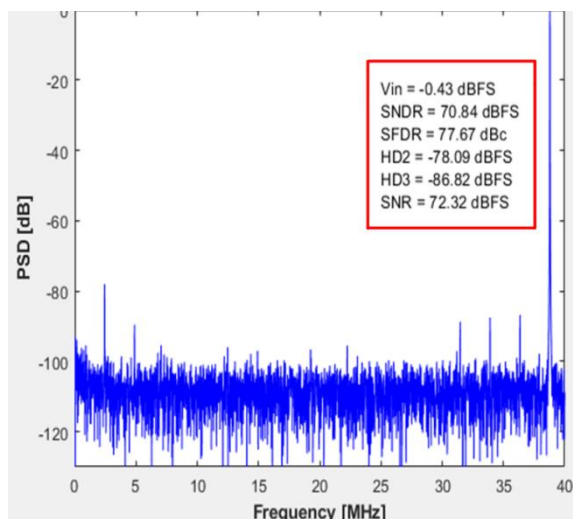


图 5. 输入信号 40MHz 单音频谱

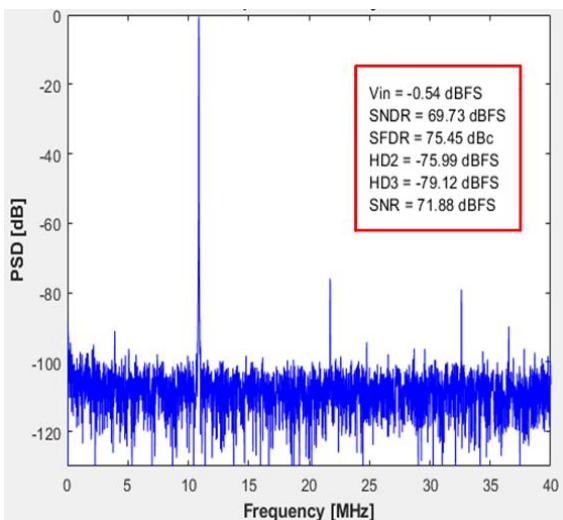


图 6. 输入信号 70MHz 单音频谱

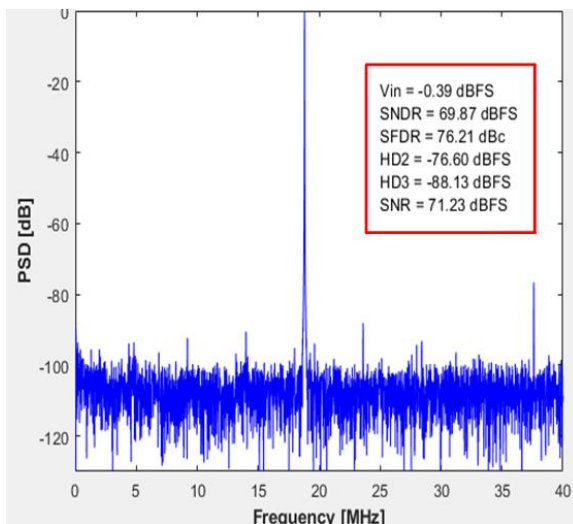


图 7. 输入信号 100MHz 单音频谱

9 应用信息

9.1 工作原理

TLX1525 由前端采样保持电路和后端流水线开关电容 ADC 组成。流水线 ADC 前两级为 3 位电路，后续串联 6 级 1 位电路，最后一级为 2 位全并行转换器，各级冗余区间可修正前级量化误差，多级输出经数字校正后输出 14 位数据。流水线支持并行处理，首级处理新采样信号时后级同步处理旧数据，采样在时钟上升沿完成。

除末级外，流水线每级集成全并行 ADC、开关电容 DAC 与余量放大器 MDAC，放大差值余量送入下一级，每级配备 1 位冗余校正位，仅末级采用全并行 ADC。

芯片内置差分采样保持电路，支持差分输入、交流/直流耦合输入。输出模块完成数据对齐与误差校正，输出缓冲独立供电，芯片掉电时输出缓冲变为高阻态。在启用内置的占空比稳定电路后，在较宽的时钟脉冲宽度范围内可保持 ADC 的整体性能。此外，溢出检测位可指示输入信号是否超出所能量化的范围。

9.2 模拟输入与基准源概述

TLX1525 采用差分开关电容采样保持放大器作为模拟输入，针对差分信号做了性能优化，将输入共模电压设置为一半的模拟电源电压，能最大程度降低信号相关误差。想要获得最优动态性能，驱动 V_{IN+} 和 V_{IN-} 的信号源阻抗必须匹配，让共模建立误差对称，ADC 的共模抑制特性可削弱这类误差。

芯片内置差分基准缓冲器，输入正基准 REFT、负基准 REFB，二者决定 ADC 内核输入量程，电压以模拟电源的一半对称，输入量程为基准电压 V_{REF} 的两倍。

内部基准可配置为 0.5V 或 1.0V，也可在该区间自定义调节。该 ADC 在 2V 峰峰值最大输入量程下信噪比表现最佳，切换为 1V 峰峰值量程时，信噪比会相应下降。

9.3 输入配置

推荐采用差分变压器耦合方案，两个输入端通过外部电阻分压产生偏置，输入偏置为 $0.5 \times AV_{DD}$ 。为了获得最佳动态性能， V_{IN+} 和 V_{IN-} 处的阻抗应匹配，并联分流电容的取值取决于输入信号频率与信号源阻抗，若参数搭配不当则需要减小或移除该电容。

典型应用电路如图 8 所示，要注意变压器频率范围和阻抗匹配需满足应用需求。

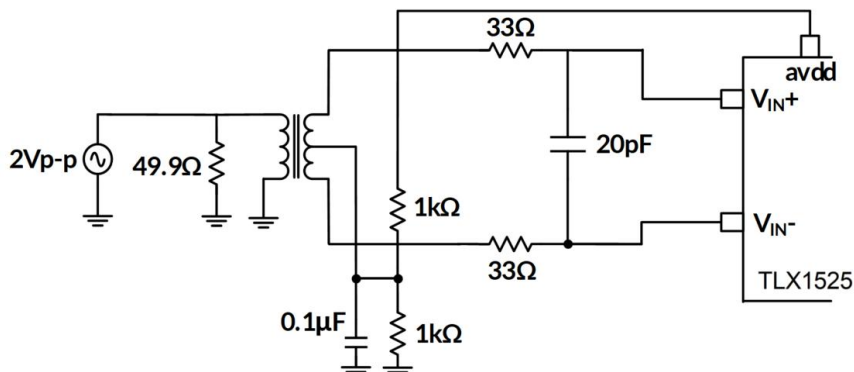


图 8. 变压器耦合差分输入电路

对于成本敏感类应用，单端输入方案可满足基础性能要求。该电路架构下，由于输入共模电压摆幅较大，芯片的 SFDR 与失真性能会出现衰减。但如果两路输入端的源阻抗保持匹配，对 SNR 性能几乎不会产生负面影响。图 9 为典型的单端输入外围电路。

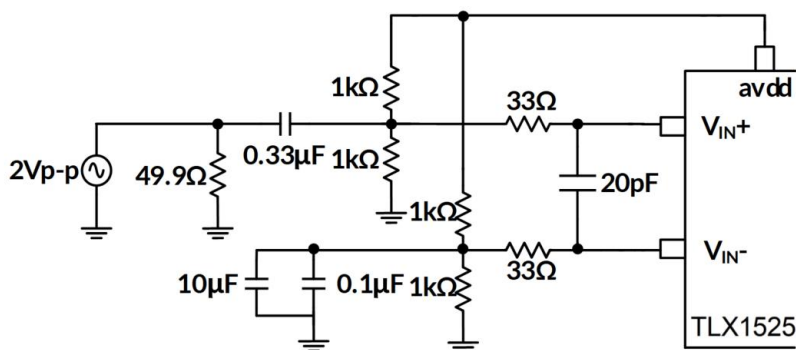


图 9. 单端输入配置电路

9.4 待机模式

将 PDWN 引脚置高，TLX1525 进入待机模式。该模式下 ADC 典型功耗仅 1mW。待机时所有输出驱动进入高阻态，拉低 PDWN 引脚可使其恢复正常工作。

待机模式实现低功耗的原理是关断基准源、偏置缓冲电路与偏置网络。进入待机时，REFT、REFB 引脚的去耦电容会放电，恢复正常工作时，需要一定时间重新充电。待机时间越长，恢复所需周期越长，推荐为 REFT、REFB 分别搭配 0.1μF 与 10μF 去耦电容。

9.5 数字输出

数字输出与 TTL/CMOS 兼容。输出缓冲器由单独的电源供电，允许调整输出电压，以便兼容 2.5V 或 3.3V 逻辑接口。在待机状态，输出变为高阻态。数据格式支持二进制补码或偏移二进制码。若应用场景需要 ADC 驱动大容性负载，建议额外增加外部缓冲器或锁存器。

9.6 时序

TLX1525 采用锁存型数据输出，流水线延迟为 7 个时钟周期。时钟上升沿经过一段传输延时 t_{PD} 后，再输出有效数据，详细时序图见图 3。输出数据线的长度和负载必须最小化以减少其瞬态变化导致的动态性能下降。

9.7 电压基准源

TLX1525 内置稳定、高精度 0.5V 电压基准，可通过选用内部基准或外接基准电压，灵活调整 ADC 输入量程，ADC 输入量程会随其基准电压线性变化。

此外，芯片内部比较器检测 SENSE 引脚电位，并将基准电路配置为四种工作状态之一，如表 5 所示。SENSE 引脚接地时，基准放大器接入内部电阻分压网络，如图 10 所示，基准输出电压 $V_{REF}=1.0V$ 。

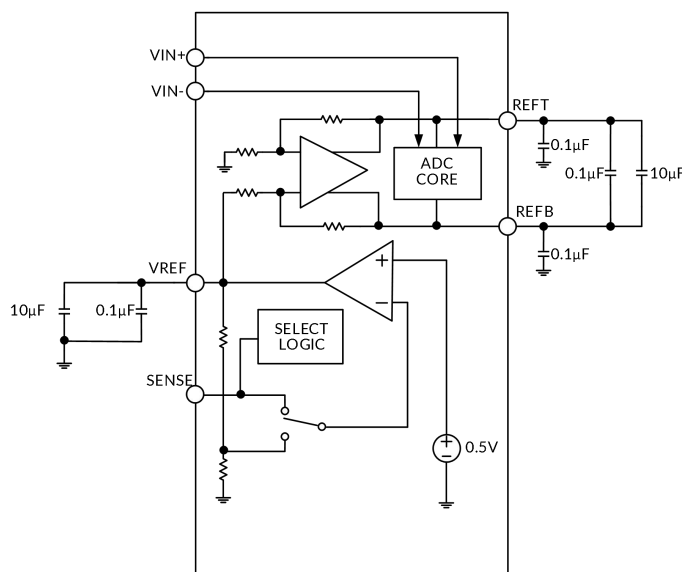


图 10. 内部基准电路结构示意图

SENSE 引脚接 VREF 时，基准放大器输出端直接与 SENSE 短接，形成闭环，输出 0.5V 基准电压。SENSE 引脚外接分压电阻时，如图 11 所示。

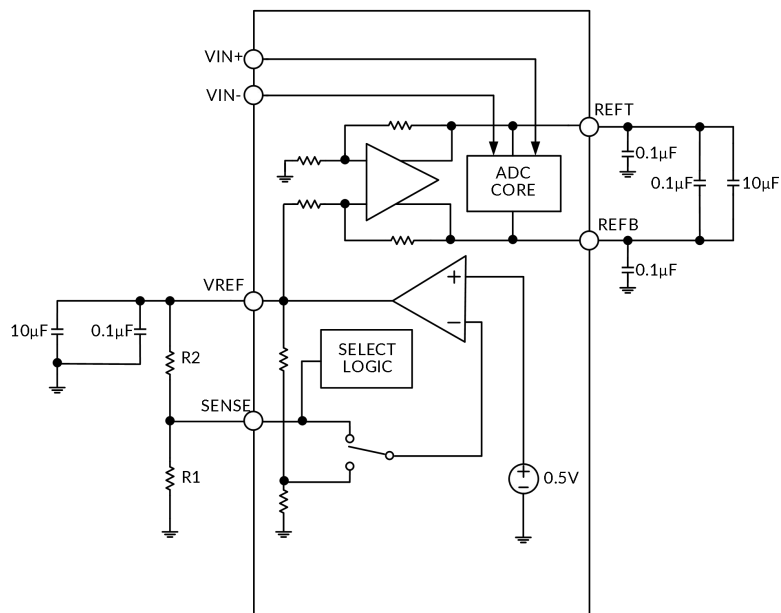


图 11. SENSE 引脚外接分压电阻时示意图

此时基准放大器工作在非单位增益模式，基准电压的计算公式为：

$$V_{REF} = 0.5 \times \left(1 + \frac{R2}{R1}\right)$$

当 SENSE 引脚接至模拟电源 AVDD 时，片内基准电路关闭，芯片可接入外部基准源，此时内部基准缓冲器依然会为 ADC 内核生成 REFT 和 REFB 基准电压。ADC 输入量程恒为基准电压的 2 倍，因此外部输入基准电压最高不可超过 1.0V。

9.8 用户模式选择

SENEN 引脚和 MODE 引脚可用于操作模式的组合。

通过调整 MODE 引脚，用户可自行选择是否启用占空比稳定电路，且可选择偏移二进制码或二进制补码两种数据格式，具体见表 5。SENSE 引脚可调整内置参考电压值，还可以通过调整该引脚选用外接参考电压的方式。具体内容见表 6。

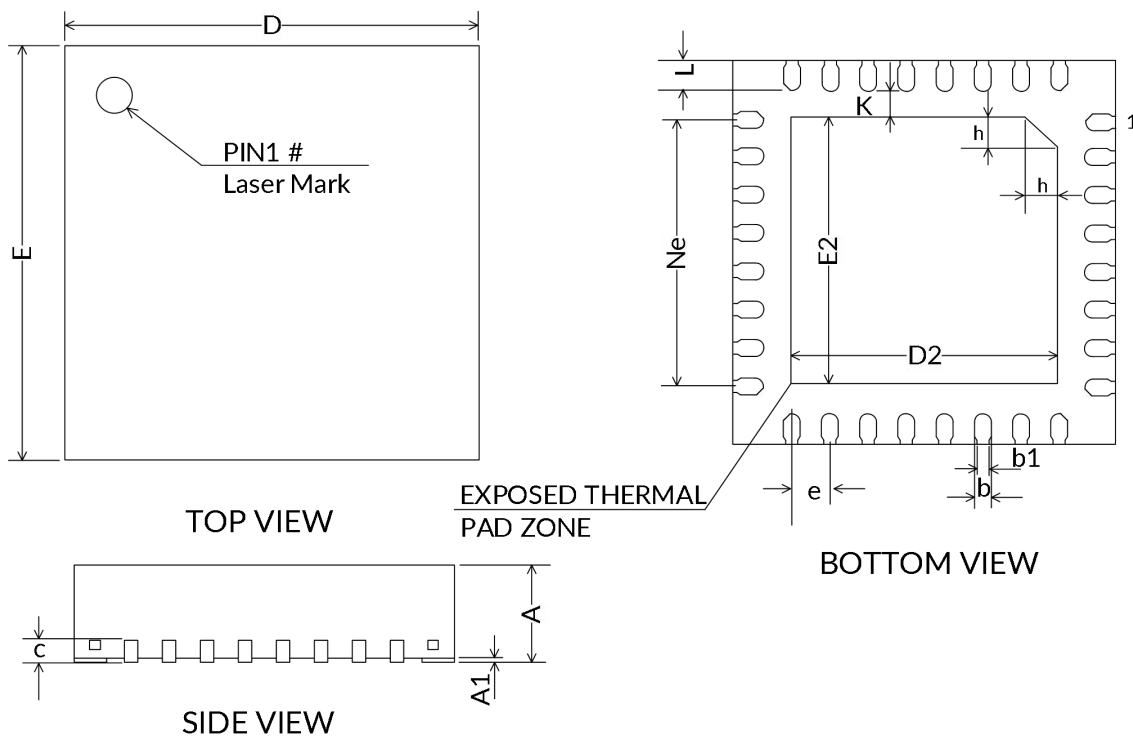
表 5. MODE 引脚选择

MODE 电位	编码格式	占空比稳定电路
AVDD	二进制补码	不使能
2/3AVDD	二进制补码	使能
1/3AVDD	偏移二进制码	使能
AGND(默认)	偏移二进制码	不使能

表 6. SENSE 引脚选择

选择模式	SENSE 电位	VREF 输出电压(V)	差分输入范围(V p-p)
外部参考	AVDD	N/A	2×外部参考电压
内部参考	VREF	0.5	1.0
可编辑参考	0.2V to VREF	$0.5 \times (1 + R2/R1)$ (如图 11)	2×VREF
内部参考	AGND to 0.2V	1.0	2.0

10 封装规格尺寸

QFN5X5-32⁽⁴⁾

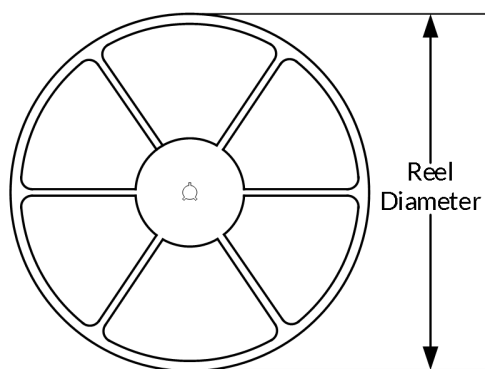
符号	尺寸 (单位: 毫米)		尺寸 (单位: 英寸)	
	最小值	最大值	最小值	最大值
A ⁽¹⁾	0.700	0.800	0.027	0.032
A1	-	0.050	-	0.002
b1	0.160 REF ⁽²⁾		0.006 REF ⁽²⁾	
b	0.180	0.300	0.007	0.012
c	0.180	0.250	0.007	0.010
D ⁽¹⁾	4.900	5.100	0.193	0.201
E ⁽¹⁾	4.900	5.100	0.193	0.201
D2	3.400	3.600	0.133	0.142
E2	3.400	3.600	0.133	0.142
e	0.500 BSC ⁽³⁾		0.020 BSC ⁽³⁾	
Ne	3.500 BSC ⁽³⁾		0.138 BSC ⁽³⁾	
L	0.350	0.450	0.013	0.018
h	0.300	0.400	0.011	0.016

注意:

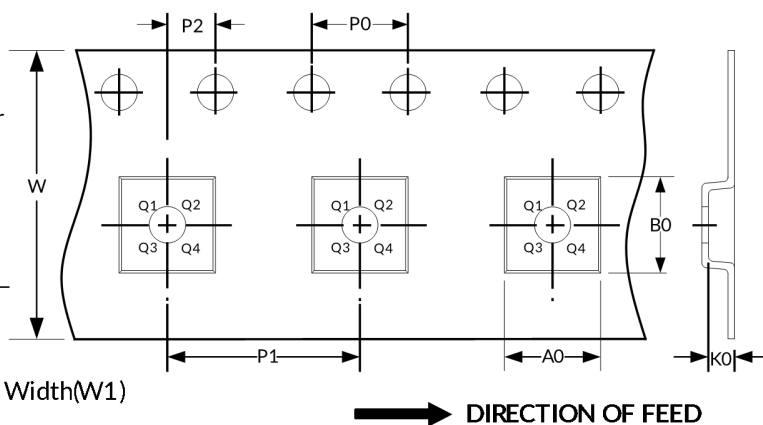
1. 不包括每边最大 0.075 毫米的塑封料或金属突起。
2. REF 是 Reference 的缩写。
3. BSC (中心之间的基本间距), “基本” 间距是标称的。
4. 此图纸如有更改, 恕不另行通知。

11 包装规格尺寸

卷盘尺寸



编带尺寸



注意：图片仅供参考。请以实物为标准。

关键参数表

Package Type	Reel Diameter (mm)	Reel Width W1(mm)	A0 (mm)	B0 (mm)	K0 (mm)	P0 (mm)	P1 (mm)	P2 (mm)	W (mm)	Pin1 Quadrant
QFN5X5-32	330	13	5.3	5.3	1.3	8.0	4.0	2.0	12.0	Q1

注意：

1. 所有尺寸均为标称尺寸。
2. 不包括每边最大 0.15 毫米的塑封料或金属突起。