

无锡泰连芯科技有限公司

TLX1584

四通道 16 位 125MSps 模数转换器

2026 年 04 月

四通道 16 位 125MSps 模数转换器

1 主要性能

- **1.8V** 电源供电
- 低功耗：每通道 **180mW (125MSps)**
- 信噪比 (SNR) : **74.7dBFS (40MHz, 2.0Vp-p 输入范围)**
- 信噪比 (SNR) : **75.7dBFS (40MHz, 2.6Vp-p 输入范围)**
- 无杂散动态范围 (SFDR) : **83.5dBc (40MHz, 2.0Vp-p 输入范围)**
- 串行 **LVDS (ANSI-644, 默认)**、低功耗, 缩小范围选项 (类似于 **IEEE 1596.3**)
- **650MHz** 全功率模拟带宽
- **2Vp-p** 输入电压范围 (支持高达 **2.6Vp-p**)
- 串行端口控制

全芯片及单一通道省电模式

灵活的位定向

内置生成及用户自定义数字测试码

多芯片同步和时钟分频器

可编程输出时钟与数据对准

待机模式

2 应用场合

- 医疗超声和 **MRI**
- 高速成像
- 正交无线电接收机
- 分集无线电接收机
- 测试设备

3 产品特点

1. 小尺寸：一个封装中集成 4 个 ADC，节省空间。
2. 低功耗：每通道 180mW (125MSps，功率选项可调整)。
3. 数据时钟输出 (DCO) 的工作频率高达 320MHz，支持双倍数据速率 (DDR) 操作。
4. SPI 控制提供丰富灵活的特性，可满足各种特定系统的需求。

采用 48 脚 QFN 封装。

质量等级：军温级&企军标

器件信息 (1)

型号	封装	封装尺寸 (标称值)
TLX1584	QFN7X7-48	7.00mm×7.00mm

(1) 详细的订单型号说明，请参考数据表后的封装选项部分。

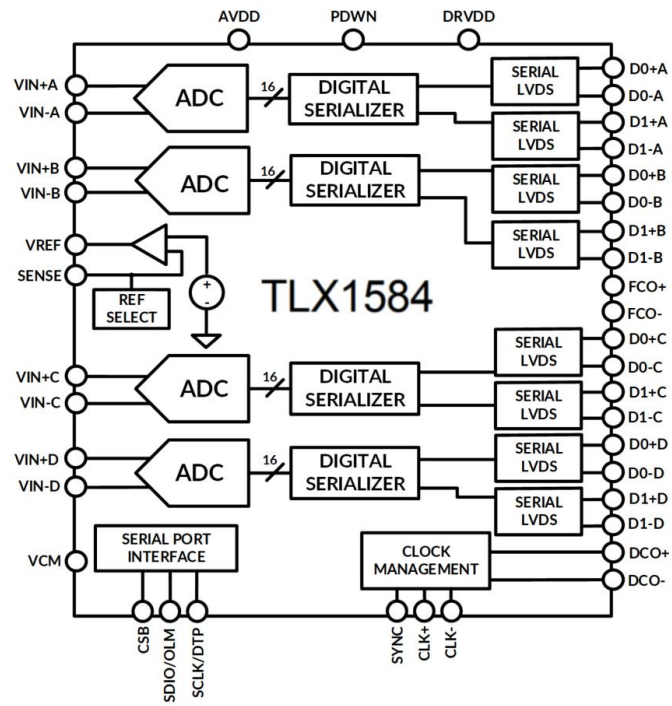


图 1. TLX1584 系统框图

目 录

1 主要性能	1
2 应用场合	1
3 产品特点	1
4 修订历史	3
5 封装和订单说明⁽¹⁾	4
6 概述	5
7 引脚配置与功能描述	6
8 规格参数	8
8.1 绝对最大额定参数	8
8.2 ESD 保护	8
8.3 热特性	8
8.4 ADC 直流特性	9
8.5 ADC 交流特性	11
8.6 数字规格	12
8.7 开关规格	13
8.8 时序规格	14
8.9 时序图	14
9 应用电路	16
9.1 模拟输入网络	16
9.2 时钟输入考虑	17
9.3 基准配置方式	18
9.4 数字输出	18
10 串行端口接口 (SPI)	20
10.1 使用 SPI 的配置	20
10.2 不使用 SPI 的配置	21
11 寄存器地址及默认值:	22
12 应用信息	24
12.1 设计指南	24
12.2 电源和接地建议	24
12.3 裸露焊盘散热块建议	24
12.4 VCM	24
12.5 RBIAS	24
12.6 基准电压源去耦	24
12.7 SPI 端口	24
13 封装规格尺寸	25

4 修订历史

注：以前版本的页码可能与当前版本的页码不同。

版本	更新日期	变更项目
A.0	2026/04/07	初始版

5 封装和订单说明⁽¹⁾

订单料号	封装类型	工作温度	丝印 ⁽²⁾	MSL ⁽³⁾	质量等级
JTLX1584YQD48	QFN7X7-48	-55°C ~125°C	TLX1584	MSL3	企军标
JTLX1584YQD48(W)	QFN7X7-48	-55°C ~125°C	TLX1584	MSL3	军温级
TLX1584YQD48	QFN7X7-48	-40°C ~85°C	TLX1584	MSL3	工业级

注意:

- (1) 该信息是当前版本的最新数据。这些数据如有更新，将及时更新到我司官网，恕不另行通知。
- (2) 丝印可能会有其他附加的代码，用于产品的内控追溯（包括数据代码和供应商代码）或者标志产地。
- (3) MSL，即根据 JEDEC 行业标准分类的湿度敏感等级。

6 概述

TLX1584 是一款 4 通道、16 位、125MSPS 模数转换器 (ADC)，内置片内采样保持电路，专门针对低成本、低功耗、小尺寸和易用性而设计。该产品的转换速率最高可达 125MSPS，具有杰出的动态性能与低功耗特性，适合比较重视小封装尺寸的应用。该 ADC 要求采用 1.8V 单电源供电以及 LVPECL/CMOS/LVDS 兼容型采样速率时钟信号，以便充分发挥其工作性能。无需外部基准电压源或驱动器件即可满足许多应用需求。该 ADC 会自动倍乘采样速率时钟，以便产生合适的 LVDS 串行数据速率。它提供一个数据时钟输出 (DCO) 用于在输出端捕获数据，以及一个帧时钟输出 (FCO) 用于发送新输出字节信号。它还支持独立关断各通道；禁用所有通道时，典型功耗低于 2mW。该 ADC 内置多种功能特性，可使器件的灵活性达到最佳、系统成本最低，例如可编程输出时钟与数据对准、生成数字测试码等。可获得的数字测试码包括内置固定码和伪随机码，以及通过串行端口接口 (SPI) 输入的用户自定义测试码。

TLX1584 采用符合 RoHS 标准的 48 引脚 LFCSP 封装，额定温度范围为 -55°C 至 +125°C。

7 引脚配置与功能描述

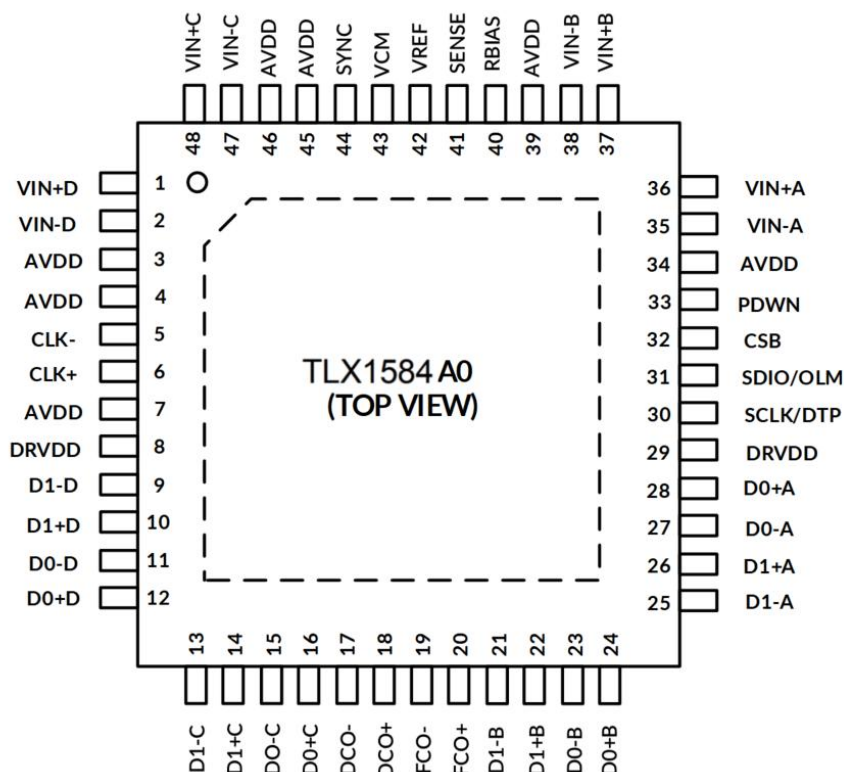


图 2.48 引脚 LFCSP 引脚配置, 顶视图

引脚功能

引脚编号	引脚名称	功能说明
0	AGND 裸露焊盘	模拟地，裸露焊盘。 封装底部的裸露热焊盘为器件提供模拟地。该焊盘必须与地相连，才能正常工作。
1	VIN+D	ADC D 模拟输入(+).
2	VIN-D	ADC D 模拟输入(-).
3, 4, 7, 34, 39, 45, 46	AVDD	1.8V 模拟电源引脚。
5,6	CLK-, CLK+	差分编码时钟。PECL、LVDS 或 1.8V CMOS 输入。
8,29	DRVDD	数字输出驱动器电源。
9,10	D1-D, D1+D	通道 D 数字输出。
11,12	D0-D, D0+D	通道 D 数字输出。
13, 14	D1-C, D1+C	通道 C 数字输出。
15, 16	D0-C, D0+C	通道 C 数字输出。
17,18	DCO-, DCO+	数据时钟输出。
19, 20	FCO-, FCO+	帧时钟输出。
21, 22	D1-B, D1+B	通道 B 数字输出。
23, 24	D0-B, D0+B	通道 B 数字输出。
25, 26	D1-A, D1+A	通道 A 数字输出。

27,28	D0-A, D0+A	通道 A 数字输出。
30	SCLK/DTP	SPI 时钟输入/数字测试码。
31	SDIO/OLM	SPI 数据输入和输出 (双向 SPI 数据)/输出通道模式。
32	CSB	SPI 片选信号。低电平有效使能;内置 30kΩ 上拉电阻。
33	PDWN	数字输入, 30kΩ 内部下拉电阻。 PDWN 高电平=关断器件。 PDWN 低电平=运行器件, 正常工作。
35	VIN-A	ADC A 模拟输入(-)。
36	VIN+A	ADC A 模拟输入(+)
37	VIN+B	ADC B 模拟输入(+)
38	VIN-B	ADC B 模拟输入(-)。
40	RBIAS	设置模拟电流偏置。连接到接地 10kΩ(1%容差)电阻。
41	SENSE	基准电压模式选择。
42	VREF	基准电压输入和输出引脚。
43	VCM	模拟输入共模电压。
44	SYNC	数字输入。时钟分频器的 SYNC 输入。
47	VIN-C	ADC C 模拟输入(-)。
48	VIN+C	ADC C 模拟输入(+)

8 规格参数

8.1 绝对最大额定参数

		最小值	最大值	单位
电源电压	(AVDD, DRVDD) 至 AGND	-0.3	2	V
输入电压	(VIN+x、VIN -x、CLK+、CLK -、SCLK/DTP、SDIO/OLM、CSB、SYNC、PDWN、VREF、SENSE、RBIAS)	-0.3	2	
输出电压	(D0±x、D1±x、DCO+、DCO-、FCO+、FCO-)	-0.3	2	
温度	最大结温 $T_{J\ MAX}$		150	°C
	工作温度范围	-55	125	
	存储温度范围	-65	150	

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

8.2 ESD 保护



带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品能够通过测试，但在遇到高能量 ESD 时，器件可能会损坏。因此，应当采取适当的 ESD 防范措施，以避免器件性能下降或功能丧失。

8.3 热特性

LFCSP 封装的裸露焊盘必须焊接到接地层。将裸露焊盘焊接到 PCB 上可提高焊接可靠性，从而最大限度发挥封装的热性能。 θ_{JA} 典型值的测试条件为带实接地层的四层 PCB，典型值为 23.7°C/W。气流可改善散热，从而降低 θ_{JA} 。另外，直接与封装引脚接触的金属，包括金属走线、通孔、接地层、电源层，可降低 θ_{JA} 。

8.4 ADC 直流特性

除另有说明，AVDD=1.8 V、DRVDD=1.8 V、最大采样速率、VIN=-1.0 dBFS 差分输入、1.0 V 内部基准电压。

参数	温度	最小值	典型值	最大值	单位
分辨率			16		位
无失码	25°C		保证		
失调误差	25°C		-0.3		%FSR
失调匹配	25°C		+0.2		%FSR
增益误差	25°C		-5		%FSR
增益匹配	25°C		1.1		%FSR
微分非线性 (DNL)	25°C		TBD		LSB
积分非线性 (INL)	25°C		TBD		LSB
温度漂移					
失调误差	25°C		3.5		ppm/°C
内部基准电压					
输出电压 (1V 模式)	25°C		1		V
负载调整率@1mA (VREF=1V)	25°C		2		mV
输入电阻	25°C		7.5		kΩ
模拟输入					
输入范围, VREF=1V	25°C		2		Vp-p
共模电压	25°C		0.9		V
共模范围	25°C	0.5		1.3	V
共模差分输入电阻	25°C		2.6		kΩ
共模差分输入电容	25°C		7		pF
电源/ 电压电流					
AVDD	25°C		1.8		V
DRVDD	25°C		1.8		V
I _{AVDD} ¹	25°C		300		mA
I _{DRVDD} (ANSI-644模式) ¹	25°C		103		mA
I _{DRVDD} (缩小范围模式) ¹	25°C		87		mA
功耗					
直流输入	25°C		605		mW
正弦波输入 (四通道, 包括输出驱动器, ANSI-644模式) ¹	25°C		725		mW
正弦波输入 (四通道, 包括输出驱动器, 缩小范围模式) ¹	25°C		697		mW
待机 ²	25°C		260		mW
掉电	25°C		2		mW

1 测量条件为: 低输入频率、满量程正弦波。

2 待机功耗的测量条件为: 直流输入、CLK 引脚无动作(设为 AVDD 或 AGND)。

ADC 直流特性

除另有说明, AVDD=1.8 V、DRVDD=1.8 V、最大采样速率、VIN=-1.0 dBFS 差分输入、1.3 V 内部基准电压。

参数	温度	最小值	典型值	最大值	单位
分辨率			16		位
无失码	25°C		保证		
失调误差	25°C		-0.3		%FSR
失调匹配	25°C		+0.2		%FSR
增益误差	25°C		-5		%FSR
增益匹配	25°C		1.1		%FSR
微分非线性 (DNL)	25°C		TBD		LSB
积分非线性 (INL)	25°C		TBD		LSB
温度漂移					
失调误差	25°C		3.5		ppm/°C
内部基准电压					
输出电压 (1.3V 可编程模式)	25°C		1.3		V
负载调整率@1mA (VREF=1.3V)	25°C		6.5		mV
输入电阻	25°C		7.5		kΩ
模拟输入					
输入范围, VREF=1.3V	25°C		2.6		Vp-p
共模电压	25°C		0.9		V
共模范围	25°C	0.6		1.3	V
共模差分输入电阻	25°C		2.6		kΩ
共模差分输入电容	25°C		7		pF
电源/ 电压电流					
AVDD	25°C		1.8		V
DRVDD	25°C		1.8		V
I _{AVDD} ¹	25°C		305		mA
I _{DRVDD} (ANSI-644模式) ¹	25°C		103		mA
I _{DRVDD} (缩小范围模式) ¹	25°C		87		mA
功耗					
直流输入	25°C		605		mW
正弦波输入 (四通道, 包括输出驱动器, ANSI-644模式)	25°C		735		mW
正弦波输入 (四通道, 包括输出驱动器, 缩小范围模式)	25°C		706		mW
待机 ²	25°C		260		mW
掉电	25°C		2		mW

1 测量条件为: 低输入频率、满量程正弦波。

2 待机功耗的测量条件为: 直流输入、CLK 引脚无动作(设为 AVDD 或 AGND)。

8.5 ADC 交流特性

除另有说明，AVDD=1.8 V、DRVDD=1.8 V、最大采样速率、VIN=-1.0 dBFS 差分输入满量程输入为 2 V_{p-p}、1.0 V 内部基准电压。

参数	温度	最小值	典型值	最大值	单位
信噪比 (SNR)					
fin=40MHz	25°C		74.7		dBFS
信纳比 (SNDR)					
fin=40MHz	25°C		74.2		dBFS
有效位数 (ENOB)					
fin=40MHz	25°C		12.0		位
无杂散动态范围 (SFDR)					
fin=40MHz	25°C		83.5		dBc
最差谐波（二次或三次）					
fin=40MHz	25°C		83.5		dBc
最差其他谐波或杂散					
fin=40MHz	25°C		89.9		dBc
模拟输入带宽	25°C		650		MHz

1 串扰的测量条件：一个通道输入参数为-1dBFS、70MHz 信号且另一个通道上无输入信号。

2 超量程条件定义为输入高于满量程范围 3 dB。

ADC 交流特性

除另有说明，AVDD=1.8 V、DRVDD=1.8 V、最大采样速率、VIN=-1.0 dBFS 差分输入满量程输入为 2.6 V_{p-p}、1.0 V 内部基准电压。

参数	温度	最小值	典型值	最大值	单位
信噪比 (SNR)					
fin=40MHz	25°C		75.7		dBFS
信纳比 (SNDR)					
fin=40MHz	25°C		75.2		dBFS
有效位数 (ENOB)					
fin=40MHz	25°C		12.2		位
无杂散动态范围 (SFDR)					
fin=40MHz	25°C		81.6		dBc
最差谐波（二次或三次）					
fin=40MHz	25°C		81.6		dBc
最差其他谐波或杂散					
fin=40MHz	25°C		83.5		dBc
模拟输入带宽	25°C		650		MHz

1 串扰的测量条件：一个通道输入参数为-1dBFS、70MHz 信号且另一个通道上无输入信号。

2 超量程条件定义为输入高于满量程范围 3 dB。

8.6 数字规格

除另有说明，AVDD=1.8 V、DRVDD=1.8 V、典型采样速率、VIN=-1.0 dBFS 差分输入、1.0 V 内部基准电压。

参数	温度	最小值	典型值	最大值	单位
差分时钟输入 (CLK+/-)					
逻辑兼容			CMOS/LVDS/LVPECL		
差分输入电压 ¹	25°C	0.2		3.6	V _{p-p}
输入电压范围	25°C	AGND-0.2		AVDD+0.2	V
输入共模范围	25°C	0.9		1.4	V
输入电阻	25°C		15		kΩ
输入电容	25°C		4		pF
逻辑输入(PDWN、SYNC、SCLK)					
逻辑 1 电压	25°C		AVDD		V
逻辑 0 电压	25°C		0		V
输入电阻	25°C		30		kΩ
输入电容	25°C		2		pF
逻辑输入(CSB)					
逻辑 1 电压	25°C		AVDD		V
逻辑 0 电压	25°C		0		V
输入电阻	25°C		26		kΩ
输入电容	25°C		2		pF
逻辑输入(SDIO)					
逻辑 1 电压	25°C		AVDD		V
逻辑 0 电压	25°C		0		V
输入电阻	25°C		26		kΩ
输入电容	25°C		5		pF
逻辑输出(SDIO) ²					
逻辑 1 电压 (I _{OH} =800μA)	25°C		1.79		V
逻辑 0 电压 (I _{OL} =50μA)	25°C			0.05	V
数字输出 (D0±、D1±) , ANSI-644					
逻辑兼容			LVDS		
差分输出电压 (V _{OD})	25°C		350		mV
输出偏移电压 (V _{OS})	25°C		1.25		V
输出编码 (默认)			二进制补码		
数字输出 (D0±、D1±) 小摆幅模式					
逻辑兼容			LVDS		
差分输出电压 (V _{OD})	25°C		200		mV
输出偏移电压 (V _{OS})	25°C		1.25		V
输出编码 (默认)			二进制补码		

¹ 仅针对 LVDS 和 LVPECL。

² 针对共用同一连接的 13 个 SDIO/OLM 引脚。

8.7 开关规格

除另有说明，AVDD=1.8 V、DRVDD=1.8 V、典型采样速率、VIN=-1.0 dBFS 差分输入、1.0 V 内部基准电压。

参数	温度	最小值	典型值	最大值	单位
时钟输入参数					
输入时钟速率	25°C	20		1000	MHz
转换速率	25°C	20		125	MHz
时钟高电平脉冲宽度 (t_{EH})	25°C		4		ns
时钟低电平脉冲宽度 (t_{EL})	25°C		4		ns
数据输出参数 ¹					
传输延迟 (t_{PD})	25°C		3.4		ns
上升时间 (t_R) (20%至80%)	25°C		300		ps
下降时间 (t_F) (20%至80%)	25°C		300		ps
FCO 传输延迟 (t_{FCO})	25°C		3.4		ns
DCO 传输延迟 (t_{CPD}) ²	25°C		$t_{FCO} + (t_{SAMPLE}/16)$		ns
DCO 至数据延迟 (t_{DATA}) ²	25°C	$(t_{SAMPLE}/16)-300$	$t_{FCO} + (t_{SAMPLE}/16)$	$(t_{SAMPLE}/16)+300$	ps
DCO 至FCO延迟 (t_{FRAME}) ²	25°C	$(t_{SAMPLE}/16)-300$	$t_{FCO} + (t_{SAMPLE}/16)$	$(t_{SAMPLE}/16)+300$	ps
通道延迟 (t_{LD})	25°C		140		ps
数据至数据偏斜 ($t_{DATA-MAX} - t_{DATA-MIN}$)	25°C		±50	±200	ps
唤醒时间 (待机)	25°C		250		ns
唤醒时间 (省电模式) ³	25°C		375		μs
流水线延迟	25°C		16		时钟周期
孔径					
孔径延迟 (t_A)	25°C		1		ns
孔径抖动 (t_j)	25°C		135		fs rms
超范围恢复时间	25°C		1		时钟周期

1 可通过 SPI 进行调整。转换速率指分频之后的时钟速率。

2 $t_{SAMPLE}/16$ 基于两个 LVDS 数据通道的位数。 $t_{SAMPLE} = 1/f_S$ 。

3 唤醒时间指从省电模式返回正常工作模式所需的时间。

8.8 时序规格

参数	条件	最小值	典型值	最大值	单位
同步时序要求					
t_{SSYNC}	SYNC 至 CLK+ 建立时间的上升沿		0.24		ns
t_{HSYNC}	SYNC 至 CLK+ 保持时间的上升沿		0.4		ns
SPI 时序要求					
t_{DS}	数据与 SCLK 上升沿之间的建立时间	2			ns
t_{DH}	数据与 SCLK 上升沿之间的保持时间	2			ns
t_{CLK}	SCLK 周期	40			ns
t_s	CSB 与 SCLK 之间的建立时间	2			ns
t_h	CSB 与 SCLK 之间的保持时间	2			ns
t_{HIGH}	SCLK 高电平脉冲宽度	10			ns
t_{LOW}	SCLK 低电平脉冲宽度	10			ns
t_{EN_SDIO}	相对于 SCLK 下降沿, SDIO 引脚从输入状态切换到输出状态所需时间	10			ns
t_{DIS_SDIO}	相对于 SCLK 上升沿, SDIO 引脚从输出状态切换到输入状态所需时间	10			ns

8.9 时序图

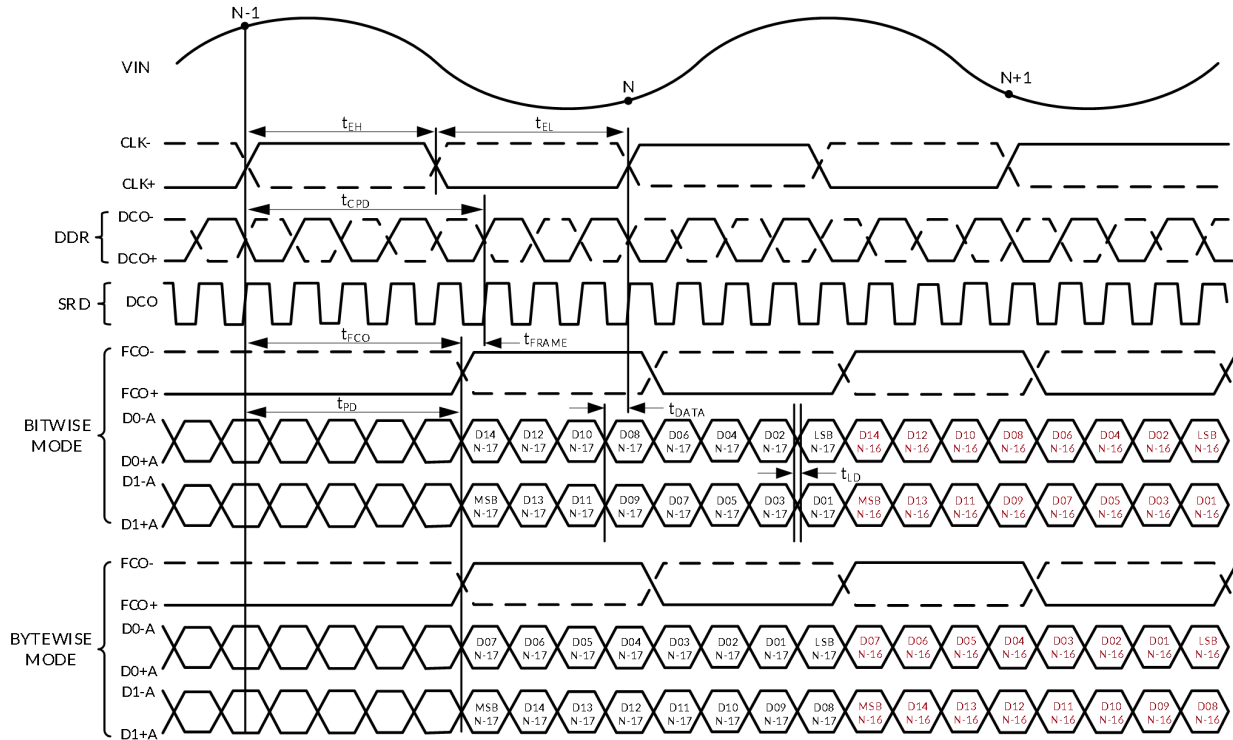


图 3. 16-Bit DDR/SDR、双通道、1×帧模式(默认)

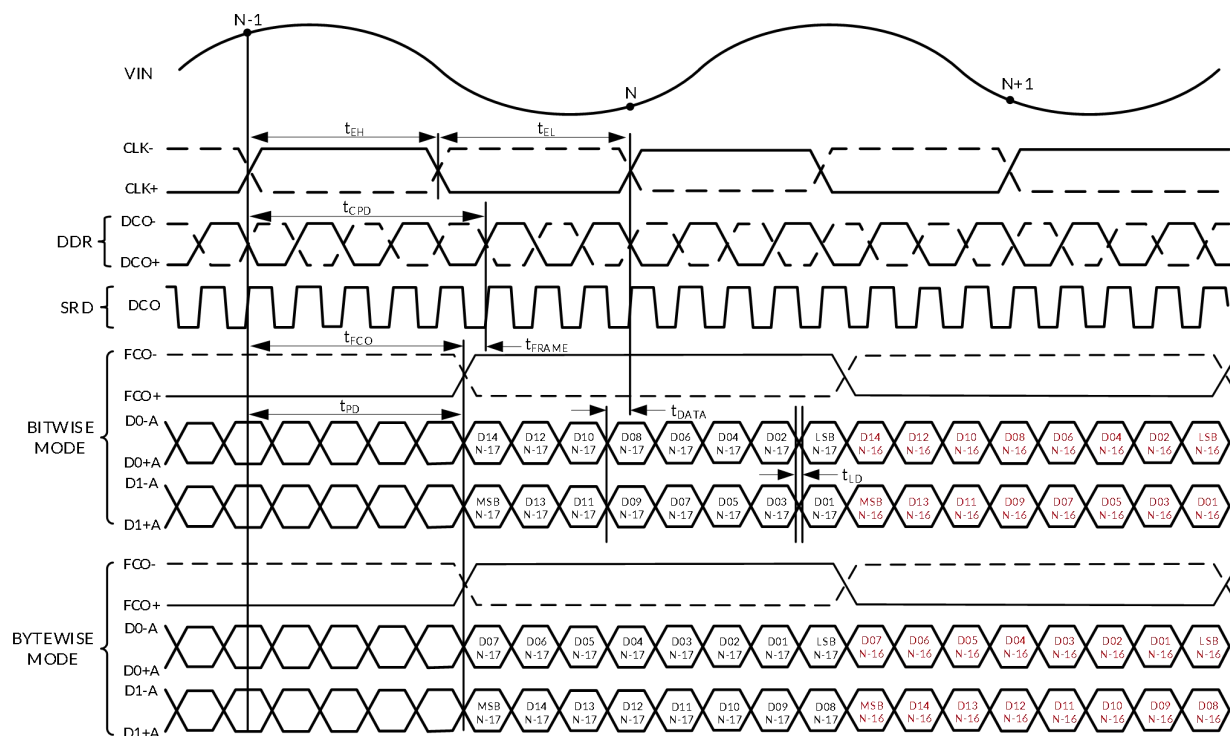


图 4. 16-Bit DDR/SDR、双通道、2×帧模式

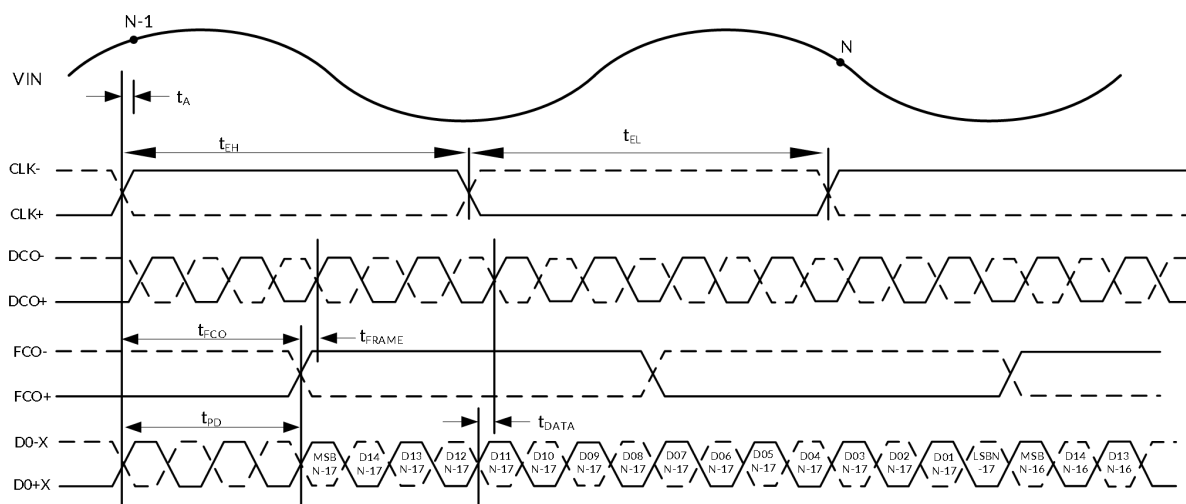


图 5. 逐字 DDR、单通道、1×帧、16-Bit 输出模式

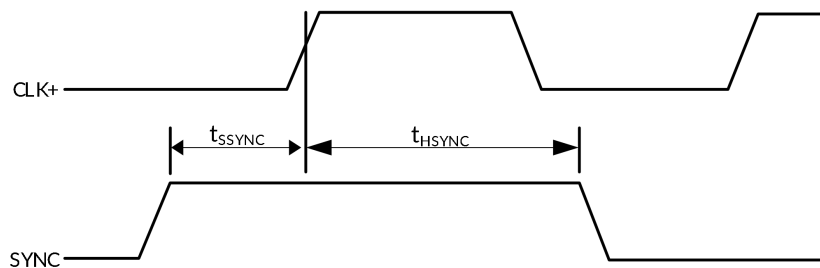


图 6. SYNC 输入时序要求

9 应用电路

TLX1584 输入信号、输入时钟、外部直流引脚等外围器件的典型应用电路如下。

9.1 模拟输入网络

TLX1584 模拟输入端无内部直流偏置。因此，在交流耦合应用中，用户必须提供外部偏置。为能够获得最佳性能，建议用户对器件进行设置，使得 $V_{CM} = AVDD/2$ ；但器件在更宽的范围内都能获得合理的性能，芯片通过 VCM 引脚提供片内共模基准电压。必须用一个 $0.1\mu F$ 电容对 VCM 引脚旁路到地。有多种有源或无源方法可以驱动 TLX1584，不过，通过差分方式驱动模拟输入可实现最佳性能。在基带应用中，利用差分双巴伦配置驱动 TLX1584 能够为 ADC (见图 7) 提供出色的性能和灵活的接口。在 SNR 为关键参数的应用中，因为大部分放大器的噪声性能不足以实现 TLX1584 的真正性能，所以输入配置中建议采用差分变压器耦合 (见图 8)。无论使用何种配置，分流电容值 C 均取决于输入频率，并且可能需要降低电容值或去掉该分流电容。不建议以单端方式驱动 TLX1584 输入。

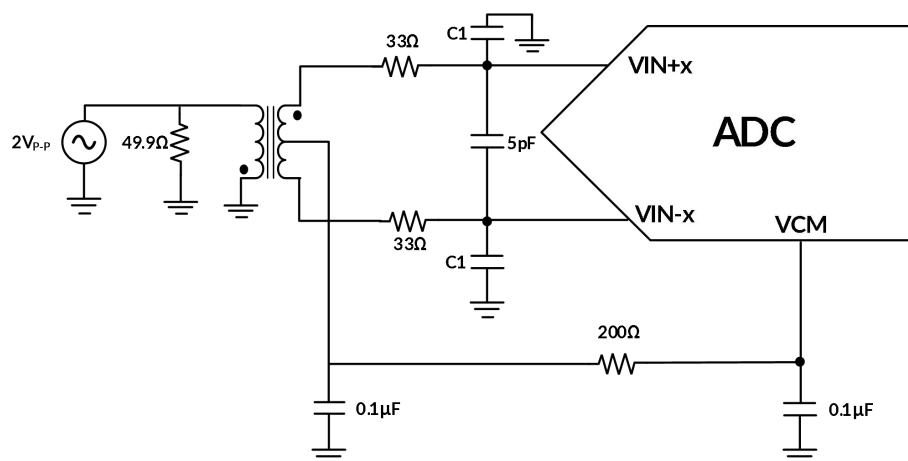


图 7. 差分变压器耦合配置

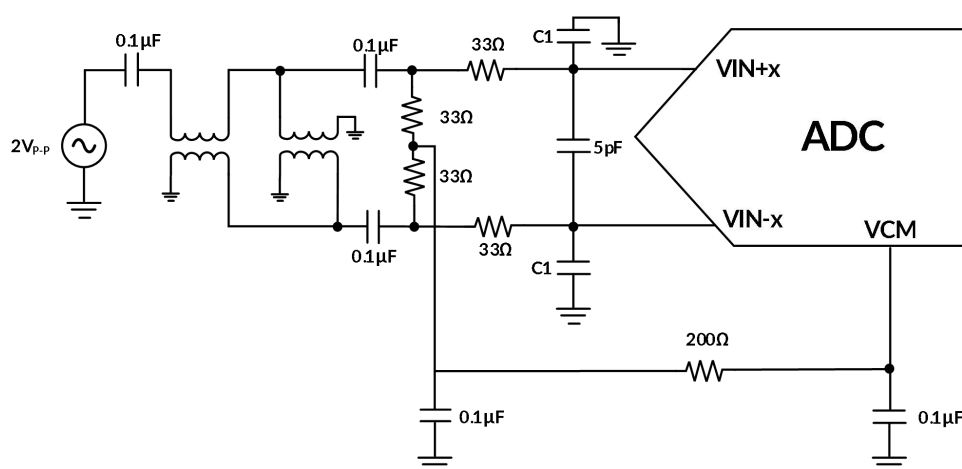


图 8. 差分双巴伦输入配置

9.2 时钟输入考虑

为了充分发挥芯片的性能，应利用一个差分信号作为 TLX1584 采样时钟输入端 (CLK+和 CLK-) 的时钟信号。通常，应使用一个变压器或两个电容器将该信号交流耦合到 CLK+ 引脚和 CLK-引脚内。CLK+和 CLK-引脚有内部偏置 (见图 9)，无需外部偏置。如果这些输入悬空，应将 CLK- 引脚拉低以防止杂散时钟。

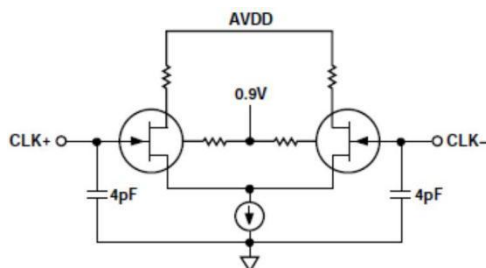


图 9. 等效时钟输入电路

TLX1584 的时钟输入结构非常灵活。CMOS、LVDS、LVPECL 或正弦波信号均可作为其时钟输入信号。无论采用哪种信号，都必须考虑到时钟源抖动。

图 10 和图 11 显示两种为 TLX1584 提供时钟信号的首选方法 (时钟速率可达 1000MHz)。利用射频巴伦或射频变压器，可将低抖动时钟源的单端信号转换成差分信号。对于 125MHz 至 1000MHz 的时钟频率，建议采样射频巴伦配置；对于 10MHz 至 200MHz 的时钟频率，建议采样射频变压器配置。跨接在变压器/巴伦次级上的背对背肖特基二极管可以将输入到 ADC 中的时钟信号限制为约差分 0.8V 峰峰值。这样，既可以防止时钟的大电压摆幅馈通至 ADC 的其它部分，还可以保留信号的快速上升和下降时间，这一点对低抖动性能来说非常重要。

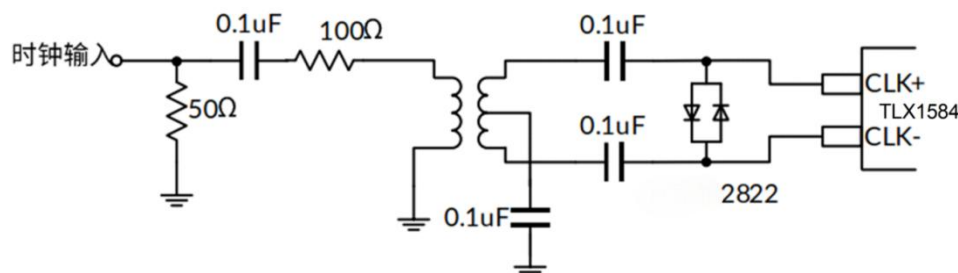


图 10. 变压器耦合差分时钟 (频率可达 200MHz)

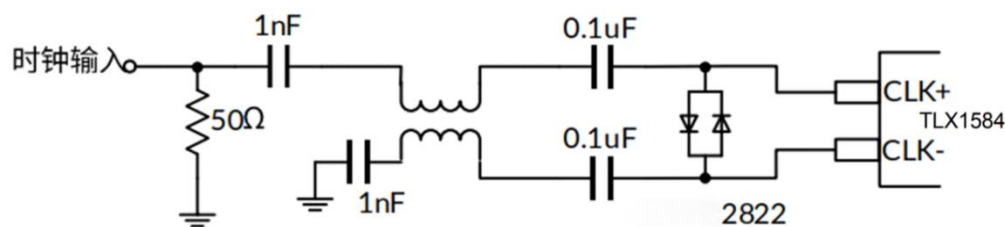


图 11. 巴伦耦合差分时钟 (频率可达 1000MHz)

9.3 基准配置方式

TLX1584 内置稳定、精确的基准电压源。VREF 可以利用内部 1.0V 基准电压、外部施加的 1.0V 至 1.3V 基准电压或施加到内部基准电压的外部电阻来配置，产生根据用户选择的基准电压。VREF 引脚应通过外部一个低 ESR 0.1μF 陶瓷电容和一个低 ESR 1.0μF 电容的并联组合旁路至地。TLX1584 的内置比较器可检测出 SENSE 引脚的电压，从而将基准电压配置成三种不同的模式见表 1。如果 SENSE 引脚接地，则基准放大器开关在内部将 VREF 设为 1.0V (对于 2.0V 峰峰值满量程输入)。在这种模式下，SENSE 接地，也可以通过 SPI 端口调整满量程，详见相应的 SPI 寄存器。如果 SENSE 与一个外部电阻分压器相连 (如图 25)，则 VREF 输出端电压的计算公式如下：

$$V_{REF} = 0.5 \times \left(1 + \frac{R2}{R1}\right)$$

其中：

$$7k\Omega \leq (R1 + R2) \leq 10k\Omega$$

无论芯片使用内部基准电压还是外部基准电压，ADC 的电压输入范围始终是基准电压引脚 (VREF) 电压的两倍。

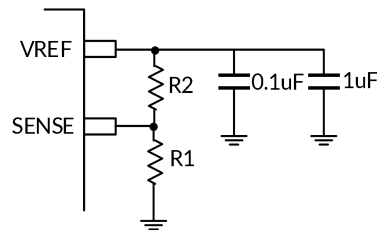


图 12. 可编程基准电压模式

表 1. 基准电压配置汇总

所选模式	SENSE 电压	相应的 VREF (V)	相应的查分范围 (Vpp)
固定外部基准电压	AVDD	1.0 至 1.3, 施加于外部 VREF 引脚	2.0 至 2.6
可编程基准电压	连接外部 R	$0.5 \times \left(1 + \frac{R2}{R1}\right)$	$2 \times VREF$
内部固定基准电压	AGND 至 0.2V	1.0	2.0

9.4 数字输出

采用默认设置上电时，TLX1584 差分输出符合 ANSI-644 LVDS 标准。通过 SPI 接口，可以将它更改为低功耗、减少信号选项 (类似于 IEEE 1596.3 标准)。LVDS 驱动器电流来自芯片，并将各输出端的输出电流设置为标称值 3.5mA。LVDS 接收器输入端有一个 100Ω 差分端接电阻，因此接收器摆幅标称值为 350mV (或 700mVp-p 差分)。在缩小范围模式下工作时，输出电流降至 2mA，接收器在 100Ω 端接电阻上的摆幅为 200mV (或 400 mVp-p 差分)。TLX1584 LVDS 输出便于与定制 ASIC 和 FPGA 中的 LVDS 接收器接口，从而在高噪声环境中实现出色的开关性能。推荐使用单一点到点网络拓扑结构，并将 100Ω 端接电阻尽可能靠近接收器放置。如果没有远端接收器端接电阻，或者差分走线布线不佳，可能会导致时序错误。为避免产生时序错误，建议走线长度不要超过 24 英寸，差分输出走线应尽可能彼此靠近且长度相等。

输出数据格式默认为二进制补码。表 2 给出了一个输出编码格式示例。

表 2. 数据输出格式

输入 (V)	条件	偏移二进制模式	二进制补码模式	超量程
VIN+ - VIN-	$< -V_{REF} - 0.5LSB$	0000 0000 0000 0000	1000 0000 0000 0000	1
VIN+ - VIN-	$= -V_{REF}$	0000 0000 0000 0000	1000 0000 0000 0000	0
VIN+ - VIN-	$=0$	1000 0000 0000 0000	0000 0000 0000 0000	0
VIN+ - VIN-	$=+V_{REF} - 1LSB$	1111 1111 1111 1111	0111 1111 1111 1111	0
VIN+ - VIN-	$> +V_{REF} - 0.5LSB$	1111 1111 1111 1111	0111 1111 1111 1111	1

10 串行端口接口 (SPI)

TLX1584 串行端口接口 (SPI) 允许用户利用 ADC 内部的一个结构化寄存器空间来配置转换器，以满足特定功能和操作的需要。SPI 具有灵活性，可根据具体的应用进行定制。通过串行端口，可访问地址空间、对地址空间进行读写。存储空间以字节为单位进行组织，并且可以进一步细分成多个区域，如存储器映射部分所述。

10.1 使用 SPI 的配置

该 ADC 的 SPI 由三部分组成: SCLK 引脚、SDIO 引脚和 CSB 引脚 (见表 3)。SCLK (串行时钟) 引脚用于同步 ADC 的读出和写入数据。SDIO (串行数据输入/输出) 双功能引脚允许将数据发送至内部 ADC 存储器映射寄存器或从寄存器中读出数据。CSB (片选信号) 引脚是低电平有效控制引脚，它能够使能或者禁用读写周期。

表 3. SCLK、SDIO 外部引脚模式选择

引脚	功能
SCLK	串行时钟。串行移位时钟输入，用来同步串行接口。
SDIO	串行数据输入/出。通常用作输入或输出，取决于发送的指令和时序帧中的相对位置。
CSB	片选信号。低电平有效控制信号，用来选通读写周期。

CSB 的下降沿与 SCLK 的上升沿共同决定帧的开始。图 13 为串行时序图范例。

CSB 可以在多种模式下工作。当 CSB 始终维持在低电平状态时，器件一直处于使能状态；这称作流。CSB 可以在字节之间停留在高电平，这样可以允许其他外部时序。CSB 引脚拉高时，SPI 功能处于高阻态模式。在该模式下，可以开启 SPI 引脚的第二功能。

在一个指令周期内，传输一条 16 位指令。在指令传输后将进行数据传输，数据长度由 W0 位和 W1 位共同决定。除了字长，指令周期还决定串行帧是读操作还是写操作，从而通过串行端口对芯片编程以及读取片上存储器内的数据。多字节串行数据传输帧中第一个字节的第一位指示发出的是读命令还是写命令。如果指令是回读操作，则执行回读操作会使串行数据输入/输出 (SDIO) 引脚的数据传输方向，在串行帧的一定位置由输入改为输出。所有数据均由 8 位字组成。数据可通过 MSB 优先模式或 LSB 优先模式进行发送。芯片上电后，默认采用 MSB 优先的方式，可以通过 SPI 端口配置寄存器来更改数据发送方式。

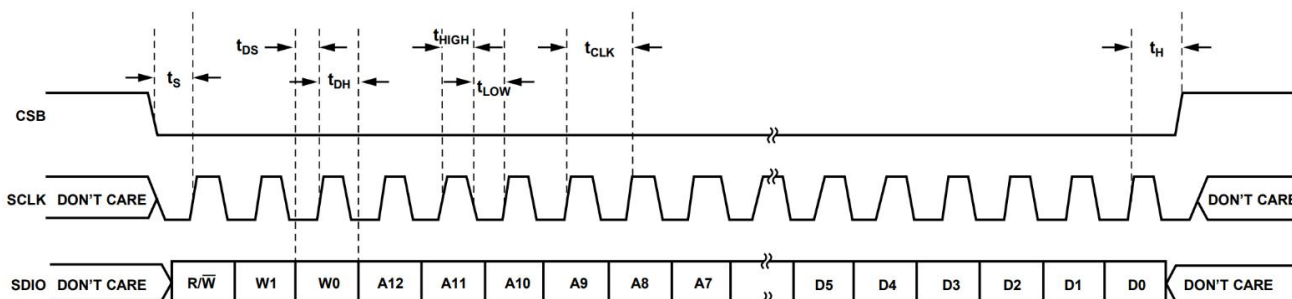


图 13. SPI 串行端口接口时序

10.2 不使用 SPI 的配置

在不使用 SPI 控制寄存器接口的应用中，SDIO/OLM 引脚、SCLK/DTP 引脚和 PDWN 引脚用作独立的 CMOS 兼容控制引脚。当器件上电后，假设用户希望将这些引脚用作静态控制线，分别控制输出通道模式、数字测试码和断电特性。在此模式下，CSB 引脚应与 AVDD 相连，以禁用串行端口接口。

当器件处于 SPI 模式时，PDWN 引脚 (若使能) 仍然有效。为通过 SPI 控制省电，应将 PDWN 引脚设为默认状态。

11 寄存器地址及默认值:

TLX1584 使用 3 线式接口和 16 位寻址, 因此, 寄存器 0x00 的位 0 和位 7 置 0, 位 3 和位 4 置 1。
当寄存器 0x00 的位 5 置 1 时, SPI 进入软复位, 所有用户寄存器恢复默认值, 位 2 自动清 0。

表 4. 寄存器列表

地址 A7-A0 HEX	寄存器 名称	默认值	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	注释	
芯片配置寄存器												
0x00	SPI 端 口配置	18	0	LSB first	Soft reset	1	1	Soft reset	LSB first	0	半字节间 镜像	
0x01	芯片 ID	32	8 位芯片 ID (TLX1584=0XB5)								只读;	
0x02	速度等 级	00		速度等级 ID 110 = 125M							只读; 用来区分 器件等级	
通道索引和传送寄存器												
0x05	通道索 引	3F	0	0	ch_DCO	ch_FCO	ch_D	ch_C	ch_B	ch_A	通道选择	
0xFF	传送	00	0	0	0	0	0	0	0	传送	传送控制	
ADC 功能												
0x08	功耗模式	00	0	0	外部掉 电引脚 功能 0=掉电 1=待机	0	0	0	00=正常工作 01=完全掉电 10=待机 11=复位		决定芯片 的一般工作 模式	
0x09	全局时钟	01	0	0	0	0	0	0	0	占空比 稳定器	打开或关闭 占空比稳定 器。	
0x0B	时钟分频	00	0	0	0	0	0	000=1, 001=2, 010=3, 011=4, 100=5, 101=6, 110=7, 111=8		时钟分频		
0x0D	测试模式	00	User input test mode<1:0>					Output test mode<3:0>				
0x10	失调调整	00	offset_code<7:0>, 失调调整以 LSB 为单位, 从+127 到-128 (二进制补码格式)									可见
0x14	输出模式	03	0	LVDS_ option	0	0	0	output_ inv (local)	1	output_ format	可见	
0x15	输出调整	00	0	output driver termination<1:0>			0	0	0	0	output_ drive	可见
0x16	输出相位	06	0	div_phase<2:0>				output_clock_phase<3:0>			可见	
0x18	VREF 调 整	04	0	0	0	0	0	ref_sel<2:0>			可见	
0x19	USER_PA TT1_LSB	00	B7	B6	B5	B4	B3	B2	B1	B0	可见	
0x1A	USER_PA TT1_MSB	00	B15	B14	B13	B12	B11	B10	B9	B8	可见	
0x1C	USER_PA TT2_MSB	00	B15	B14	B13	B12	B11	B10	B9	B8	可见	

0x21	Serial_output_ctrl	30	LVDS_LSB_first	data_stream<2:0>			0	en_frame2	serial_number<1:0>		可见
0x22	Channel_status	00	0	0	0	0	0	0	div_resett_2xfra me	channel_pd	可见
0x100	Sample_rate_override	00	0	SRO_enable	0	0	0	sample_rate<2:0>			可见
0x101	SDIO_pull_d	0	0	0	0	0	0	0	0	SDIO_pulld	可见
0x102	VCM_pd	0	0	0	0	VCM_pd	0	0	0	0	可见
0x109	Sync_ctrl	00	0	0	0	0	0	0	Sync_next_only	Enable sync	可见

12 应用信息

12.1 设计指南

在进行 TLX1584 系统设计和布局之前，建议设计者先熟悉下述设计指南，其中讨论了某些引脚所需的特殊电路连接和布局布线要求。

12.2 电源和接地建议

建议使用两个独立的 1.8 V 电源为 TLX1584 供电：一个用于模拟端 (AVDD)，一个用于数字输出端 (DRVDD)。对于 AVDD 和 DRVDD，应使用多个不同的去耦电容以支持高频和低频。去耦电容应放置在接近 PCB 入口点和接近器件引脚的位置，并尽可能缩短走线长度。

TLX1584 仅需要一个 PCB 接地层。对 PCB 模拟、数字和时钟模块进行合理的去耦和巧妙的分隔，可以轻松获得最佳的性能。

12.3 裸露焊盘散热块建议

为获得最佳的 TLX1584 电气性能和热性能，必须将 ADC 底部的裸露焊盘连接至模拟地 (AGND)。PCB 上裸露的连续铜层应与 TLX1584 的裸露焊盘 (引脚 0) 匹配。铜层上应有多个过孔，获得尽可能低的热阻路径以通过 PCB 底部进行散热。这些过孔应填满焊料或插入插针。为了最大化地实现 ADC 与 PCB 之间的覆盖与连接，应在 PCB 上覆盖一个丝印层，以便将 PCB 上的连续铜平面划分为多个均等的部分。这样，在回流焊过程中，可在 ADC 与 PCB 之间提供多个连接点，而一个连续的、无分割的平面只能保证一个连接点。

12.4 VCM

VCM 引脚应通过一个 0.1 μ F 电容去耦至地。

12.5 RBIAS

TLX1584 要求用户将一 10k Ω 电阻置于 RBIAS 引脚与地之间。该电阻用来设置 ADC 内核的主基准电流，该电阻容差至少为 1%。

12.6 基准电压源去耦

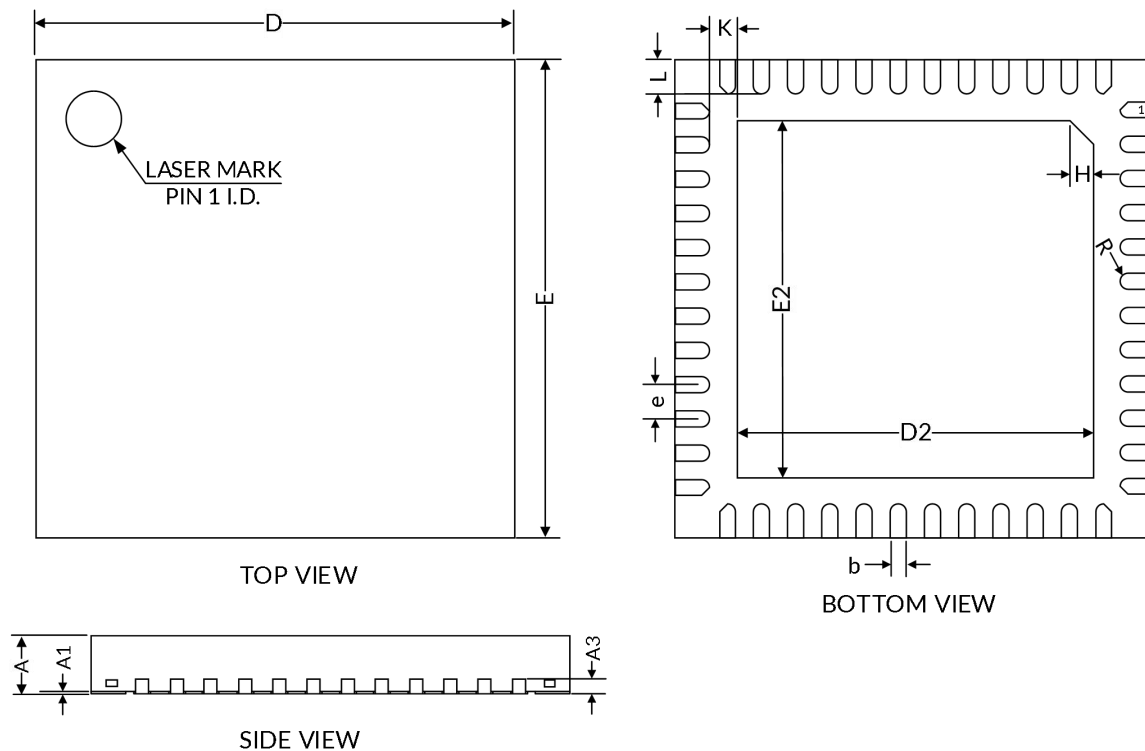
VREF 引脚应通过外部一个低 ESR 0.1 μ F 陶瓷电容和一个低 ESR 1.0 μ F 电容的并联去耦至地。

12.7 SPI 端口

当需要转换器充分发挥其全部动态性能时，应禁用 SPI 端口。通常 SCLK 信号、CSB 信号和 SDIO 信号与 ADC 时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上 SPI 总线，则可能需要在该总线与 TLX1584 之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入端发生变化。

13 封装规格尺寸

QFN7X7-48⁽⁴⁾



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A ⁽¹⁾	0.800	0.900	0.032	0.035
A1	0.000	0.050	0.000	0.002
A3	0.203 REF ⁽²⁾		0.008 REF ⁽²⁾	
b	0.180	0.280	0.007	0.011
D ⁽¹⁾	6.900	7.100	0.272	0.280
E ⁽¹⁾	6.900	7.100	0.272	0.280
D2	5.100	5.300	0.201	0.209
E2	5.100	5.300	0.201	0.209
e	0.500 BSC ⁽³⁾		0.020 BSC ⁽³⁾	
K	0.200	-	0.008	-
L	0.450	0.550	0.018	0.022
H	0.350 REF ⁽²⁾		0.014 REF ⁽²⁾	
R	0.090	-	0.004	-

注意:

1. 不包括每边最大 0.075 毫米的塑料或金属突起。
2. REF 是 Reference 的缩写。
3. BSC(中心之间的基本间距), “基本”间距是标称的。
4. 此图纸如有更改, 恕不另行通知。