

无锡泰连芯科技有限公司

TLX90CR287, TLX90CR288
3.3V 上升沿数据选通 LVDS
28 位通道链路-85MHz

2026 年 07 月

3.3V 上升沿数据选通 LVDS

28 位通道链路-85MHz

1 主要性能

- 支持 20-85MHz 时钟
- 接收输出时钟为 50% 占空比
- 低功耗
- $\pm 1V$ 共模范围
- 窄型总线设计可减小线缆尺寸和成本
- 最高可达 2.38Gbps 吞吐量
- 最高可达 297.5MB/s 的带宽
- 摆幅 345mV 的低电磁干扰 LVDS 器件
- PLL 无需外部器件
- 上升沿数据选通
- 符合 TIA/EIA-644 LVDS 标准
- TSSOP-56 封装
- 工作温度范围: $-55^{\circ}\text{C} \sim 125^{\circ}\text{C}$

3 产品介绍

TLX90CR287 发射器可将 28 位 LVCMOS/LVTTL 数据转换为 4 路 LVDS (低电压差分信号) 数据流, 同时通过第 5 条 LVDS 链路, 与这 4 路数据流并行传输一路锁相发射时钟。在发射时钟的每一个周期内, 28 位输入数据都会被完成采样并传输。

TLX90CR288 接收器可将 4 路 LVDS 数据流还原为 28 位 LVCMOS/LVTTL 数据。在 85MHz 的发射时钟频率下, 单路 LVDS 通道的 28 位 TTL 数据传输速率可达 595Mbps; 采用 85MHz 时钟时, 芯片整体数据吞吐量为 2.38Gbit/s (297.5MB/s)。

该芯片组是解决宽总线高速 TTL 接口所伴随的电磁干扰 (EMI) 与线缆尺寸问题的理想方案。

质量等级: 军温级&企军标

2 功能框图

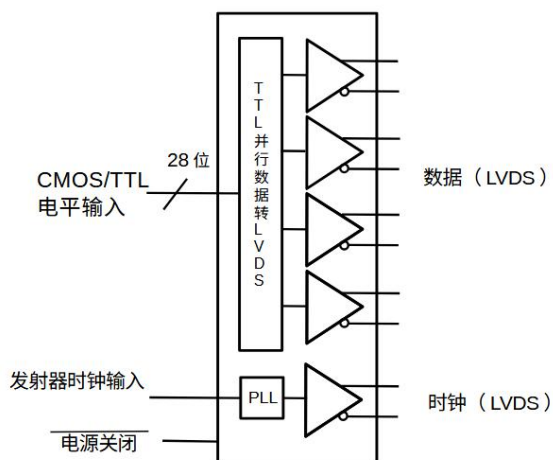


图 1. TLX90CR287 功能框图

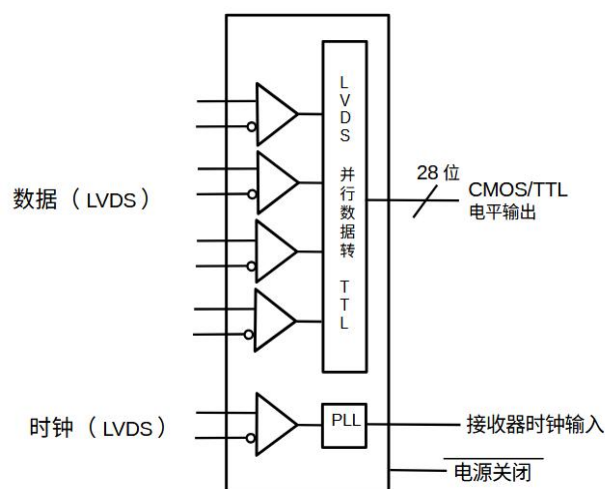


图 2. TLX90CR288 功能框图

目 录

1 主要性能	2
2 功能框图	2
3 产品介绍	2
4 版本信息	4
5 封装和订单说明⁽¹⁾	5
6 引脚配置与功能描述	6
7 典型应用	7
8 技术规格	8
8.1 极限参数.....	8
8.2 正常工作条件.....	8
8.3 ESD 保护.....	8
8.4 电气特性.....	9
8.5 发射器开关特性.....	10
8.6 接收器开关特性.....	11
8.7 交流时序图.....	12
8.8 引脚功能.....	17
9 应用信息	18
10 封装规格尺寸	20
11 包装规格尺寸	22

4 版本信息

注：以前版本的页码可能与当前版本的页码不同。

版本号	日期	注释
A.0	2026/07/02	初始版本

5 封装和订单说明⁽¹⁾

订单型号	封装类型	工作温度(°C)	丝印 ⁽²⁾	MSL ⁽³⁾	质量等级
JTLX90CR287YTSS56	TSSOP56	-55°C ~125°C	TLX90CR287	MSL1	企军级
JTLX90CR288YTSS56	TSSOP56	-55°C ~125°C	TLX90CR288	MSL1	企军级
JTLX90CR287YTSS56(W)	TSSOP56	-55°C ~125°C	TLX90CR287	MSL1	军温级
JTLX90CR288YTSS56(W)	TSSOP56	-55°C ~125°C	TLX90CR288	MSL1	军温级
TLX90CR287YTSS56	TSSOP56	-40°C ~125°C	TLX90CR287	MSL1	工业级
TLX90CR288YTSS56	TSSOP56	-40°C ~125°C	TLX90CR288	MSL1	工业级

注意:

- (1) 该信息是当前版本的最新数据。这些数据如有更新，将及时更新到我司官网，恕不另行通知。
- (2) 丝印可能会有其他附加的代码，用于产品的内控追溯（包括数据代码和供应商代码）或者标志产地。
- (3) TLXIC 装配厂使用符合 JEDEC 工业标准 J-STD-20F 的通用预处理设置对 MSL 级别进行分类。如果您的最终应用对预处理设置非常关键，或者您有特殊要求，请与 TLXIC 技术支持联系。

6 引脚配置与功能描述

TOP VIEW

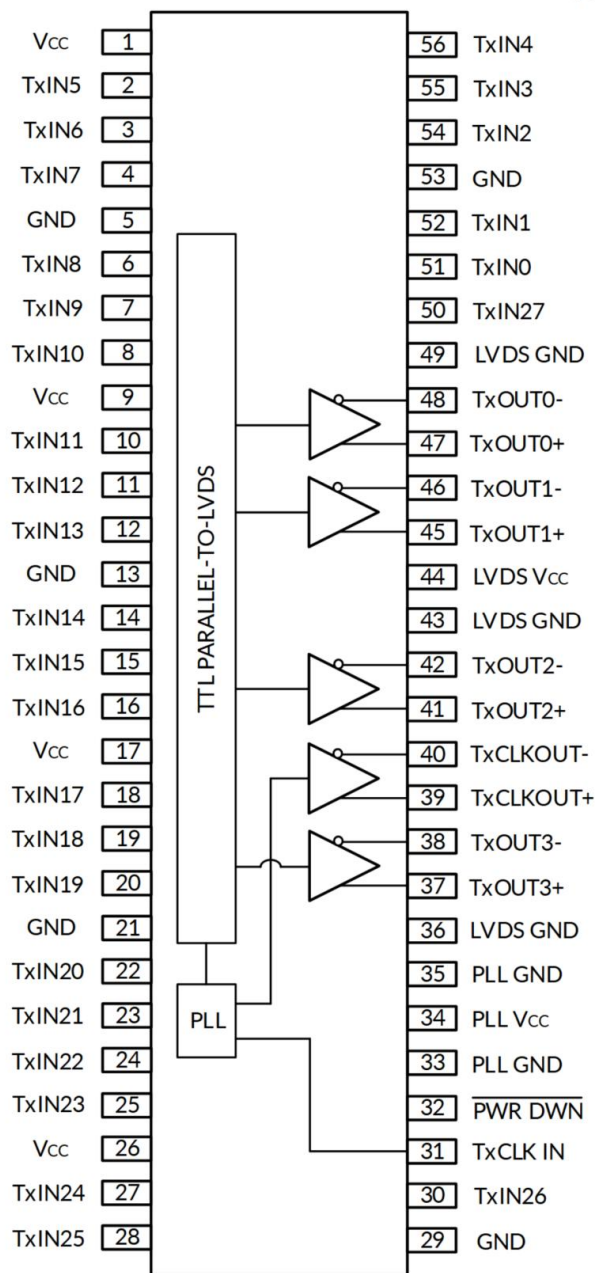


图 3. TLX90CR287引脚图

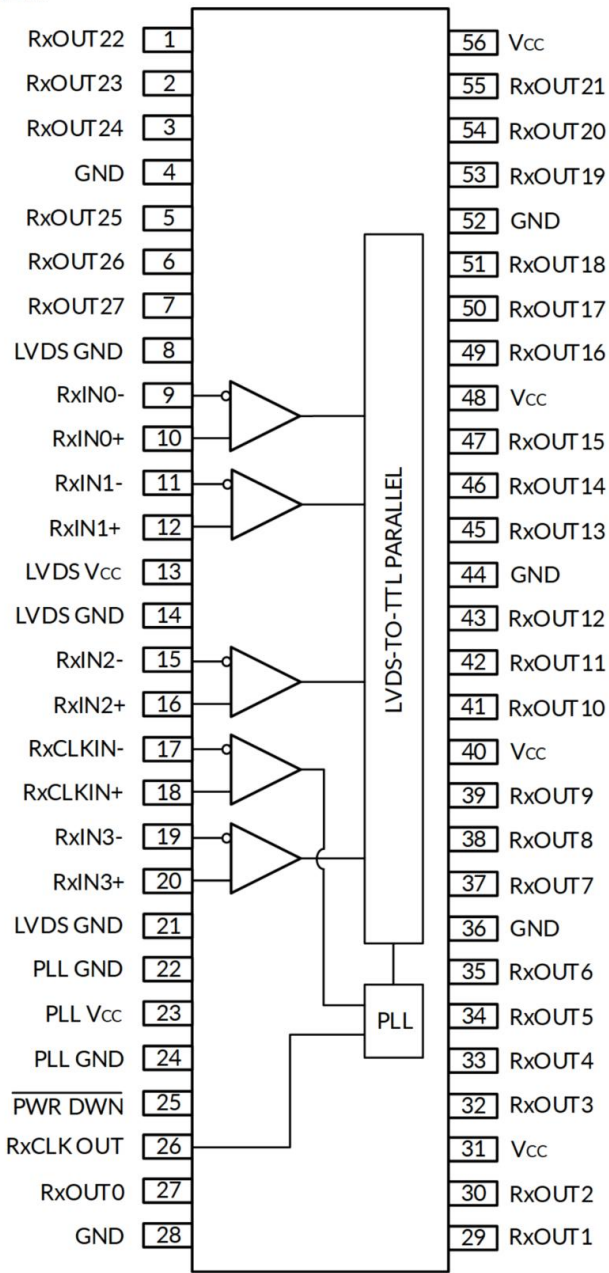


图 4. TLX90CR288引脚图

7 典型应用

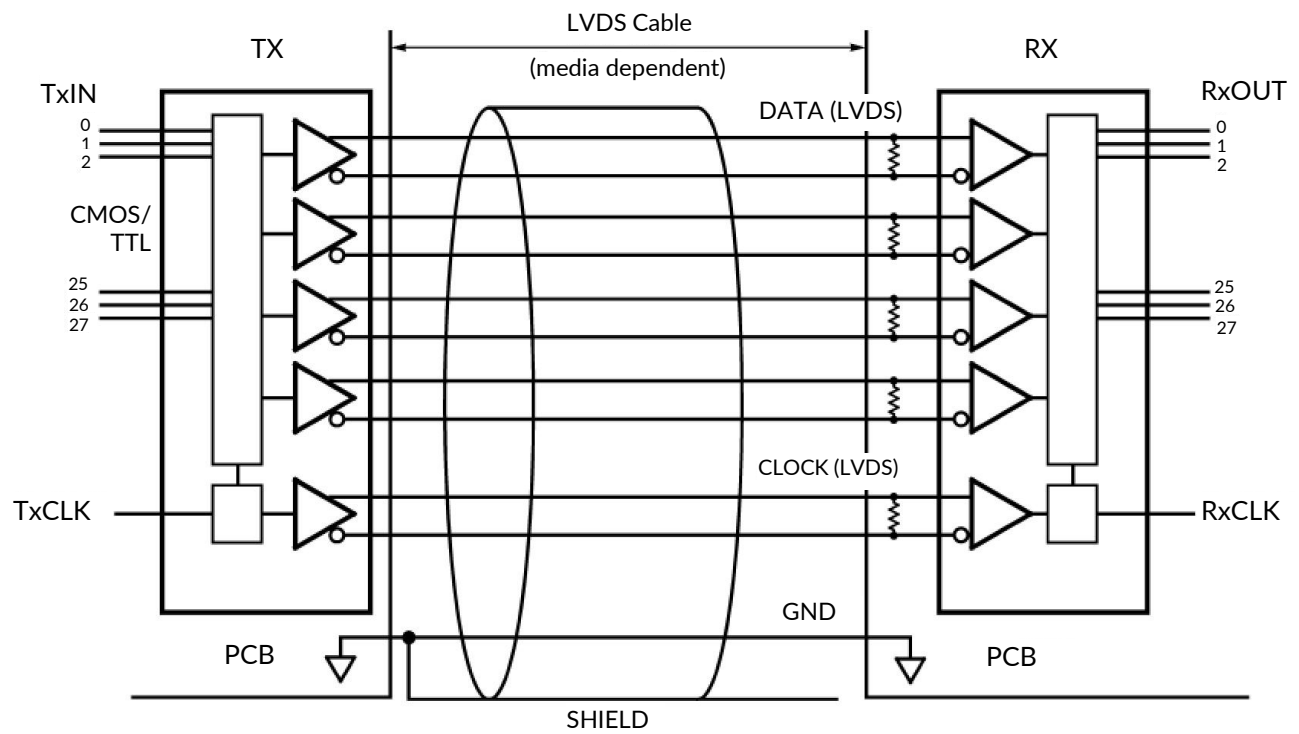


图 5. TLX90CR287/288 典型应用示意图

8 技术规格

8.1 极限参数

参数		单位
电源电压 (V_{CC})	-0.3 至 4	V
CMOS/TTL 输入电压	-0.5 至 $V_{CC}+0.3$	V
CMOS/TTL 输出电压	-0.3 至 $V_{CC}+0.3$	V
LVDS 接收器输入电压	-0.3 至 $V_{CC}+0.3$	
LVDS 驱动器输出电压	-0.3 至 $V_{CC}+0.3$	
LVDS 输出短路持续时间	连续的	
最大结温	150	°C
存储温度	-65 至 150	°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最大值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

8.2 正常工作条件

	最小值	典型值	最大值	单位
电源电压 (V_{CC})	3	3.3	3.6	V
温度 (T_A)	-55	25	125	°C
接收器输入范围	0		2.4	V

8.3 ESD 保护

以下ESD信息仅针对在防静电保护区内操作的敏感设备。

		标称值	单位
$V_{(ESD)}$	人体放电模型 (HBM)	≥ 5000	V
	带电器件模型 (CDM)	≥ 1000	V
	LATCH UP	≥ 400	mA



带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量 ESD 时，器件可能会损坏。因此，应当采取适当的 ESD 防范措施，以避免器件性能下降或功能丧失。

8.4 电气特性

除另有说明，以下测试电源电压和温度均在正常工作条件范围内。 $V_{CC}=+3.3V\pm 10\%$ ， $T_A=-40^{\circ}C$ 到 $85^{\circ}C$ 。

指标名称	说明	测试条件	最小值	典型值	最大值	单位	
LVCMOS/LVTTL 直流参数							
V _{IH}	输入高电平		2		V _{CC}	V	
V _{IL}	输入低电平		GND		0.8	V	
V _{OH}	输出高电平	I _{OH} =-0.4mA	2.7	3.29		V	
V _{OL}	输出低电平	I _{OL} =2mA		0.05	0.3	V	
V _{CL}	输入钳位电压	I _{CL} =-18mA			-1.5	V	
I _{IN}	输入电流	V _{IN} =0.4V, 2.5V 或 V _{CC}		1.5	+15	μA	
		V _{IN} =GND	-10	0		μA	
I _{OS}	输出短路电流	V _{OUT} =0V		-46	-120	mA	
LVDS 驱动器直流参数							
V _{OD}	输出差分电压	R _L =100Ω	250	350	450	mV	
ΔV _{OD}	互补输出 V _{OD} 变化				35	mV	
V _{OS}	偏置电压		1.125	1.25	1.375	V	
ΔV _{OS}	互补输出 V _{OS} 变化				35	mV	
I _{OS}	输出短路电流	V _{OUT} =0V, R _L =100Ω		-3.5	-5	mA	
I _{OZ}	输出高阻态电流	PWRDWN=0V, V _{OUT} =0V 或 V _{CC}		0	±10	μA	
LVDS 接收器直流参数							
V _{TH}	差分输入高门限	V _{OS} =1.2V			+100	mV	
V _{TL}	差分输入低门限		-100			mV	
I _{IN}	输入电流	V _{IN} =2.4V, V _{CC} =3.6V		3.5	±10	μA	
		V _{IN} =0V, V _{CC} =3.6V		-3.0	±10	μA	
发射器供电电流							
I _{CCTW}	发射器最差情况下的供电电流	R _L =100Ω, C _L =5pF, 最差情况模式, 如图 6、7	f=33MHz		26	45	mA
			f=40MHz		27	50	mA
			f=66MHz		31	55	mA
			f=85MHz		35	60	mA
I _{CCTZ}	发射器关断电流	PWRDWN=0V, 输出驱动关断模式下是高阻			6.5	±10	μA
接收器供电电流							
I _{CCRW}	接收器最差情况下的供电电流	C _L =5pF, 最差情况模式, 如图 6、8	f=33MHz		61		mA
			f=40MHz		69		mA
			f=66MHz		114		mA
			f=85MHz		137		mA
I _{CCRZ}	接收器关断电流	PWRDWN=0V, 输出驱动关断模式下输出低			540		μA

说明:

1. 电流流入器件引脚时定义为+，流出器件引脚时定义为-。
2. 若无特殊说明，所有 TYP 测试条件均为：电源电压 $V_{CC}=3.3V$ ，温度 $T=25^{\circ}C$ 。

8.5 发射器开关特性

$V_{CC}=+3.3V\pm 10\%$, $T_A=-40^{\circ}C$ 到 $85^{\circ}C$ 。

指标名称	说明	最小值	典型值	最大值	单位
LLHT	LVDS 低变高转换时间, 如图 7		0.55	1.5	ns
LHLT	LVDS 高变低转换时间, 如图 7		0.55	1.5	ns
TCIT	TxCLK_IN 转换时间, 如图 9	1.0		6.0	ns
TPPos0	发射器输出脉冲位置 Bit0, 如图 19	-0.20	0	0.20	ns
TPPos1	发射器输出脉冲位置 Bit1	1.48	1.68	1.88	ns
TPPos2	发射器输出脉冲位置 Bit2	3.16	3.36	3.56	ns
TPPos3	发射器输出脉冲位置 Bit3	4.84	5.04	5.24	ns
TPPos4	发射器输出脉冲位置 Bit4	6.52	6.72	6.92	ns
TPPos5	发射器输出脉冲位置 Bit5	8.20	8.40	8.60	ns
TPPos6	发射器输出脉冲位置 Bit6	9.88	10.08	10.28	ns
TCIP	TxCLK_IN 周期, 如图 10		T		ns
TCIH	TxCLK_IN 高时间, 如图 10		0.5T		ns
TCIL	TxCLK_IN 低时间, 如图 10		0.5T		ns
TSTC	TxIN 建立到 TxCLK_IN 时间, 如图 10		1.3		ns
THTC	TxIN 保持到 TxCLK_IN 时间, 如图 10		2.5		ns
TCCD	TxCLK_IN 到 TxCLK_OUT 延时, 如图 12		5.5		ns
TPLLS	发射器锁相环设定, 如图 14			10	ms
TPDD	发射器关断延时, 如图 17			100	ns
TJIT	TxCLK_IN 周期-周期抖动 (输入时钟需求)			2	ns

8.6 接收器开关特性

$V_{CC}=+3.3V\pm 10\%$, $T_A=-40^{\circ}C$ 到 $85^{\circ}C$ 。

指标名称	说明	最小值	典型值	最大值	单位
CLHT	CMOS/TTL 低变高转换时间, 如图 8		1.55	2.5	ns
CHLT	CMOS/TTL 高变低转换时间, 如图 8		1.55	2.5	ns
RSPos0	接收器输入选通位置 Bit0, 如图 20	0.49	0.84	1.19	ns
RSPos1	接收器输入选通位置 Bit1	2.17	0.84	2.87	ns
RSPos2	接收器输入选通位置 Bit2	3.85	2.52	4.55	ns
RSPos3	接收器输入选通位置 Bit3	5.53	4.2	6.23	ns
RSPos4	接收器输入选通位置 Bit4	7.21	5.88	7.91	ns
RSPos5	接收器输入选通位置 Bit5	8.89	7.56	9.59	ns
RSPos6	接收器输入选通位置 Bit6	10.57	9.24	11.27	ns
RSKM	RxIN 偏移余量, 如图 21	290			ps
RCOP	RxCLK_OUT 周期, 如图 11		T		ns
RCOH	RxCLK_IN 高时间, 如图 11		5.7		ns
RCOL	RxCLK_IN 低时间, 如图 11		6.2		ns
RSRC	RxOUT 建立到 RxCLK_OUT 时间, 如图 11		6.5		ns
RHRC	RxOUT 保持到 RxCLK_IN 时间, 如图 11		6.5		ns
RCCD	RxCLK_IN 到 RxCLK_OUT 延时, 如图 13		7.5		ns
RPLLS	接收器锁相环设定, 如图 15			10	ms
RPDD	接收器关断延时, 如图 18			1	ns

8.7 交流时序图

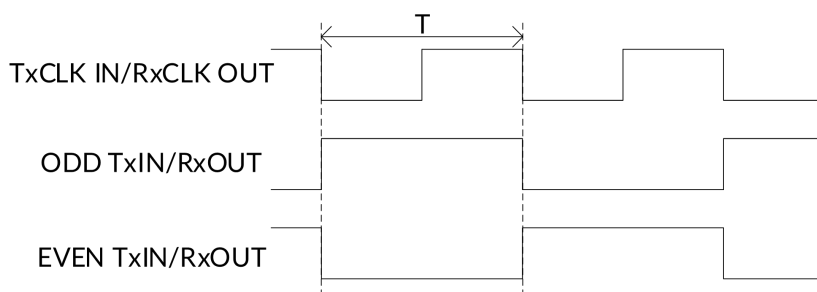


图 6. 最差情况测试模式

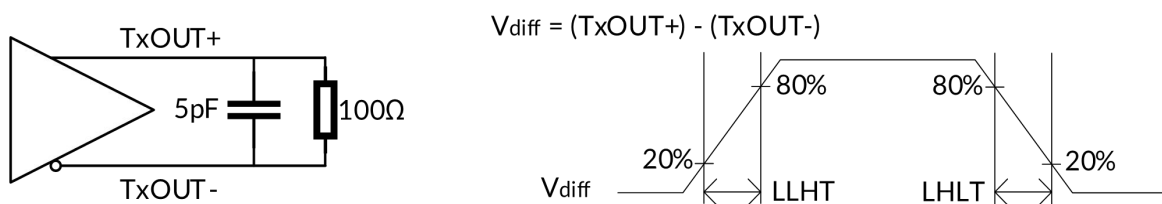


图 7. TLX90CR287 (发射器) LVDS 输出负载与转换时间

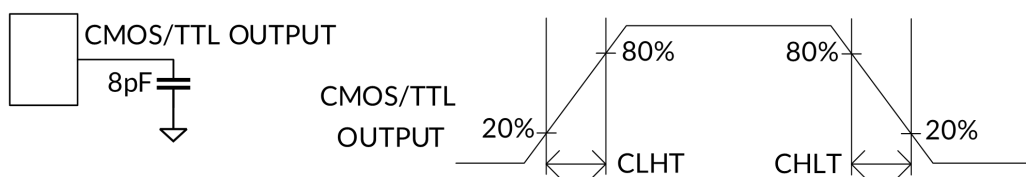


图 8. TLX90CR288 (接收器) CMOS/TTL 输出负载与转换时间

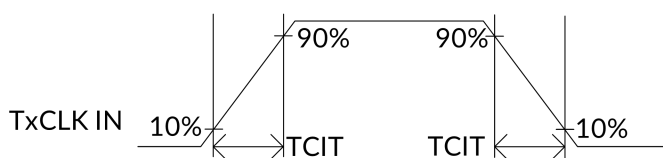


图 9. TLX90CR287 (发射器) 输入时钟转换时间

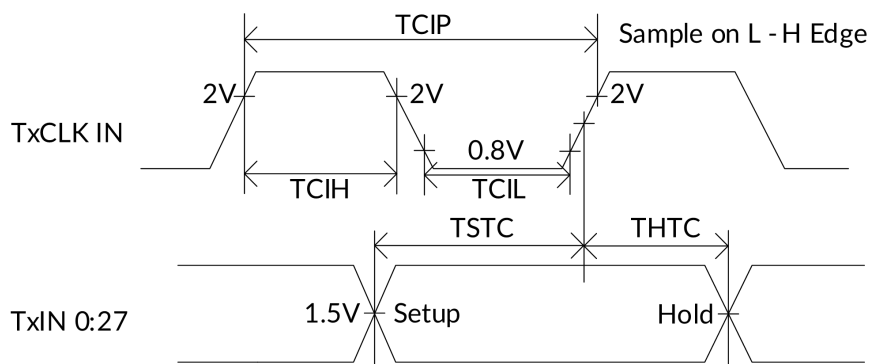


图 10. TLX90CR287 (发射器) 建立保持和高低时间

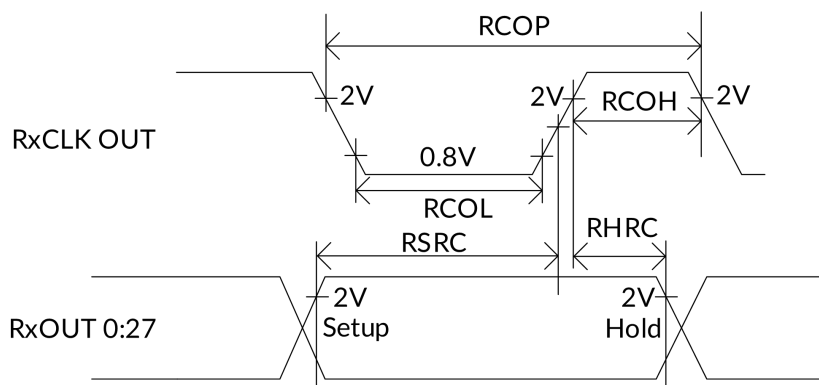


图 11. TLX90CR288 (接收器) CMOS/TTL 建立保持和高低时间

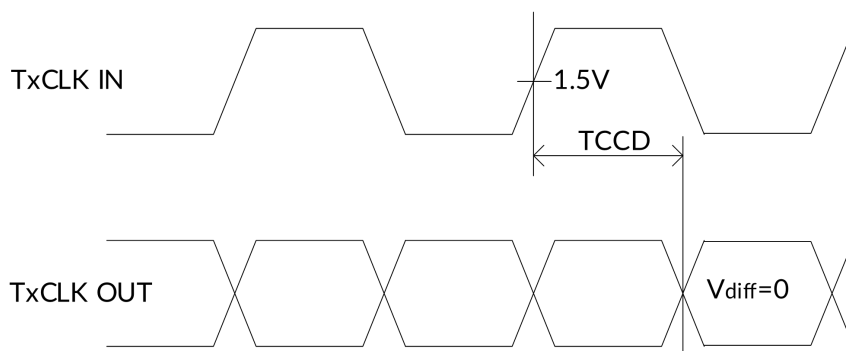


图 12. TLX90CR287 (发射器) 时钟输入输出延时

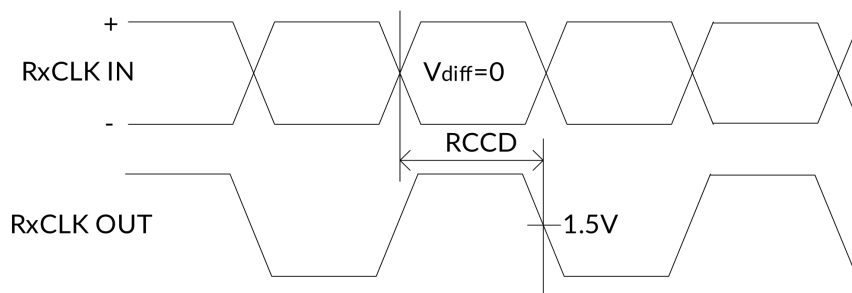


图 13. TLX90CR288 (接收器) 时钟输入输出延时

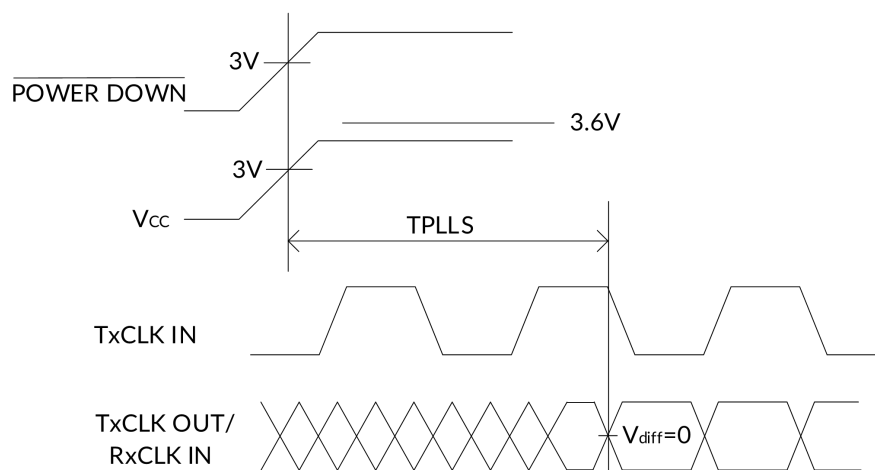


图 14. TLX90CR287 (发射器) 锁相环设定时间

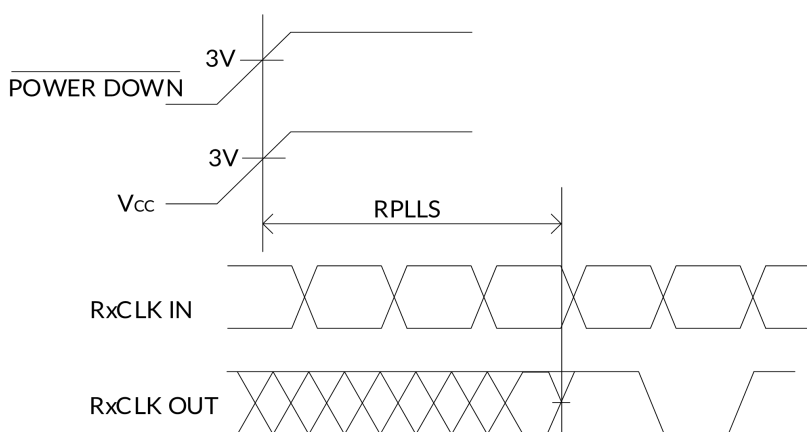


图 15. TLX90CR288 (接收器) 锁相环设定时间

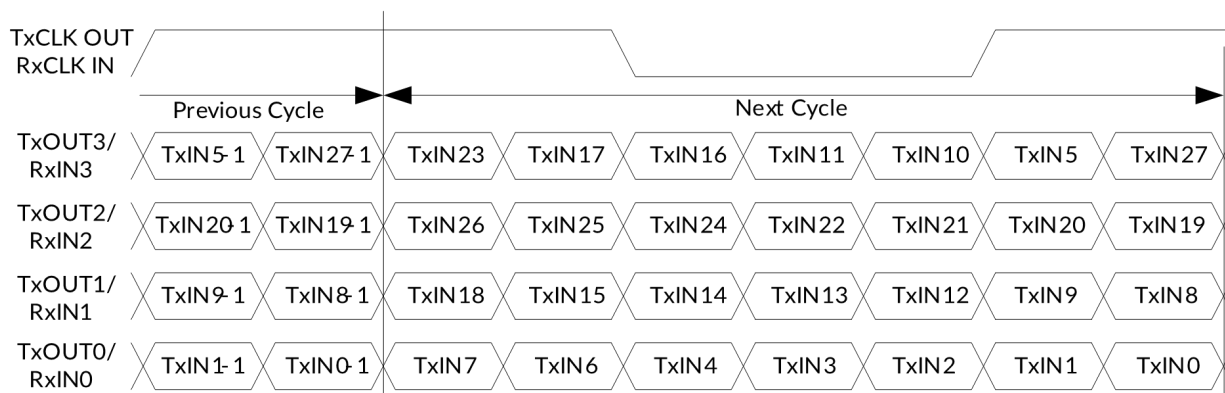


图 16. 28 路并行 TTL 输入数据映射至 LVDS 输出

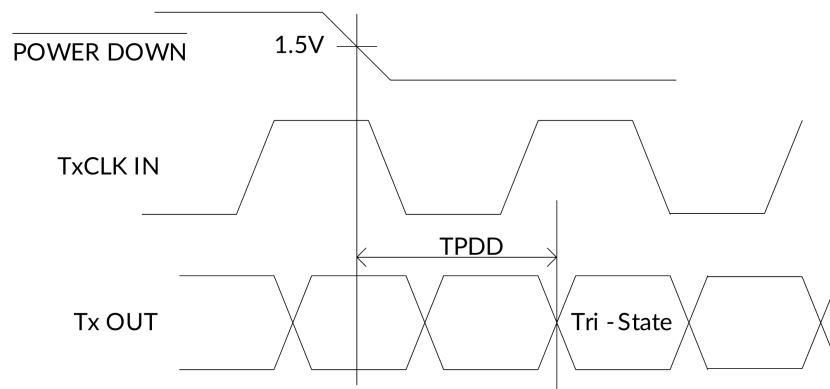


图 17. 发射器关断延时

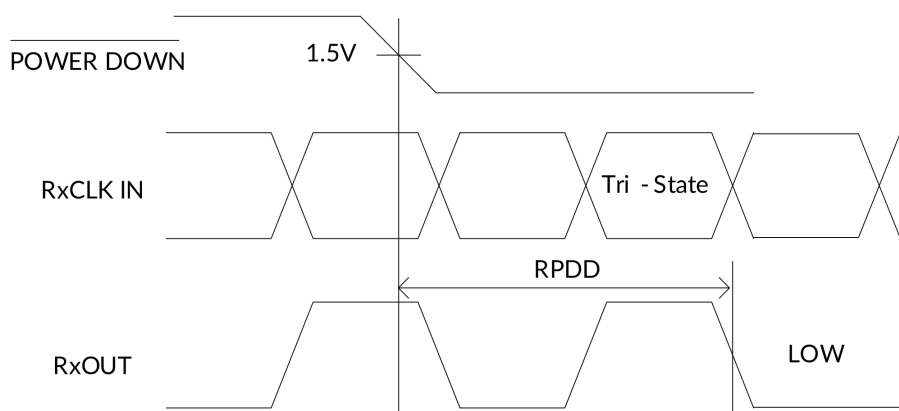


图 18. 接收器关断延时

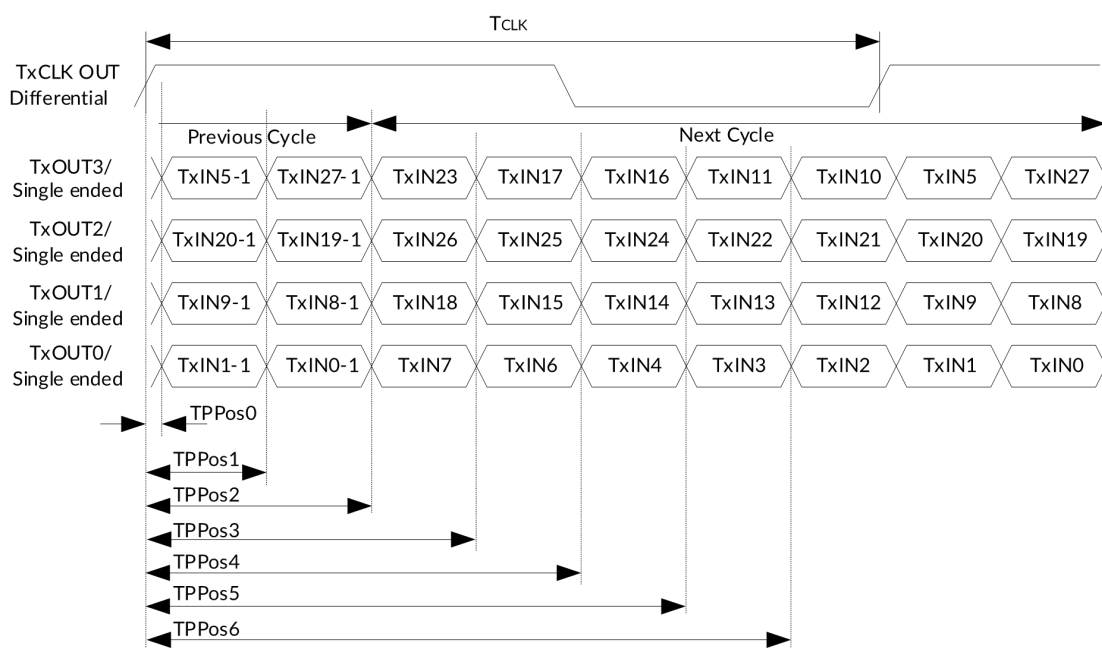


图 19. 发射器 LVDS 输出脉冲位置

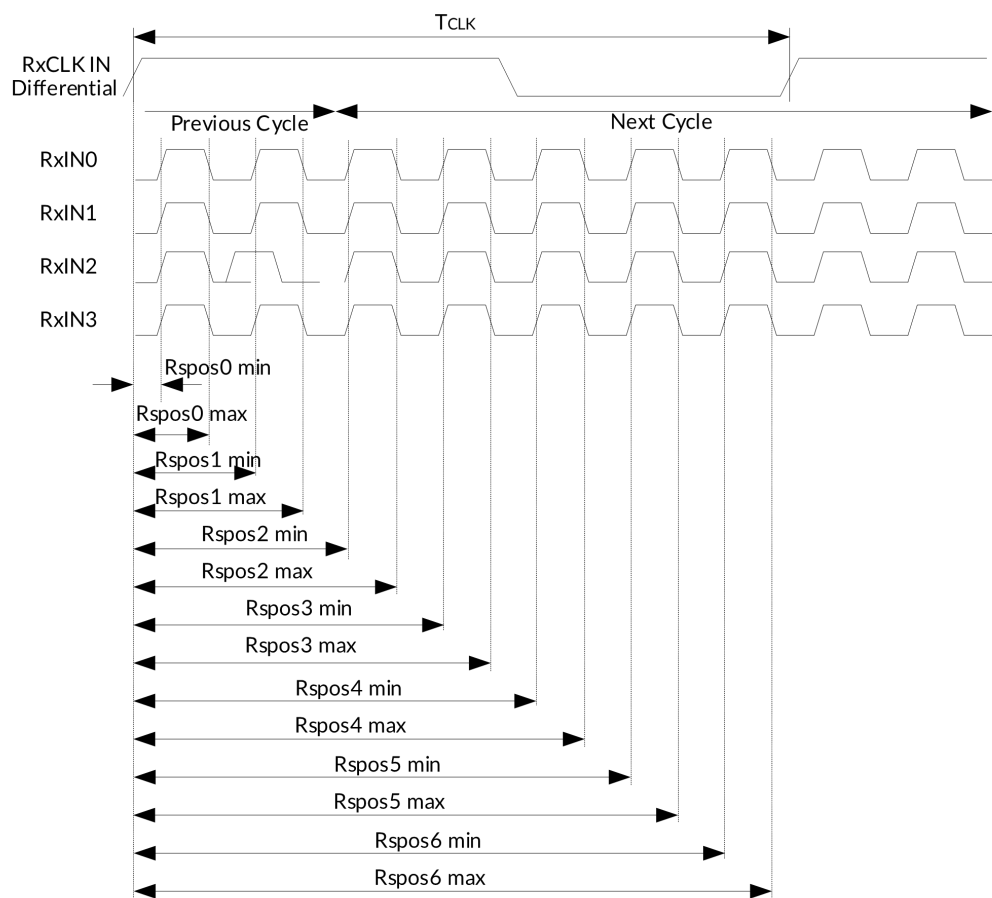


图 20. 接收器 LVDS 输入选通位置

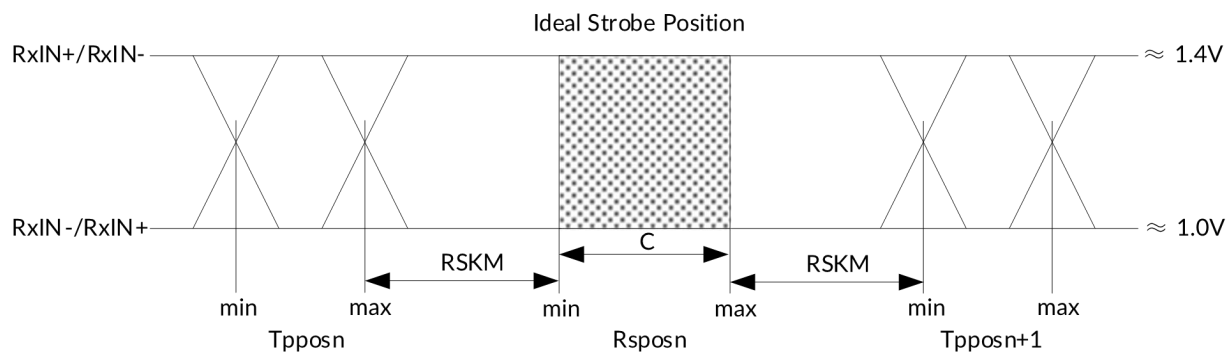


图 21. 接收器 LVDS 输入偏移余量

8.8 引脚功能

TLX90CR287 引脚说明

引脚名称	I/O	数量 (个)	描述
TxIN	I	28	TTL 电平输入
TxOUT+	O	4	LVDS 差分数据输出正端
TxOUT-	O	4	LVDS 差分数据输出负端
TxCLK_IN	I	1	TTL 电平时钟输入。上升沿数据选通。
TxCLK_OUT+	O	1	LVDS 差分时钟输出正端
TxCLK_OUT-	O	1	LVDS 差分时钟输出负端
PWRDWN	I	1	TTL 电平输入。低使能输出高阻态，确保关断时的低电流。
Vcc	I	4	TTL 输入供电。
GND	I	5	TTL 输入地。
PLL Vcc	I	1	PLL 供电。
PLL GND	I	2	PLL 地。
LVDS Vcc	I	1	LVDS 输出供电。
LVDS GND	I	3	LVDS 输出地。

TLX90CR288 引脚说明

引脚名称	I/O	数量 (个)	描述
RxIN+	I	4	LVDS 差分数据输入正端
RxIN-	I	4	LVDS 差分数据输入负端
RxOUT	O	28	TTL 电平数据输出
RxCLK_IN+	I	1	LVDS 差分时钟输入正端
RxCLK_IN-	I	1	LVDS 差分时钟输入负端
RxCLK_OUT	O	1	TTL 电平时钟输出。上升沿数据选通。
PWRDWN	I	1	TTL 电平输入。低使能接收器输出为低。
Vcc	I	4	TTL 输出供电。
GND	I	5	TTL 输出地。
PLL Vcc	I	1	PLL 供电。
PLL GND	I	2	PLL 地。
LVDS Vcc	I	1	LVDS 输入供电。
LVDS GND	I	3	LVDS 输入地。

9 应用信息

通道链路设备适用于多种数据传输应用场景。根据具体应用需求，所使用的连接介质可能有所不同：对于低数据速率（时钟频率）且电缆长度较短（<2 米）的情况，介质的电气性能要求相对较低；而对于高速长距离传输场景，则对介质性能的要求更为严格。某些电缆结构可实现更紧密的偏斜度（即导体与线对之间的电气长度匹配）。

电缆：发射器与接收器之间的电缆接口需支持差分 LVDS 对。28 位通道链路芯片组（TLX90CR287/288）需要五对信号线。理想的电缆/连接器接口在整个传输路径中应保持恒定的 100Ω 差分阻抗；同时建议电缆斜率控制在 140 皮秒以下（在 85MHz 时钟频率下），以确保接收端具备足够的数据采样窗口。

除了用于传输数据和时钟信号的四到五对电缆外，建议至少增设一条额外导线（或电缆对）以在发射器与接收器之间建立接地连接。这种低阻抗接地为两台设备提供了共模回路路径。点对点应用中最常用的电缆类型包括扁平带状电缆、柔性电缆、双绞线电缆和双绞同轴电缆，这些电缆均提供多种配置方案。扁平带状电缆、柔性电缆和双绞线电缆通常适用于短距离点对点应用；而双绞同轴电缆则既适合短距离也适合长距离传输。使用带状电缆时，建议在每对差分电缆之间设置接地线，以阻隔相邻电缆对之间的噪声耦合；对于双绞同轴电缆应用，则建议为每对电缆配备屏蔽层。所有长距离点对点应用均应采用覆盖所有电缆对的整体屏蔽结构，无论采用何种电缆类型。这种整体屏蔽设计可显著提升传输性能参数，例如实现更高的传输速率、延长发射器与接收器之间的传输距离，并减少电磁干扰（EMS）或电磁兼容性（EMI）相关问题。

LVDS 信号的高速传输已在多种电缆类型中得到验证，并取得了优异效果。然而，使用双同轴电缆时可获得最佳整体性能。由于其结构设计和双重屏蔽特性，双同轴电缆具有极低的电缆偏斜度和电磁干扰（EMI）。本文讨论并在补充应用说明中列出的所有设计考量要点均为子系统通信设计师提供了诸多实用指导。建议设计师全面评估各类应用场景下的权衡关系，从而制定可靠且经济的电缆解决方案。

接收器故障保护功能：这些接收器配备输入故障保护偏置电路，可确保在输入信号处于浮动状态或已接地状态下输出信号仍保持稳定。在此条件下，接收器输入端始终处于高电平状态；若存在时钟信号，则所有数据输出均为高电平；当时钟输入同时处于浮动或接地状态时，数据输出将保持最后一个有效状态；而当时钟输入处于浮动或接地状态时，时钟输出则为高电平。

电路板布局：为充分发挥 LVDS 技术在降低噪声和电磁干扰方面的优势，需特别注意差分线路的布设。差分对中的线路应始终相邻布置，以消除其他信号产生的噪声干扰，并充分利用差分信号的抗噪特性。此外，电路板设计者还应力求保持同一差分对内所有信号走线长度一致。与所有高速电路设计一样，应尽量减少阻抗不连续现象（降低过孔数量并避免走线上出现 90 度直角）。如果某一信号线上出现任何不连续现象，差分对的另一条线上也应该表现相同的情况。需特别注意确保差分线路阻抗与所选物理介质的差分阻抗相匹配（该阻抗值还应与接收端输入端连接在差分线对上的终端电阻值一致）。此外，通道链路 TxOUT/RxIN 引脚的位置应尽可能靠近电路板边缘，以避免过长的 PCB 走线。上述所有措施均能有效抑制反射信号和串扰现象，从而保障高频性能及电磁干扰（EMI）指标不受影响。

输入端：TxIN 和控制引脚输入端支持 LVTTTL 和 LVCMOS 电平，但不支持 5V 电压。

未使用的输入端：发射机 TxIN 输入端的所有未使用输入端均可接地或保持未连接状态；接收机 RxOUT 输出端的所有未使用输出端则必须保持浮空状态。

终端连接：使用电流模式驱动器时，需在接收器输入端之间接入一个终端电阻。通道链路芯片组通常要求在接收器输入端的每对差分线的真信号线与互补信号线之间各安装一个 100Ω 电阻。终端电阻的实际阻值应根据电缆的差分模式特性阻抗（典型情况下为 90Ω 至 120Ω ）进行选择。图 22 展示了示例。与其他差分技术（如 PECL）不同，无需额外使用上拉或下拉电阻。建议采用表面贴装电阻以避免引线电阻带来的额外电感效应。这些电阻应尽可能靠近接收器输入引脚布置，以减少线路短路并有效实现差分线的终端连接。

去耦电容器：需使用旁路电容器以降低开关噪声对性能的影响。为确保安全可靠，建议在每个 VCC 与地平面之间并联三个多层陶瓷材质的表面贴装型去耦电容器（推荐采用该封装形式）。这三个电容器的容量分别为 $0.1\mu\text{F}$ 、 $0.01\mu\text{F}$ 和 $0.001\mu\text{F}$ ，具体示例见图 23。设计时应为电源线和地线设置宽大的走线，并确保每个电容器均通过独立通孔连接至地平面。若板空间有限，则应优先对 PLL VCC 进行滤波/旁路处理，其次为 LVDS VCC 引脚，最后是逻辑 VCC 引脚。



图 22. LVDS 串行链路终止

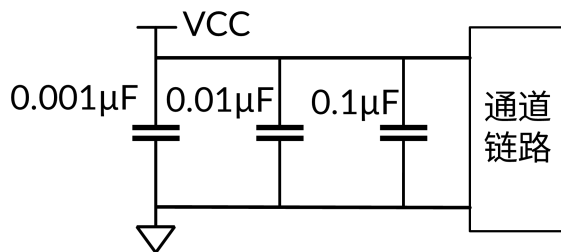
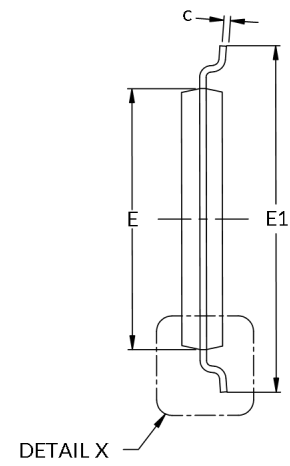
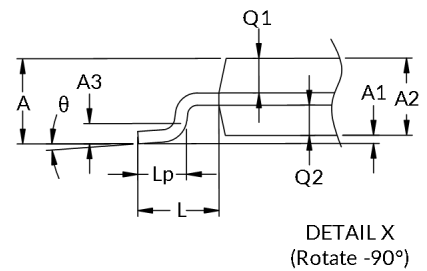


图 23. 通道链路解耦配置

TSSOP56⁽⁴⁾

SIDE VIEW



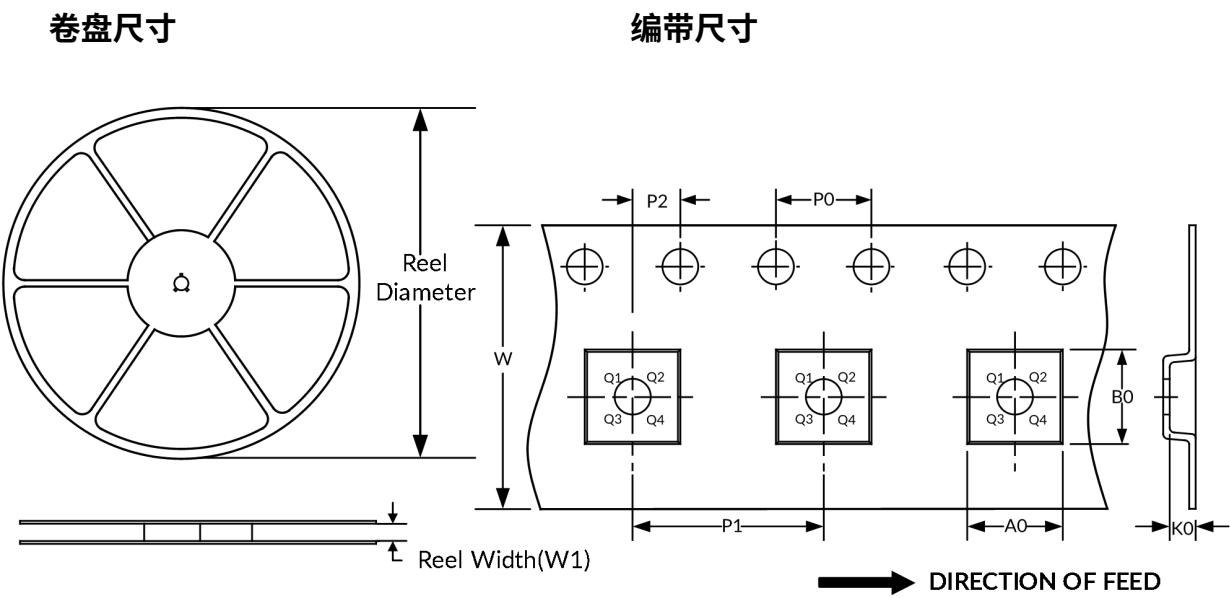
DETAIL X
(Rotate -90°)

符号	尺寸 (单位: 毫米)		尺寸 (单位: 英寸)	
	最小值	最大值	最小值	最大值
A ⁽¹⁾	-	1.200	-	0.047
A1	0.050	0.150	0.002	0.006
A2	0.850	1.050	0.033	0.041
Q1	0.350	0.500	0.013	0.020
Q2	0.298	0.448	0.012	0.018
b	0.170	0.280	0.006	0.011
c	0.100	0.200	0.004	0.008
D ⁽¹⁾	13.90	14.10	0.547	0.555
E ⁽¹⁾	6.000	6.200	0.236	0.244
E1	7.900	8.300	0.311	0.327
e	0.500 (BSC) ⁽²⁾		0.020 (BSC) ⁽²⁾	
A3	0.250 (BSC) ⁽²⁾		0.010 (BSC) ⁽²⁾	
L	1.000 (REF) ⁽³⁾		0.039 (REF) ⁽³⁾	
y	0.100 (BSC) ⁽²⁾		0.004 (BSC) ⁽²⁾	
Lp	0.400	0.800	0.015	0.031
Z	0.100	0.500	0.004	0.020
θ	0°	8°	0°	8°

注意:

1. 不包括每侧最大 0.15mm 的塑料或金属突起。
2. BSC (基本中心间距), “基本”间距为标称间距。
3. REF 是 Reference 的缩写。
4. 本图如有更改, 恕不另行通知。

11 包装规格尺寸



注意：图片仅供参考。请以实物为标准。

关键参数表

Package Type	Reel Diameter (mm)	Reel Width W1(mm)	A0 (mm)	B0 (mm)	K0 (mm)	P0 (mm)	P1 (mm)	P2 (mm)	W (mm)	Pin1 Quadrant
TSSOP56	330	25	8.5	14.6	1.55	12.0	4.0	2.0	24.0	Q1

- 注意：
- 所有尺寸均为标称尺寸。
 - 不包括每边最大 0.15 毫米的塑料或金属突起。